

PSRAM/SRAM与XMC硬件连接的推荐方法

前言

这篇应用笔记描述了在AT32系列100引脚封装芯片上以XMC连接PSRAM的硬件推荐方法，达到器件容易取得及价格合理的目标。本篇也同时推荐与并口SRAM连接方式。

支持型号列表：

支持型号	AT32F403Vx
	AT32F403AVx
	AT32F407Vx
	AT32F435Vx
	AT32F437Vx

目录

1	概述.....	5
2	硬件设计	6
2.1	连接方法.....	6
2.2	参考线路.....	8
3	版本历史	9

表目录

表 1. AT32 系列 MCU 与 PSRAM 选用优劣比较.....	5
表 2. XMC, 74LVC574, 和 PSRAM 接口对应	6
表 3 文档版本历史	9

图目录

图 1. 地址有效信号（NADV）在存储器操作周期中的状态	6
图 2. 74LVC574（D 触发器）功能表	7
图 3. 参考线路原理图	8

1 概述

AT32系列的部分MCU产品集成XMC（外部存储器控制器）接口，支持外接PSRAM存储器扩展存储空间。其中144引脚封装MCU芯片支持连接地址数据非复用型PSRAM；而100引脚封装芯片因地址线缩减，仅支持连接地址数据复用型PSRAM。但目前市场上非复用型PSRAM较具价格优势，而AT32系列MCU又以100封装为大宗，形成器件选用和匹配上的矛盾。

表 1. AT32 系列 MCU 与 PSRAM 选用优劣比较

MCU 引脚数	PSRAM 型式	优点	缺点
144	非复用型	1. PSRAM 容易取得，价格略低 2. PSRAM 操作电压可选择 3.3 V 器件，与 MCU 可直接对接	MCU 型号有限（仅 AT32F403/435/437 提供 144 引脚封装），价格稍低
100	复用型	MCU 较多选型选择，价格较低	1. PSRAM 不易取得，价格很高 2. PSRAM 操作电压以 1.8 V 为主流，与 MCU 对接需中介电平转换芯片

若选择使用100引脚封装MCU芯片，就必须搭配复用型PSRAM。但PSRAM加上电平转换芯片所产生的高价格，是使用者无法接受的。似乎100引脚封装留有复用型PSRAM接口功能实际上是无法使用了。除了将MCU换为144引脚封装外，还有可行方法吗？这篇应用笔记另提供一种硬件连接方式，使用AT32系列100引脚封装芯片及一般非复用型3.3 V PSRAM，只要中介两颗普通D型触发器74LVC574即可，达到器件容易取得又使价格合理控制的可能。

100引脚封装芯片的XMC接口对于地址数据非复用的PSRAM，需要在地址数据复用线XMC_AD[15:0]上增加地址锁存机制，以XMC_NADV信号分离出独立的地址线A[15:0]。

本篇应用笔记将以VTI164NA16LM（4M x 16 bits PSRAM）和74LVC574（D型触发器）为参考，说明如何使用地址数据复用XMC接口，连接地址数据非复用的PSRAM。

注意： XMC需配置为地址数据复用模式，引脚XMC_D[15:0]作为XMC_AD[15:0]使用。

另外市售并口SRAM没有地址数据复用型的芯片，所以若要与雅特力的MCU直接对接，只能选择144引脚封装的；100引脚封装不支持与SRAM直接对接。但因所谓的PSRAM（Pseudo SRAM），在技术本质上即是用DRAM来乔装SRAM，所以才叫Pseudo（伪）SRAM。因此市售PSRAM都把存取信号控制时序设计的和SRAM的一模一样，所以雅特力MCU与SRAM连接的方式就和前文连接非复用型PSRAM一模一样。XMC在100引脚封装MCU上，透过以上连接方式和软件设置方式也可以支持外接SRAM，仅细部时间差异需针对每颗芯片不同而设定各自寄存器值。

本文以下描述将不再特别区分非复用型PSRAM和SRAM，两者使用硬件连接方式完全相同。

2 硬件设计

2.1 连接方法

PSRAM以异步模式操作为主流。表2展示了异步总线非复用型PSRAM和XMC接口的对应关系：对于地址数据非复用的PSRAM，需要将XMC_AD[15:8]和XMC_AD[7:0]分别连接两颗74LVC574各自的D[7:0]，并将XMC_NADV同时连接两颗74LVC574的CLK引脚，分离出独立的地址线A[15:0]（由两颗74LVC574各自的Q[7:0]输出），再接到PSRAM对应的地址线A[15:0]引脚。XMC_AD[15:0]同时直接连接PSRAM对应的数据线DQ[15:0]引脚，同时XMC_A16以上的地址线和其它控制线也直接与PSRAM对应引脚对接即可。

表 2. XMC, 74LVC574, 和 PSRAM 接口对应

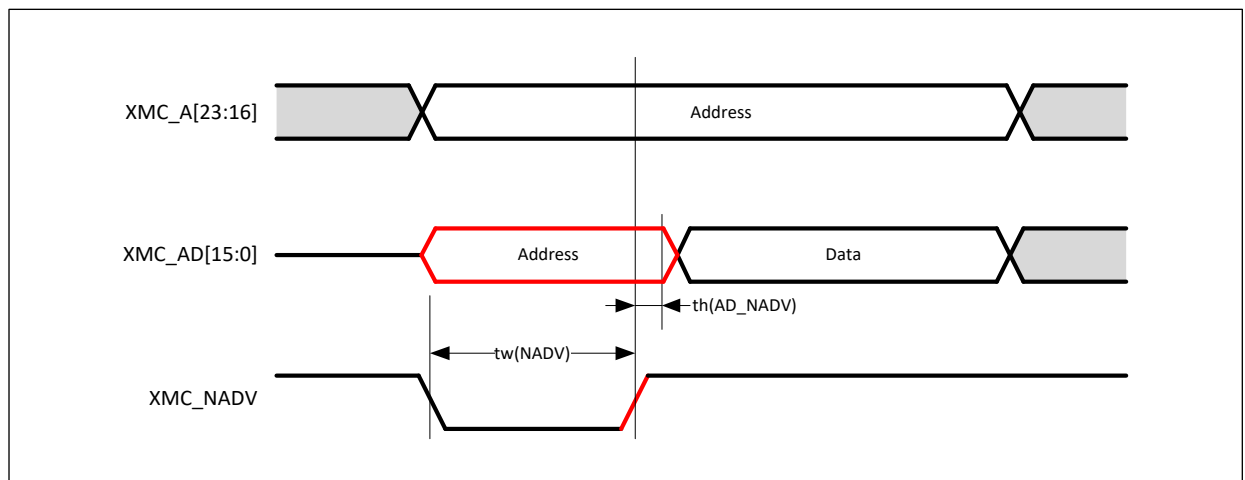
XMC 接口	74LVC574 接口	PSRAM 接口	功能描述
AD[7:0]	第一颗的 D[7:0]	DQ[7:0]	PSRAM 将低字节数据回传给 XMC
AD[15:8]	第二颗的 D[7:0]	DQ[15:8]	PSRAM 将高字节数据回传给 XMC
-	第一颗的 Q[7:0]	A[7:0]	74LVC574 将锁存低字节地址送给 PSRAM
-	第二颗的 Q[7:0]	A[15:8]	74LVC574 将锁存高字节地址送给 PSRAM
A[n ⁽¹⁾ :16]	-	A[n ⁽¹⁾ :16]	XMC 将 16 位以上地址送给 PSRAM
LB	-	LB#	低字节使能
UB	-	UB#	高字节使能
NEx ⁽²⁾	-	CE#	片选
NOE	-	OE#	输出使能
NWE	-	WE#	写使能
NADV	二颗各自的 CLK	-	地址有效，上升沿使 74LVC574 锁存地址

(1) n视PSRAM大小决定。以VTI164NA16LM为例，n = 21。

(2) 可用NEx视不同产品决定，x可能为1 ~ 4。

XMC在设置为地址数据复用模式时，会先送出全部地址线，其中A[15:0]通过XMC_AD[15:0]复用接口送出。地址线输出建立一段时间后，地址有效信号XMC_NADV会拉高，再进行数据的读写操作。

图 1. 地址有效信号（NADV）在存储器操作周期中的状态



因为有地址有效信号NADV存在，将NADV作为D型触发器74LVC574的CLK，可以在NADV的上升沿锁存出独立的地址A[15:0]，送给非复用型PSRAM。

74LVC574也可以用功能相同的74LVC374代替，两个器件差别仅在于引脚顺序。74LVC574的输入和输出引脚分别摆列在芯片同一侧，而74LVC374的输入输出引脚是交错的，因此推荐74LVC574较易于电路板布局。另外两颗74LVC574也可以用一颗16位D型触发器代替，例如：SN74LVTH16374。

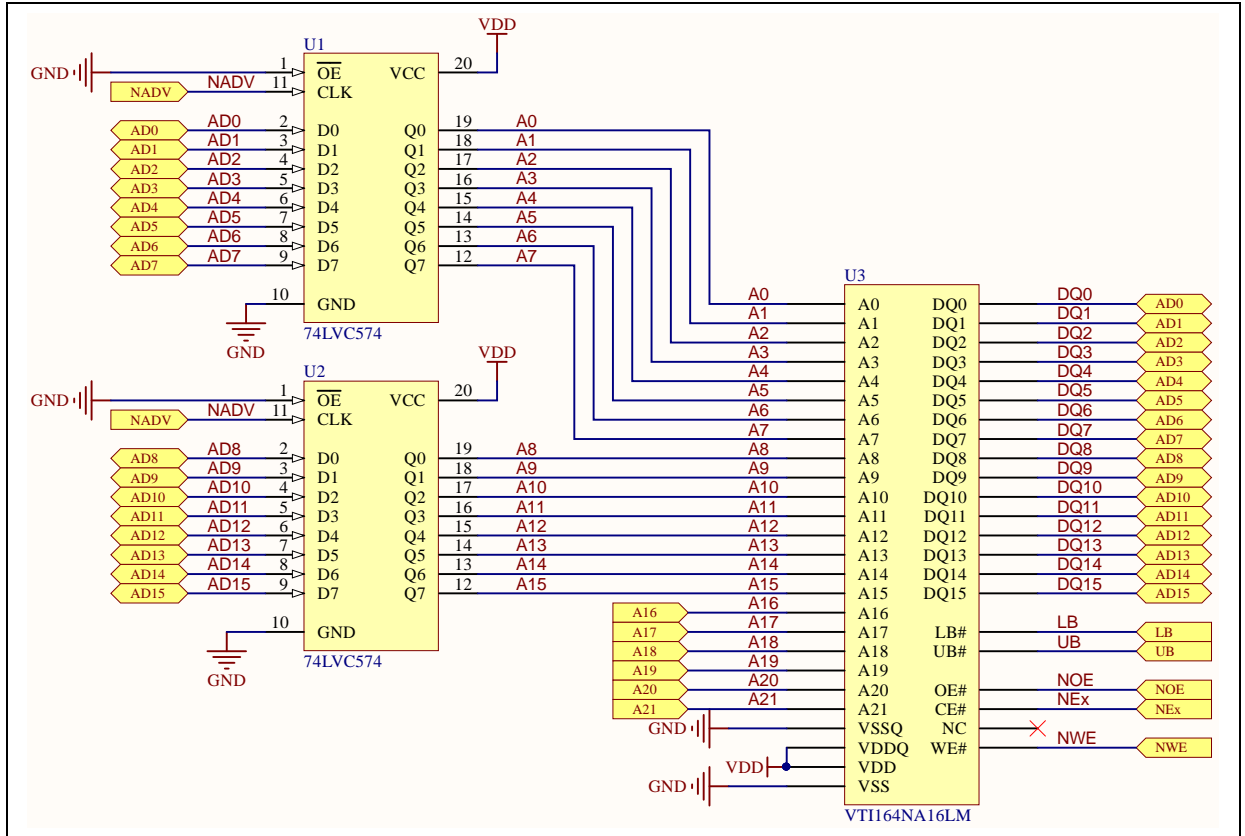
图 2. 74LVC574 (D 触发器) 功能表

INPUTS			OUTPUT
OE	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	H or L	X	Q ₀
H	X	X	Z

2.2 参考线路

以上推荐硬件连接方式的参考线路图如 [图3](#)，黄色接口与MCU对接。部分信号在MCU上有多个I/O可供选择，使用者可以根据自己的应用灵活选择。XMC可用I/O详见AT32系列各产品数据手册中引脚定义章节，XMC使用设置方式请参考技术手册。

图 3. 参考线路原理图



3 版本历史

表 3 文档版本历史

日期	版本	变更
2020.06.10	1.0.0	最初版本
2020.07.08	1.0.1	新增外接并口SRAM的相关描述
2021.03.31	1.0.2	以74LVC574取代74HC574，有些74HC574传输延时太长
2022.2.17	2.0.0	NBL0修改为LB，NBL1修改为UB

重要通知 - 请仔细阅读

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和/或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途(及其依据任何司法管辖区的法律的对应情况)，或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力产品并非设计或专门用于下列用途的产品：(A) 对安全性有特别要求的应用，如：生命支持、主动植入设备或对产品功能安全有要求的系统；(B) 航空应用；(C) 汽车应用或汽车环境；(D) 航天应用或航天环境，且/或(E) 武器。因雅特力产品不是为前述应用设计的，而采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，风险由购买者单独承担，并且独力负责在此类相关使用中满足所有法律和法规要求。

经销的雅特力产品如有不同于本文档中提出的声明和/或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2022 雅特力科技 保留所有权利