

## 基于ARM®32位Cortex®-M0+微控制器，带16 K字节到64 K字节闪存、sLib、10个定时器、1个ADC、10个通信接口（1个CAN）

- **内核：ARM® 32位Cortex™-M0+ CPU**
  - 最高80MHz工作频率，带存储器保护单元（MPU），内建单周期乘法
- **存储器**
  - 16 K字节到64 K字节的闪存存储器
  - 4 K字节的系统存储器作启动加载程序（Bootloader）用，可一次性配置成一般用户程序和数据区
  - sLib：将指定之主存储区设为执行代码安全库区，此区代码仅能调用无法读取
  - 9 K字节的SRAM（8 K字节带奇偶校验）
- **电源控制（PWC）**
  - 1.71至3.6伏供电
  - 上电复位(POR)、低电压复位(LVR)、电压监测器(PVM)
  - 低功耗模式：睡眠、深度睡眠、待机，5个WKUP引脚可唤醒待机模式
  - 5个32位的电池供电寄存器(BPR)
- **时钟、复位和电源管理**
  - 4至25 MHz晶体振荡器（HEXT）
  - 内嵌经出厂调校的48 MHz高速时钟（HICK）
  - 32 kHz晶体（LEXT）
  - 低速内部时钟（LICK）
- **模拟模块**
  - 1个12位2 MSPS A/D转换器，多达15个外部输入通道；分辨率12/10/8/6可调；硬件过采样最高达16位分辨率
  - 内部参考电压(VINTRV)
- **多达39个快速I/O**
  - 内核专用单周期GPIO总线
  - 所有GPIO口可以映像到16个外部中断（EXINT）
  - 几乎所有GPIO口可容忍5 V输入信号
- **DMA**
  - 1个5通道DMA控制器
- **多达10个定时器**
  - 1个16位7通道高级定时器，包括3对互补通道PWM输出，带死区控制和紧急停止功能
  - 多达5个16位定时器，每个定时器最长达4个用于输入捕获/输出比较/PWM或脉冲计数的通道和增量编码器输入
  - 1个16位基本定时器
  - 2个看门狗定时器（一般型WDT和窗口型WWDT）
  - 系统滴答定时器：24位递减计数器
- **ERTC：增强型RTC，具有闹钟、亚秒级精度、及硬件日历，带校准功能**
- **多达10个通信接口**
  - 2个I2C接口，支持SMBus/PMBus，支持增强快速模式（1 MHz），可从深睡眠模式唤醒
  - 4个USART接口：支持同步SPI和调制解调器控制；具有ISO7816接口、LIN、IrDA和RS485驱动使能；支持TX/RX可配置引脚互换；可从深睡眠模式唤醒
  - 2个SPI接口（36 MHz），均可复用为半双工I2S接口；
  - CAN接口（2.0B主动），内置256字节的专用缓存
  - 红外发射器（IRTMR）
- **96位的芯片唯一码（UID）**
- **调试模式**
  - 串行单线调试(SWD)和串行线输出（SWO）接口
- **温度范围：-40至+105 °C**
- **封装**
  - LQFP48 7 x 7 mm
  - LQFP32 7 x 7 mm
  - QFN32 5 x 5 mm
  - QFN32 4 x 4 mm
  - QFN28 4 x 4 mm
  - QFN20 3 x 3 mm
  - TSSOP20 6.5 x 4.4 mm
- **选型列表**

内部闪存存储器	型号
64 K字节	AT32L021C8T7, AT32L021K8T7, AT32L021K8U7, AT32L021K8U7-4 AT32L021F8P7, AT32L021F8U7, AT32L021G8U7
32 K字节	AT32L021C6T7, AT32L021K6T7, AT32L021K6U7, AT32L021K6U7-4 AT32L021F6P7, AT32L021F6U7, AT32L021G6U7
16 K字节	AT32L021C4T7, AT32L021K4T7, AT32L021K4U7, AT32L021K4U7-4 AT32L021F4P7, AT32L021F4U7, AT32L021G4U7

## 目 录

1	系统架构	23
1.1	系统概述	24
1.1.1	ARM® Cortex®-M0+处理器	24
1.1.2	中断和异常向量	24
1.1.3	系统嘀嗒定时器 ( SysTick )	25
1.1.4	复位流程	25
1.2	寄存器描述缩写说明	26
1.3	器件特征信息	27
1.3.1	闪存容量寄存器	27
1.3.2	器件电子签名	27
2	存储器资源	28
2.1	内部存储器地址映像	28
2.2	Flash存储器	28
2.3	SRAM存储器	30
2.4	外设地址映像	30
3	电源控制 ( PWC )	33
3.1	简介	33
3.2	主要特点	33
3.3	上电低电压复位	33
3.4	电压监测器 ( PVM )	34
3.5	电源域划分	35
3.6	省电模式	35
3.7	PWC寄存器	36
3.7.1	电源控制寄存器 ( PWC_CTRL )	36
3.7.2	电源控制及状态寄存器 ( PWC_CTRLSTS )	37
4	时钟和复位管理 ( CRM )	39
4.1	时钟	39
4.1.1	时钟源	39
4.1.2	系统时钟	40
4.1.3	外设时钟	40
4.1.4	时钟失效检测	40
4.1.5	时钟输出	40
4.1.6	中断	42
4.2	复位	42

4.2.1	系统复位 .....	42
4.2.2	电池供电域复位 .....	42
4.3	CRM寄存器 .....	43
4.3.1	时钟控制寄存器 ( CRM_CTRL ) .....	43
4.3.2	时钟配置寄存器 ( CRM_CFG ) .....	44
4.3.3	时钟中断寄存器 ( CRM_CLKINT ) .....	46
4.3.4	APB2外设复位寄存器 ( CRM_APB2RST ) .....	47
4.3.5	APB1外设复位寄存器 ( CRM_APB1RST ) .....	49
4.3.6	AHB外设时钟使能寄存器 ( CRM_AHBEN ) .....	50
4.3.7	APB2外设时钟使能寄存器 ( CRM_APB2EN ) .....	50
4.3.8	APB1外设时钟使能寄存器 ( CRM_APB1EN ) .....	51
4.3.9	备份域控制寄存器 ( CRM_BPDC ) .....	52
4.3.10	控制/状态寄存器 ( CRM_CTRLSTS ) .....	53
4.3.11	AHB外设复位寄存器 ( CRM_AHBRST ) .....	53
4.3.12	PLL配置寄存器 ( CRM_PLL ) .....	54
4.3.13	额外寄存器1 ( CRM_MISC1 ) .....	54
4.3.14	HSE推动能力控制寄存器 ( CRM_HSEDRV ) .....	55
4.3.15	外设独立时钟选择 ( CRM_PICLKS ) .....	55
4.3.16	额外寄存器2 ( CRM_MISC2 ) .....	55
5	内嵌闪存控制器 ( FLASH ) .....	56
5.1	FLASH介绍 .....	56
5.2	主存储器操作 .....	58
5.2.1	解锁/锁定 .....	58
5.2.2	擦除 .....	58
5.2.3	编程 .....	60
5.2.4	读取 .....	63
5.3	主存扩展区操作 .....	63
5.4	用户系统数据区操作 .....	63
5.4.1	解锁/锁定 .....	63
5.4.2	擦除 .....	63
5.4.3	编程 .....	64
5.4.4	读取 .....	65
5.5	闪存保护 .....	65
5.5.1	访问保护 .....	66

5.5.2 擦写保护 .....	66
5.6 读取性能 .....	67
5.7 特殊功能 .....	67
5.7.1 安全库区设定 .....	67
5.7.2 启动程序代码区域作为主存扩展使用 .....	69
5.7.3 CRC校验 .....	69
5.8 FLASH寄存器 .....	69
5.8.1 闪存性能选择寄存器 (FLASH_PSR) .....	70
5.8.2 闪存解锁寄存器 (FLASH_UNLOCK) .....	70
5.8.3 闪存用户系统数据解锁寄存器 (FLASH_USD_UNLOCK) .....	70
5.8.4 闪存状态寄存器 (FLASH_STS) .....	71
5.8.5 闪存控制寄存器 (FLASH_CTRL) .....	71
5.8.6 闪存地址寄存器 (FLASH_ADDR) .....	71
5.8.7 用户系统数据寄存器 (FLASH_USD) .....	72
5.8.8 擦除编程保护状态寄存器 (FLASH_EPPS) .....	72
5.8.9 闪存安全库区状态寄存器0 (SLIB_STS0) .....	72
5.8.10 闪存安全库区状态寄存器1 (SLIB_STS1) .....	73
5.8.11 闪存安全库区密码清除寄存器 (SLIB_PWD_CLR) .....	73
5.8.12 闪存安全库区额外状态寄存器 (SLIB_MISC_STS) .....	73
5.8.13 闪存CRC校验地址寄存器 (FLASH_CRC_ADDR) .....	74
5.8.14 闪存CRC校验控制寄存器 (FLASH_CRC_CTRL) .....	74
5.8.15 闪存CRC校验结果寄存器 (FLASH_CRC_CHKR) .....	74
5.8.16 闪存安全库区密码设定寄存器 (SLIB_SET_PWD) .....	74
5.8.17 闪存安全库区地址设定寄存器 (SLIB_SET_RANGE) .....	74
5.8.18 主存扩展存储区域安全库区设定寄存器 (EM_SLIB_SET) .....	75
5.8.19 启动程序代码区模式设定寄存器 (BTM_MODE_SET) .....	75
5.8.20 闪存安全库区解锁寄存器 (SLIB_UNLOCK) .....	76
6 通用和复用功能I/O (GPIO和IOMUX) .....	77
6.1 简介 .....	77
6.2 功能描述 .....	77
6.2.1 GPIO结构 .....	77
6.2.2 GPIO复位状态 .....	78
6.2.3 通用功能输入配置 .....	78
6.2.4 模拟输入/输出配置 .....	78

6.2.5	通用功能输出配置 .....	78
6.2.6	GPIO端口保护 .....	79
6.2.7	IOMUX功能结构 .....	79
6.2.8	复用功能上下拉配置 .....	79
6.2.9	IOMUX功能输入/输出 .....	80
6.2.10	外设复用功能引脚配置 .....	81
6.2.11	IOMUX映射优先级 .....	81
6.2.12	外部中断/唤醒线 .....	82
6.3	GPIO寄存器 .....	82
6.3.1	GPIO配置寄存器 (GPIOx_CFGR) (x=A..C,F) .....	82
6.3.2	GPIO输出模式寄存器 (GPIOx_OMODE) (x=A..C,F) .....	82
6.3.3	GPIO电流推动/吸入能力切换控制寄存器 (GPIOx_ODRVR) (x=A..C,F) .....	83
6.3.4	GPIO上/下拉寄存器 (GPIOx_PULL) (x=A..C,F) .....	83
6.3.5	GPIO输入数据寄存器 (GPIOx_IDT) (x=A..C,F) .....	83
6.3.6	GPIO输出数据寄存器 (GPIOx_ODT) (x=A..C,F) .....	83
6.3.7	GPIO设置/清除寄存器 (GPIOx_SCR) (x=A..C,F) .....	83
6.3.8	GPIO写保护寄存器 (GPIOx_WPR) (x=A..C,F) .....	84
6.3.9	GPIO复用低位寄存器 (GPIOx_MUXL) (x=A..C,F) .....	84
6.3.10	GPIO复用高位寄存器 (GPIOx_MUXH) (x=A..C,F) .....	84
6.3.11	GPIO位清除寄存器 (GPIOx_CLR) (x=A..C,F) .....	84
6.3.12	GPIO位翻转寄存器 (GPIOx_TOGR) (x=A..C,F) .....	85
6.3.13	极大电流推动/吸入能力切换控制寄存器 (GPIOx_HDRV) (x=A..C,F) .....	85
7	系统配置控制器 (SCFG) .....	86
7.1	SCFG简介 .....	86
7.2	SCFG寄存器 .....	86
7.2.1	SCFG配置寄存器1 (SCFG_CFGR1) .....	86
7.2.2	SCFG外部中断配置寄存器1 (SCFG_EXTINC1) .....	87
7.2.3	SCFG外部中断配置寄存器2 (SCFG_EXINTC2) .....	87
7.2.4	SCFG外部中断配置寄存器3 (SCFG_EXINTC3) .....	88
7.2.5	SCFG外部中断配置寄存器4 (SCFG_EXINTC4) .....	88
7.2.6	SCFG配置寄存器2 (SCFG_CFGR2) .....	90
8	外部中断/事件控制器 (EXINT) .....	91
8.1	EXINT介绍 .....	91
8.2	功能描述和配置流程 .....	91

8.3 EXINT寄存器描述 .....	92
8.3.1 中断使能寄存器 (EXINT_INTEN) .....	92
8.3.2 事件使能寄存器 (EXINT_EVTEN) .....	92
8.3.3 极性配置寄存器1 (EXINT_POLCFG1) .....	92
8.3.4 极性配置寄存器2 (EXINT_POLCFG2) .....	93
8.3.5 软件触发寄存器 (EXINT_SWTRG) .....	93
8.3.6 中断状态寄存器 (EXINT_INTSTS) .....	93
9 DMA控制器 (DMA) .....	94
9.1 简介 .....	94
9.2 特性 .....	94
9.3 功能描述 .....	95
9.3.1 通道配置 .....	95
9.3.2 握手机制 .....	95
9.3.3 仲裁 .....	95
9.3.4 可编程数据传输宽度 .....	96
9.3.5 错误事件 .....	97
9.3.6 中断 .....	97
9.3.7 DMA弹性请求映射 .....	97
9.4 DMA寄存器 .....	98
9.4.1 DMA状态寄存器 (DMA_STS) .....	99
9.4.2 DMA标志清除寄存器 (DMA_CLR) .....	100
9.4.3 DMA通道x配置寄存器 (DMA_CxCTRL) (x = 1...5) .....	101
9.4.4 DMA通道x数据传输量寄存器 (DMA_CxDTCNT) (x = 1...5) .....	102
9.4.5 DMA通道x外设地址寄存器 (DMA_CxPADDR) (x = 1...5) .....	103
9.4.6 DMA通道x存储器地址寄存器 (DMA_CxMADDR) (x = 1...5) .....	103
9.4.7 通道来源寄存器0 (DMA_SRC_SEL0) .....	103
9.4.8 通道来源寄存器1 (DMA_SRC_SEL1) .....	103
10 CRC计算单元 (CRC) .....	104
10.1 CRC介绍 .....	104
10.2 CRC功能说明 .....	104
10.3 CRC寄存器 .....	105
10.3.1 数据寄存器 (CRC_DT) .....	105
10.3.2 通用数据寄存器 (CRC_CDT) .....	105
10.3.3 控制寄存器 (CRC_CTRL) .....	106

10.3.4	初始化寄存器 (CRC_IDT)	106
10.3.5	生成多项式系数寄存器 (CRC_POLY)	106
11	I <sup>2</sup> C接口	107
11.1	I <sup>2</sup> C简介	107
11.2	I <sup>2</sup> C的主要特点	107
11.3	I <sup>2</sup> C总线特性	107
11.4	I <sup>2</sup> C接口	108
11.4.1	I <sup>2</sup> C时序控制	110
11.4.2	数据传输管理	111
11.4.3	I <sup>2</sup> C主机通信流程	112
11.4.4	I <sup>2</sup> C从机通信流程	117
11.4.5	SMBus功能	120
11.4.6	SMBus主机通信流程	122
11.4.7	SMBus从机通信流程	126
11.4.8	DMA传输	131
11.4.9	错误管理	132
11.4.10	地址匹配事件从Deepsleep mode唤醒	134
11.5	I <sup>2</sup> C中断	134
11.6	I <sup>2</sup> C调试模式	134
11.7	I <sup>2</sup> C寄存器	135
11.7.1	控制寄存器1 (I2C_CTRL1)	135
11.7.2	控制寄存器2 (I2C_CTRL2)	136
11.7.3	地址寄存器1 (I2C_OADDR1)	137
11.7.4	地址寄存器2 (I2C_OADDR2)	137
11.7.5	时序寄存器 (I2C_CLKCTRL)	139
11.7.6	超时寄存器 (I2C_TIMEOUT)	139
11.7.7	状态寄存器 (I2C_STS)	139
11.7.8	状态清除寄存器 (I2C_CLR)	141
11.7.9	PEC寄存器 (I2C_PEC)	141
11.7.10	接收寄存器 (I2C_RXDT)	141
11.7.11	发送寄存器 (I2C_TXDT)	141
12	通用同步异步收发器 (USART)	142
12.1	USART介绍	142
12.2	全双工半双工选择器简述和配置流程	143

12.3 模式选择器简述和配置流程 .....	143
12.3.1 模式选择器简述 .....	143
12.3.2 模式选择器配置方法 .....	144
12.4 USART帧格式简述和配置流程 .....	147
12.5 DMA传输简述和配置流程 .....	149
12.5.1 DMA发送配置流程 .....	149
12.5.2 DMA接收配置流程 .....	150
12.6 波特率发生器简述及配置流程 .....	150
12.6.1 波特率发生器简述 .....	150
12.6.2 波特率发生器配置方法 .....	150
12.7 发送器简述和配置流程 .....	151
12.7.1 发送器简述 .....	151
12.7.2 发送器配置流程 .....	151
12.8 接收器简述和配置流程 .....	152
12.8.1 接收器简述 .....	152
12.8.2 接收器配置流程 .....	152
12.8.3 起始侦测和噪声检测 .....	153
12.9 低功耗唤醒简述和配置流程 .....	154
12.10 Tx/Rx可配置引脚互换 .....	155
12.11 中断 .....	156
12.12 I/O引脚控制 .....	156
12.13 USART寄存器描述 .....	157
12.13.1 状态寄存器 (USART_STS) .....	157
12.13.2 数据寄存器 (USART_DT) .....	158
12.13.3 波特比率寄存器 (USART_BAUDR) .....	159
12.13.4 控制寄存器1 (USART_CTRL1) .....	159
12.13.5 控制寄存器2 (USART_CTRL2) .....	160
12.13.6 控制寄存器3 (USART_CTRL3) .....	161
12.13.7 保护时间和预分频寄存器 (GDIV) .....	164
12.13.8 接收器超时检测值寄存器 (RTOV) .....	164
12.13.9 中断标志位清除寄存器 (IFC) .....	164
13 串行外设接口 (SPI) .....	165
13.1 串行外设接口 (SPI) 简介 .....	165
13.2 SPI功能描述 .....	165



13.2.1 SPI简述 .....	165
13.2.2 全双工半双工选择器简述和配置流程 .....	166
13.2.3 CS控制器简述和配置流程 .....	167
13.2.4 SPI_SCK控制器简述和配置流程 .....	168
13.2.5 CRC简述和配置流程 .....	168
13.2.6 DMA传输简述和配置流程 .....	169
13.2.7 TI模式简述和配置流程 .....	169
13.2.8 发送器简述和配置流程 .....	170
13.2.9 接收器简述和配置流程 .....	170
13.2.10 Motorola模式通信时序 .....	171
13.2.11 TI模式通信时序 .....	174
13.2.12 中断 .....	175
13.2.13 IO管脚控制 .....	175
13.2.14 注意事项 .....	175
13.3 I <sup>2</sup> S功能描述 .....	175
13.3.1 I <sup>2</sup> S简述 .....	175
13.3.2 操作模式选择器简述和配置流程 .....	177
13.3.3 音频协议选择器简述和配置流程 .....	178
13.3.4 I <sup>2</sup> S_CLK控制器简述和配置流程 .....	179
13.3.5 DMA传输简述和配置流程 .....	180
13.3.6 发送器接收器简述和配置流程 .....	181
13.3.7 I <sup>2</sup> S通信时序 .....	183
13.3.8 中断 .....	183
13.3.9 IO管脚控制 .....	183
13.4 SPI寄存器 .....	184
13.4.1 SPI控制寄存器1 (SPI_CTRL1) (I <sup>2</sup> S模式下不使用) .....	184
13.4.2 SPI控制寄存器2 (SPI_CTRL2) .....	185
13.4.3 SPI状态寄存器 (SPI_STS) .....	186
13.4.4 SPI数据寄存器 (SPI_DT) .....	187
13.4.5 SPICRC多项式寄存器 (SPI_CPOLY) (I <sup>2</sup> S模式下不使用) .....	187
13.4.6 SPIRxCRC寄存器 (SPI_RCRC) (I <sup>2</sup> S模式下不使用) .....	187
13.4.7 SPITxCRC寄存器 (SPI_TCRC) .....	187
13.4.8 SPI_I <sup>2</sup> S配置寄存器 (SPI_I2SCTRL) .....	187
13.4.9 SPI_I <sup>2</sup> S预分频寄存器 (SPI_I2SCLKP) .....	188

14 定时器 (TIMER) .....	189
14.1 基本定时器 (TMR6) .....	190
14.1.1 TMR6简介 .....	190
14.1.2 TMR6的主要功能 .....	190
14.1.3 TMR6的功能 .....	190
14.1.4 TMR6寄存器 .....	192
14.2 通用定时器 (TMR3) .....	194
14.2.1 TMR3简介 .....	194
14.2.2 TMR3主要功能 .....	194
14.2.3 TMR3功能描述 .....	194
14.2.4 TMR3寄存器描述 .....	211
14.3 通用定时器 (TMR14) .....	222
14.3.1 TMR14简介 .....	222
14.3.2 TMR14主要功能 .....	222
14.3.3 TMR14功能描述 .....	222
14.3.4 TMR14寄存器描述 .....	227
14.4 通用定时器 (TMR15) .....	233
14.4.1 TMR15简介 .....	233
14.4.2 TMR15主要功能 .....	233
14.4.3 TMR15功能描述 .....	233
14.4.4 TMR15寄存器描述 .....	247
14.5 通用定时器 (TMR16和TMR17) .....	260
14.5.1 TMR16和TMR17简介 .....	260
14.5.2 TMR16和TMR17主要功能 .....	260
14.5.3 TMR16和TMR17功能描述 .....	260
14.5.4 TMR16和TMR17寄存器描述 .....	267
14.6 高级定时器 (TMR1) .....	277
14.6.1 TMR1简介 .....	277
14.6.2 TMR1主要功能 .....	277
14.6.3 TMR1功能描述 .....	278
14.6.4 TMR1寄存器描述 .....	296
15 窗口看门狗 (WWDT) .....	311
15.1 WWDT简介 .....	311
15.2 WWDT主要特性 .....	311

15.3 WWDT功能描述 .....	311
15.4 调试模式 .....	312
15.5 WWDT寄存器 .....	312
15.5.1 控制寄存器 ( WWDT_CTRL ) .....	312
15.5.2 配置寄存器 ( WWDT_CFG ) .....	312
15.5.3 状态寄存器 ( WWDT_STS ) .....	313
16 看门狗 ( WDT ) .....	314
16.1 简介 .....	314
16.2 WDT主要特性 .....	314
16.3 WDT功能描述 .....	314
16.4 调试模式 .....	315
16.5 WDT寄存器 .....	315
16.5.1 命令寄存器 ( WDT_CMD ) .....	315
16.5.2 预分频寄存器 ( WDT_DIV ) .....	316
16.5.3 重装载寄存器 ( WDT_RLD ) .....	316
16.5.4 状态寄存器 ( WDT_STS ) .....	316
16.5.5 窗口寄存器 ( WDT_WIN ) .....	316
17 实时时钟 ( ERTC ) .....	317
17.1 ERTC简介 .....	317
17.2 ERTC主要特性 .....	317
17.3 ERTC功能说明 .....	317
17.3.1 ERTC时钟 .....	317
17.3.2 ERTC初始化 .....	318
17.3.3 周期性自动唤醒 .....	319
17.3.4 ERTC校准 .....	320
17.3.5 参考时钟检测 .....	320
17.3.6 时间戳 .....	320
17.3.7 入侵检测 .....	321
17.3.8 复用功能输出 .....	321
17.3.9 ERTC唤醒 .....	321
17.4 ERTC寄存器 .....	322
17.4.1 ERTC时间寄存器 ( ERTC_TIME ) .....	323
17.4.2 ERTC日期寄存器 ( ERTC_DATE ) .....	323
17.4.3 ERTC控制寄存器 ( ERTC_CTRL ) .....	323

17.4.4	ERTC初始化和状态寄存器 ( ERTC_STS )	325
17.4.5	ERTC预分频器寄存器 ( ERTC_DIV )	326
17.4.6	ERTC唤醒定时器寄存器 ( ERTC_WAT )	326
17.4.7	ERTC闹钟A寄存器 ( ERTC_ALA )	326
17.4.8	ERTC写保护寄存器 ( ERTC_WP )	327
17.4.9	ERTC亚秒寄存器 ( ERTC_SBS )	327
17.4.10	ERTC时间微调寄存器 ( ERTC_TADJ )	327
17.4.11	ERTC时间戳时间寄存器 ( ERTC_TSTM )	327
17.4.12	ERTC时间戳日期寄存器 ( ERTC_TSDT )	328
17.4.13	ERTC时间戳亚秒寄存器 ( ERTC_TSSBS )	328
17.4.14	ERTC精密校准寄存器 ( ERTC_SCAL )	328
17.4.15	ERTC入侵配置寄存器 ( ERTC_TAMP )	328
17.4.16	ERTC闹钟A亚秒寄存器 ( ERTC_ALASBS )	329
17.4.17	ERTC电池供电数据寄存器 ( ERTC_BPRx )	329
18	模拟/数字转换 ( ADC )	330
18.1	ADC简介	330
18.2	ADC主要特征	330
18.3	ADC架构	331
18.4	ADC功能介绍	331
18.4.1	通道管理	331
18.4.2	ADC操作流程	332
18.4.3	转换顺序管理	335
18.4.4	过采样器	336
18.4.5	数据管理	338
18.4.6	电压监测	339
18.4.7	状态标志与中断	339
18.5	ADC寄存器	340
18.5.1	ADC状态寄存器 ( ADC_STS )	340
18.5.2	ADC控制寄存器1 ( ADC_CTRL1 )	341
18.5.3	ADC控制寄存器2 ( ADC_CTRL2 )	342
18.5.4	ADC采样时间寄存器1 ( ADC_SPT1 )	344
18.5.5	ADC采样时间寄存器2 ( ADC_SPT2 )	346
18.5.6	ADC抢占通道数据偏移寄存器x ( ADC_PCDTOx ) ( x=1..4 )	347
18.5.7	ADC电压监测高边界寄存器 ( ADC_VMHB )	348

18.5.8	ADC电压监测低边界寄存器 (ADC_VMLB)	348
18.5.9	ADC普通序列寄存器1 (ADC_OSQ1)	348
18.5.10	ADC普通序列寄存器2 (ADC_OSQ2)	348
18.5.11	ADC普通序列寄存器3 (ADC_OSQ3)	349
18.5.12	ADC抢占序列寄存器 (ADC_PSQ)	349
18.5.13	ADC抢占数据寄存器x (ADC_PDTx) (x= 1..4)	349
18.5.14	ADC普通数据寄存器 (ADC_ODT)	350
18.5.15	ADC过采样寄存器 (ADC_OVSP)	350
19	CAN总线控制器 (CAN)	351
19.1	简介	351
19.2	主要特性	351
19.3	波特率设置	352
19.4	中断管理	354
19.5	设计提示	355
19.6	功能描述	355
19.6.1	整体功能描述	355
19.6.2	工作模式	356
19.6.3	测试方法	356
19.6.4	报文过滤	356
19.6.5	报文发送	359
19.6.6	报文接收	360
19.6.7	出错管理	361
19.7	CAN寄存器	361
19.7.1	CAN控制和状态寄存器	363
19.7.2	CAN邮箱寄存器	373
19.7.3	CAN过滤器寄存器	375
20	硬件整数除法器 (HWDIV)	378
20.1	简介	378
20.2	主要特点	378
20.3	中断与中断控制	378
20.4	配置流程	378
20.5	寄存器描述	378
20.5.1	除法器被除数寄存器 (HWDIV_DVDD)	379
20.5.2	除法器除数寄存器 (HWDIV_DVSR)	379

20.5.3	除法器商数寄存器 (HWDIV_QUOT)	379
20.5.4	除法器余数寄存器 (HWDIV_REMD)	379
20.5.5	除法器控制寄存器 (HWDIV_CTRL)	379
20.5.6	除法器状态寄存器 (HWDIV_STS)	379
21	红外线接口 (IRTMR)	380
22	调试 (DEBUG)	381
22.1	简介	381
22.2	调试与跟踪功能	381
22.3	I/O控制	381
22.4	DEBUG寄存器	381
22.4.1	DEBUG设备ID (DEBUG_IDCODE)	381
22.4.2	DEBUG控制寄存器 (DEBUG_CTRL)	382
22.4.3	DEBUG SERIES ID寄存器 (DEBUG_SER_ID)	383
23	版本历史	384

## 图目录

图 1-1 AT32L021 系列微控制器系统架构.....	23
图 1-2 Cortex®-M0+内部框图.....	24
图 1-3 复位流程.....	25
图 1-4 MSP 及 PC 初始化范例.....	26
图 2-1 AT32L021 地址配置图.....	28
图 3-1 各电源域框图.....	33
图 3-2 上电低电压复位波形图.....	34
图 3-3 PVM 的阈值与输出图.....	34
图 4-1 AT32L021 时钟结构图.....	39
图 4-2 系统复位电路图.....	42
图 5-1 主存储器扇区擦除流程图.....	59
图 5-2 主存储器整片擦除流程图.....	60
图 5-3 主存储器编程流程图.....	62
图 5-4 系统数据区擦除图.....	64
图 5-5 系统数据区编程图.....	65
图 6-1 GPIO 基本结构.....	77
图 6-2 IOMUX 复用结构.....	79
图 8-1 外部中断/事件控制器框图.....	91
图 9-1 DMA 框图.....	94
图 9-2 请求/应答对后重新仲裁.....	95
图 9-3 PWIDTH: 字节, MWIDTH: 半字.....	96
图 9-4 PWIDTH: 半字, MWIDTH: 字.....	96
图 9-5 PWIDTH: 字, MWIDTH: 字节.....	96
图 10-1 CRC 计算单元框图.....	104
图 11-1 I <sup>2</sup> C 总线协议.....	107
图 11-2 I <sup>2</sup> C1 框图.....	108
图 11-3 I <sup>2</sup> C2 框图.....	108
图 11-4 建立和保持时间.....	110
图 11-5 I <sup>2</sup> C 主机发送流程图.....	114
图 11-6 I <sup>2</sup> C 主机发送时序图.....	115
图 11-7 I <sup>2</sup> C 主机接收流程图.....	115
图 11-8 I <sup>2</sup> C 主机接收时序图.....	116
图 11-9 10 位地址读访问 READH10=1.....	116
图 11-10 10 位地址读访问 READH10=0.....	116
图 11-11 I <sup>2</sup> C 从机发送流程图.....	118
图 11-12 I <sup>2</sup> C 从机发送时序图.....	119
图 11-13 I <sup>2</sup> C 从机接收流程图.....	119
图 11-14 I <sup>2</sup> C 从机接收时序图.....	120
图 11-15 SMBus 主机发送流程图.....	123

图 11-16 SMBus 主机发送时序图 .....	125
图 11-17 SMBus 主机接收流程图 .....	125
图 11-18 SMBus 主机接收时序图 .....	126
图 11-19 SMBus 从机发送流程图 .....	128
图 11-20 SMBus 从机发送时序图 .....	128
图 11-21 SMBus 从机接收流程图 .....	129
图 11-22 SMBus 从机接收时序图 .....	131
图 12-1 USART 框图.....	142
图 12-2 LIN 模式下的 BFF 检测与 FERR 检测 .....	144
图 12-3 Smartcard frame format.....	144
图 12-4 IrDA DATA(3/16)-普通模式 .....	145
图 12-5 Hardware flow control.....	145
图 12-6 Mute mode using Idle line or Address mark detection .....	146
图 12-7 8-bit format USART 同步模式.....	147
图 12-8 字长设置.....	148
图 12-9 配置停止位 .....	149
图 12-10 发送时 TDC/TDBE 的变化情况 .....	151
图 12-11 检测噪声的数据采样.....	154
图 12-12 Tx/Rx 可配置引脚互换 .....	155
图 12-13 USART 中断映像图.....	156
图 13-1 SPI 框图 .....	165
图 13-2 SPI 双线单向全双工连接示意图.....	166
图 13-3 SPI 作主机单线单向只收连接示意图 .....	166
图 13-4 SPI 作从机单线单向只收连接示意图 .....	167
图 13-5 SPI 作单线双向半双工连接示意图.....	167
图 13-6 主机全双工通信 .....	171
图 13-7 从机全双工通信 .....	171
图 13-8 主机半双工发送通信 .....	173
图 13-9 从机半双工接收通信 .....	173
图 13-10 从机半双工发送通信 .....	173
图 13-11 主机半双工接收通信.....	174
图 13-12 TI 模式连续通信时序.....	174
图 13-13 TI 模式带 dummy CLK 的连续通信时序.....	174
图 13-14 TI 模式非连续通信时序 .....	175
图 13-15 SPI 中断 .....	175
图 13-16 I <sup>2</sup> S 框图.....	176
图 13-17 I <sup>2</sup> S 从设备发送连接示意图.....	177
图 13-18 I <sup>2</sup> S 从设备接收连接示意图.....	177
图 13-19 I <sup>2</sup> S 主设备发送连接示意图.....	178
图 13-20 I <sup>2</sup> S 主设备接收连接示意图.....	178



图 13-21 SPI 作主机 CK & MCK 来源示意图.....	179
图 13-22 各音频标准时序.....	183
图 13-23 I <sup>2</sup> S 中断.....	183
图 14-1 基本定时器框图.....	190
图 14-2 使用 CK_INT 且分频系数为 1.....	190
图 14-3 计数器基本结构.....	191
图 14-4 PRBEN=0 时的溢出事件.....	191
图 14-5 PRBEN=1 时的溢出事件.....	191
图 14-6 计数器时序图，内部时钟分频因子为 4.....	191
图 14-7 通用定时器框图.....	194
图 14-8 计数时钟.....	194
图 14-9 使用 CK_INT 计数，TMRx_DIV=0x0，周期寄存器 TMRx_PR=0x16.....	195
图 14-10 外部时钟模式 A 框图.....	196
图 14-11 使用外部时钟模式 A 计数，PR=0x32，DIV=0x0.....	196
图 14-12 外部时钟模式 B 框图.....	196
图 14-13 使用外部时钟模式 B 计数，PR=0x32，DIV=0x0.....	196
图 14-14 当预分频器的参数从 1 变到 4 时，计数器的时序图.....	198
图 14-15 计数器基本结构.....	200
图 14-16 PRBEN=0 时的溢出事件.....	200
图 14-17 PRBEN=1 时的溢出事件.....	200
图 14-18 计数器时序图，内部时钟分频因子为 4.....	200
图 14-19 计数器时序图，内部时钟分频因子为 1，TMRx_PR=0x32.....	201
图 14-20 编码模式结构.....	201
图 14-21 编码模式计数实例（编码器模式 C）.....	202
图 14-22 输入/输出通道 1 的主电路.....	203
图 14-23 通道 1 输入部分.....	203
图 14-24 PWM 输入模式配置实例.....	204
图 14-25 PWM 输入模式.....	204
图 14-26 捕获/比较通道的输出部分（通道 1 至 4）.....	205
图 14-27 计数值与 C1DT 值匹配时翻转 C1ORAW.....	206
图 14-28 向上计数下 PWM 模式 A.....	206
图 14-29 双向计数下 PWM 模式 A.....	206
图 14-30 单周期模式.....	207
图 14-31 EXT 清除 CxORAW（PWM 模式 A）.....	207
图 14-32 复位模式例子.....	208
图 14-33 挂起模式下例子.....	208
图 14-34 触发器模式例子.....	209
图 14-35 主/次定时器连接框图.....	209
图 14-36 主定时器启动次定时器例子.....	210
图 14-37 外部触发同时启动主、次定时器.....	210

图 14-38 通用定时器 TMR14 框图.....	222
图 14-39 计数时钟.....	222
图 14-40 使用 CK_INT 计数, TMRx_DIV=0x0, 周期寄存器 TMRx_PR=0x16.....	222
图 14-41 计数器基本结构.....	223
图 14-42 PRBEN=0 时的溢出事件.....	223
图 14-43 PRBEN=1 时的溢出事件.....	223
图 14-44 输入/输出通道 1 的主电路.....	224
图 14-45 通道 1 输入部分.....	224
图 14-46 捕获/比较通道的输出部分.....	225
图 14-47 计数值与 C1DT 值匹配时翻转 C1ORAW.....	226
图 14-48 向上计数下 PWM 模式 A.....	226
图 14-49 单周期模式.....	226
图 14-50 TMR15 定时器框图.....	233
图 14-51 计数时钟.....	233
图 14-52 使用 CK_INT 计数, TMRx_DIV=0x0, 周期寄存器 TMRx_PR=0x16.....	235
图 14-53 外部时钟模式 A 框图.....	235
图 14-54 使用外部时钟模式 A 计数, PR=0x32, DIV=0x0.....	236
图 14-55 当预分频器的参数从 1 变到 4 时, 计数器的时序图.....	236
图 14-56 计数器基本结构.....	237
图 14-57 PRBEN=0 时的溢出事件.....	237
图 14-58 PRBEN=1 时的溢出事件.....	237
图 14-59 RPR=2 时的 OVFIF.....	239
图 14-60 输入/输出通道 1 的主电路.....	239
图 14-61 通道 1 输入部分.....	239
图 14-62 PWM 输入模式配置实例.....	240
图 14-63 PWM 输入模式.....	241
图 14-64 通道 1 输出部分.....	241
图 14-65 通道 2 输出部分.....	241
图 14-66 计数值与 C1DT 值匹配时翻转 C1ORAW.....	242
图 14-67 向上计数下 PWM 模式 A.....	243
图 14-68 单周期模式.....	243
图 14-69 带死区插入的互补输出.....	244
图 14-70 TMR 输出控制.....	245
图 14-71 TMR 刹车功能的例子.....	245
图 14-72 复位模式例子.....	246
图 14-73 挂起模式下例子.....	246
图 14-74 触发器模式例子.....	247
图 14-75 TMR16、17 定时器框图.....	260
图 14-76 计数时钟.....	260
图 14-77 使用 CK_INT 计数, TMRx_DIV=0x0, 周期寄存器 TMRx_PR=0x16.....	261

图 14-78 计数器基本结构.....	261
图 14-79 PRBEN=0 时的溢出事件.....	261
图 14-80 PRBEN=1 时的溢出事件.....	262
图 14-81 RPR=2 时的 OVFIF .....	262
图 14-82 输入/输出通道 1 的主电路.....	262
图 14-83 道 1 输入部分 .....	262
图 14-84 通道 1 输出部分.....	263
图 14-85 计数值与 C1DT 值匹配时翻转 C1ORAW.....	264
图 14-86 向上计数下 PWM 模式 A.....	264
图 14-87 单周期模式.....	264
图 14-88 带死区插入的互补输出.....	265
图 14-89 TMR 输出控制.....	267
图 14-90 TMR 刹车功能的例子.....	267
图 14-91 高级控制定时器框图 .....	277
图 14-92 计数时钟.....	278
图 14-93 使用 CK_INT 计数, TMRx_DIV=0x0, 周期寄存器 TMRx_PR=0x16.....	278
图 14-94 外部时钟模式 A 框图.....	279
图 14-95 使用外部时钟模式 A 计数, PR=0x32, DIV=0x0 .....	279
图 14-96 外部时钟模式 B 框图.....	280
图 14-97 使用外部时钟模式 B 计数, PR=0x32, DIV=0x0 .....	280
图 14-98 当预分频器的参数从 1 变到 4 时, 计数器的时序图.....	281
图 14-99 计数器基本结构.....	281
图 14-100 PRBEN=0 时的溢出事件 .....	282
图 14-101 PRBEN=1 时的溢出事件 .....	282
图 14-102 计数器时序图, 内部时钟分频因子为 4.....	282
图 14-103 计数器时序图, 内部时钟分频因子为 1, TMRx_PR=0x32 .....	283
图 14-104 向上计数模式和中央双向对齐计数模式时 OVFIF.....	284
图 14-105 编码模式结构 .....	284
图 14-106 编码模式计数实例 (编码器模式 C) .....	286
图 14-107 输入/输出通道 1 的主电路.....	287
图 14-108 通道 1 输入部分 .....	287
图 14-109 PWM 输入模式配置实例.....	288
图 14-110 PWM 输入模式.....	289
图 14-111 通道 1 至 3 输出部分.....	289
图 14-112 通道 4 输出部分.....	289
图 14-113 计数值与 C1DT 值匹配时翻转 C1ORAW.....	290
图 14-114 向上计数下 PWM 模式 A.....	291
图 14-115 双向计数下 PWM 模式.....	291
图 14-116 单周期模式.....	291
图 14-117 EXT 清除 CxORAW (PWM 模式 A) .....	292

图 14-118 带死区插入的互补输出 .....	293
图 14-119 TMR 输出控制 .....	294
图 14-120 TMR 刹车功能的例子 .....	294
图 14-121 复位模式例子 .....	295
图 14-122 挂起模式下例子 .....	295
图 14-123 触发器模式例子 .....	295
图 15-1 窗口看门狗框图 .....	311
图 15-2 窗口看门狗时序图 .....	312
图 16-1 看门狗框图 .....	315
图 17-1 ERTC 框图 .....	317
图 18-1 ADC 框图 .....	331
图 18-2 ADC 基础操作流程 .....	332
图 18-3 ADC 上电与校准 .....	333
图 18-4 序列模式 .....	335
图 18-5 抢占自动转换模式 .....	335
图 18-6 反复模式 .....	336
图 18-7 分割模式 .....	336
图 18-8 普通通过采样重转模式选择 .....	337
图 18-9 普通通过采样触发模式 .....	338
图 18-10 抢占过采样 .....	338
图 18-11 数据内容处理 .....	339
图 19-1 位时序 .....	352
图 19-2 帧类型 .....	353
图 19-3 发送中断的产生 .....	354
图 19-4 接收中断 0 的产生 .....	354
图 19-5 接收中断 1 的产生 .....	354
图 19-6 状态错误中断的产生 .....	354
图 19-7 CAN 框图 .....	355
图 19-8 32 位宽标识符掩码模式 .....	357
图 19-9 32 位宽标识符列表模式 .....	357
图 19-10 16 位宽标识符掩码模式 .....	357
图 19-11 16 位宽标识符列表模式 .....	358
图 19-12 发送邮箱状态转换 .....	359
图 19-13 接收 FIFO 状态 .....	361
图 19-14 发送和接收邮箱 .....	373
图 22-1 IRTMR 结构框图 .....	380

## 表目录

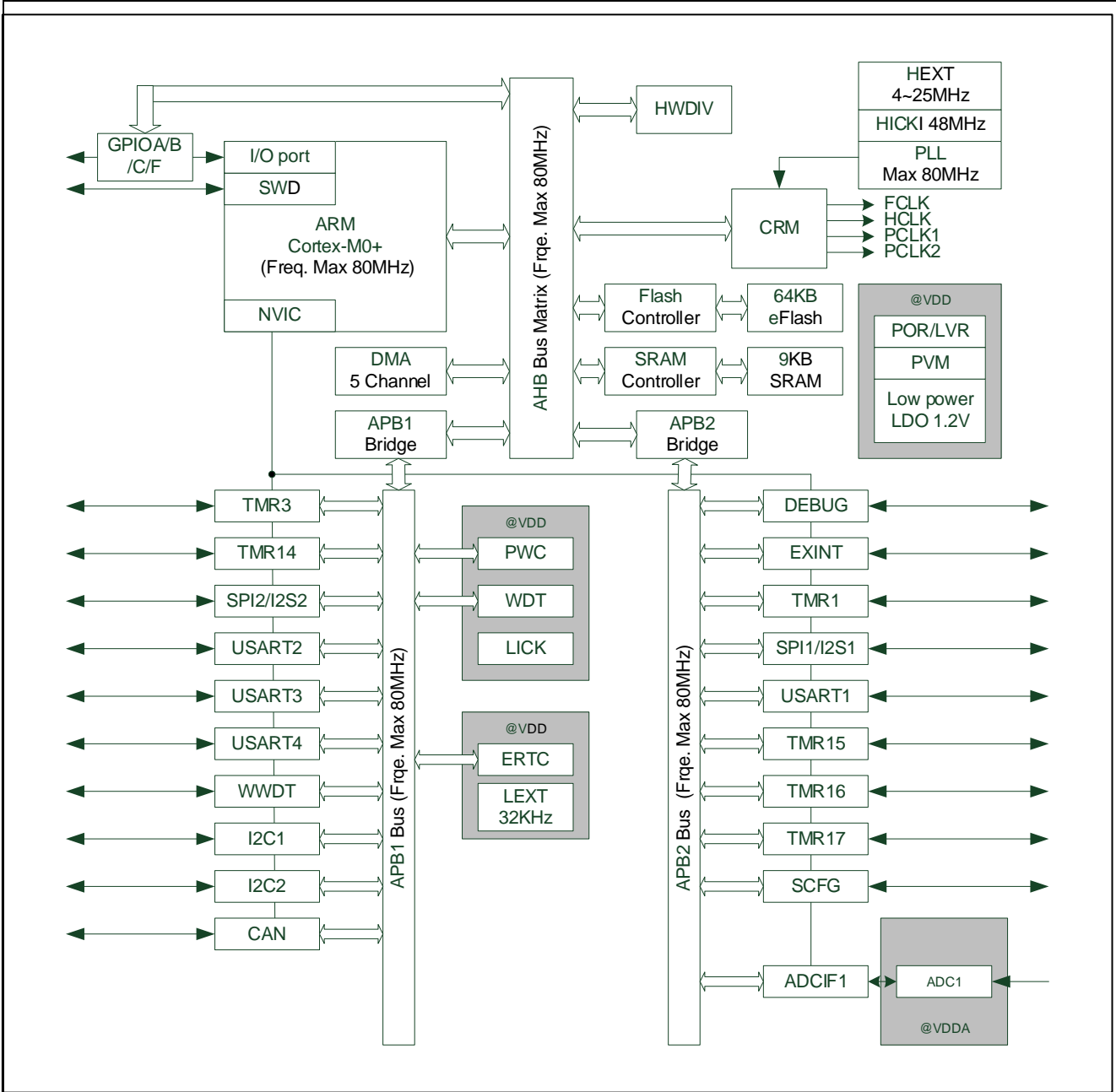
表 1-1 AT32L021 产品向量表.....	24
表 1-2 寄存器描述缩写说明 .....	26
表 1-3 器件特征信息相关寄存器地址和复位值 .....	27
表 2-1 闪存存储结构（64K） .....	28
表 2-2 闪存存储结构（32K） .....	30
表 2-3 闪存存储结构（16K） .....	30
表 2-4 各外设起始地址.....	30
表 3-1 PWC 寄存器映射和复位值.....	36
表 4-1 CRM 寄存器映射和复位值.....	43
表 5-1 闪存存储结构（64K） .....	56
表 5-2 闪存存储组织（32K） .....	56
表 5-3 闪存存储组织（16K） .....	56
表 5-4 用户系统数据说明 .....	57
表 5-5 闪存访问权限 .....	66
表 6-1 通过 GPIOA_MUX*寄存器配置端口 A 的复用功能.....	80
表 6-2 通过 GPIOB_MUX*寄存器配置端口 B 的复用功能.....	80
表 6-3 通过 GPIOC_MUX*寄存器配置端口 C 的复用功能.....	81
表 6-4 通过 GPIOF_MUX*寄存器配置端口 F 的复用功能 .....	81
表 6-5 硬件抢占功能 .....	81
表 6-6 GPIO 寄存器地址映像和复位值.....	82
表 7-1 SCFG 寄存器地址映像和复位值.....	86
表 8-1 外部中断/事件控制器寄存器映像和复位值.....	92
表 9-1 DMA 错误事件.....	97
表 9-2 DMA 中断.....	97
表 9-3 DMA 各通道的弹性请求 .....	97
表 9-4 DMA 寄存器的映像和复位值.....	98
表 10-1 CRC 计算单元寄存器映像 .....	105
表 11-1 I <sup>2</sup> C 时间规范 .....	111
表 11-2 I <sup>2</sup> C 配置表 .....	112
表 11-3 SMBus 超时规范 .....	121
表 11-4 SMBus 超时检测配置.....	121
表 11-5 SMBus 模式配置表 .....	122
表 11-6 I <sup>2</sup> C 错事件 .....	132
表 11-7 I <sup>2</sup> C 中断请求.....	134
表 11-8 寄存器映像和复位值.....	135
表 12-1 设置波特率时的误差计算 .....	150
表 12-2 检测起始位和噪声的数据采样.....	153
表 12-3 检测有效数据和噪声的数据采样 .....	153
表 12-4 最大允许偏差 .....	153

表 12-5 USART 中断请求 .....	156
表 12-6 USART 寄存器映像和复位值 .....	157
表 13-1 音频频率计算结果示例 .....	180
表 13-2 SPI 寄存器列表及其复位值 .....	184
表 14-1 TMR 功能对比 .....	189
表 14-2 TMR6 寄存器和复位值 .....	192
表 14-3 TMRx 内部触发连接 .....	198
表 14-4 计数方向与编码器信号的关系 .....	202
表 14-5 TMR3 寄存器和复位值 .....	211
表 14-6 标准 CxOUT 通道的输出控制位 .....	220
表 14-7 TMR14 寄存器和复位值 .....	227
表 14-8 标准 CxOUT 通道的输出控制位 .....	230
表 14-9 TMRx 内部触发连接 .....	236
表 14-10 TMR15 寄存器和复位值 .....	247
表 14-11 带刹车功能的互补输出通道 CxOUT 和 CxCOUT 的控制位 .....	256
表 14-12 TMR16、17 寄存器和复位值 .....	267
表 14-13 带刹车功能的互补输出通道 CxOUT 和 CxCOUT 的控制位 .....	272
表 14-14 TMRx 内部触发连接 .....	280
表 14-15 计数方向与编码器信号的关系 .....	285
表 14-16 TMR1 寄存器和复位值 .....	296
表 14-17 带刹车功能的互补输出通道 CxOUT 和 CxCOUT 的控制位 .....	305
表 15-1 PCLK1 频率为 80MHz 时，最大和最小看门狗超时时间 .....	311
表 16-1 门狗超时时间（LICK=40kHz） .....	315
表 17-1 ERTC 寄存器配置表 .....	318
表 17-2 ERTC 唤醒低功耗模式 .....	321
表 17-3 中断控制位 .....	322
表 18-1 ADC 的触发来源 .....	333
表 18-2 最大累加数据与过采样倍数及位移系数关系 .....	337
表 18-3 ADC 寄存器映像和复位值 .....	340
表 19-1 CAN 寄存器映像和复位值 .....	361
表 20-1 寄存器映射和复位值 .....	378
表 22-1 DEBUG 寄存器映射和复位值 .....	381

# 1 系统架构

AT32L021 系列微控制器内部集成了：32 位 ARM®Cortex®-M0+处理器，多个 16 位定时器，红外线接口 IRTMR，DMA 控制器，实时时钟 ERTC，SPI 通信接口，I2C 通信接口，USART/UART 通信接口，CAN 总线控制器，12 位 ADC 和 PVM 模块等外设。大量的外设和存储器。Cortex®-M0+处理器支持单周期 16/32 位乘法累加器（MAC）。系统详细架构见下图。

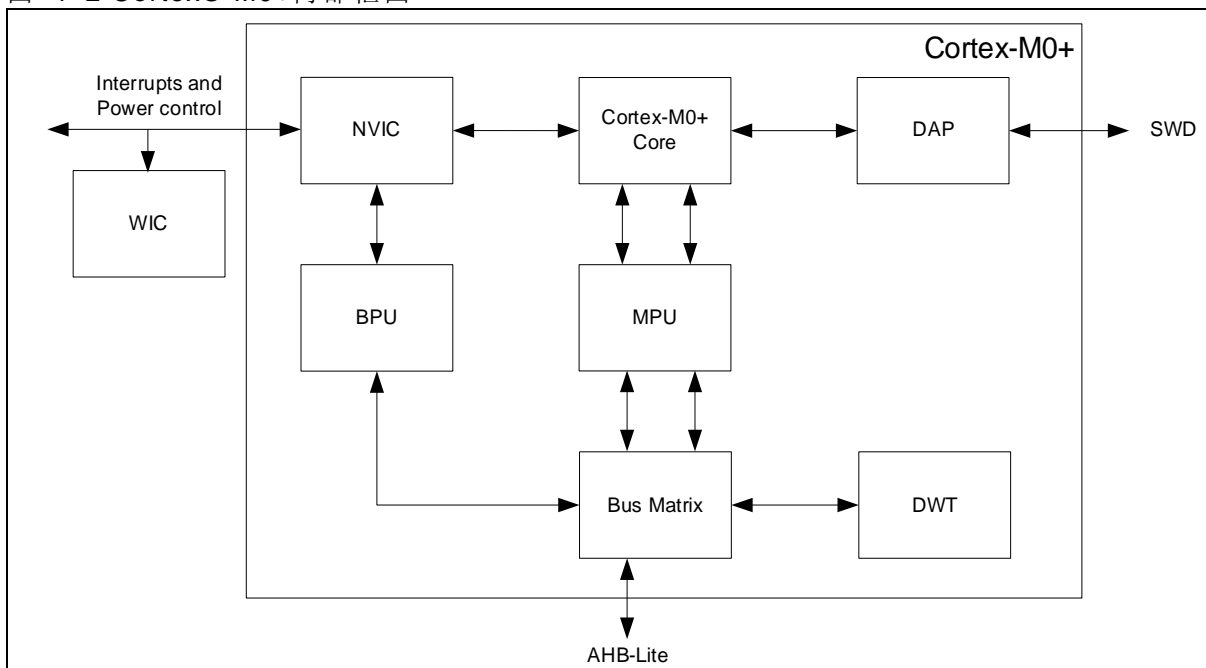
图 1-1 AT32L021系列微控制器系统架构



## 1.1 系统概述

### 1.1.1 ARM® Cortex®-M0+处理器

图 1-2 Cortex®-M0+内部框图



### 1.1.2 中断和异常向量

下面列出了 AT32L021 产品的向量表

表 1-1 AT32L021产品向量表

位置	优先级	类型	名称	说明	地址
-	-	-	-	保留	0x0000_0000
-3	固定	固定	Reset	复位	0x0000_0004
-2	固定	固定	NMI	不可屏蔽中断 CRM 时钟失效检测 (CFD) 连接到 NMI 向量	0x0000_0008
-1	固定	固定	硬件失效 (HardFault)	所有类型的失效	0x0000_000C
-	-	-	-	保留	0x0000_0010
-	-	-	-	保留	0x0000_0014
-	-	-	-	保留	0x0000_0018
-	-	-	-	保留	0x0000_001C ~0x0000_002B
3	可设置	可设置	SVCcall	通过 SWI 指令的系统服务调用	0x0000_002C
-	-	-	-	保留	0x0000_0030
-	-	-	-	保留	0x0000_0034
5	可设置	可设置	PendSV	可挂起的系统服务	0x0000_0038
6	可设置	可设置	SysTick	系统嘀嗒定时器	0x0000_003C
7	可设置	可设置	WWDT	窗口定时器中断	0x0000_0040
8	可设置	可设置	PVM	连接到 EXINT 线 16 的电源电压检测 (PVM) 中断	0x0000_0044
9	可设置	可设置	ERTC	连接到 EXINT 线 17, 19, 20 的 ERTC 中断	0x0000_0048
10	可设置	可设置	FLASH	闪存全局中断	0x0000_004C
11	可设置	可设置	CRM	复位和时钟控制 (CRM) 中断	0x0000_0050
12	可设置	可设置	EXINT1_0	EXINT 线 1_0 中断	0x0000_0054
13	可设置	可设置	EXINT3_2	EXINT 线 3_2 中断	0x0000_0058



14	可设置	EXINT15_4	EXINT 线 15_4 中断	0x0000_005C	
15	可设置	HWDIV	HWDIV 中断	0x0000_0060	
16	可设置	DMA 通道 1	DMA 通道 1 全局中断	0x0000_0064	
10	17	可设置	DMA 通道 3_2	DMA 通道 3_2 全局中断	0x0000_0068
11	18	可设置	DMA 通道 5_4	DMA 通道 5_4 全局中断	0x0000_006C
12	19	可设置	ADC	ADC 全局中断	0x0000_0070
13	20	可设置	TMR1_BRK TMR1_UP TMR1_TRG TMR1_HALL	TMR1 中断	0x0000_0074
14	21	可设置	TMR1_CH	TMR1 捕获比较中断	0x0000_0078
15	22	可设置	-	保留	0x0000_007C
16	23	可设置	TMR3	TMR3 全局中断	0x0000_0080
17	24	可设置	TMR6	TMR6 全局中断	0x0000_0084
18	25	可设置	-	保留	0x0000_0088
19	26	可设置	TMR14	TMR14 全局中断	0x0000_008C
20	27	可设置	TMR15	TMR15 全局中断	0x0000_0090
21	28	可设置	TMR16	TMR16 全局中断	0x0000_0094
22	29	可设置	TMR17	TMR17 全局中断	0x0000_0098
23	30	可设置	I2C1_EVT	I2C1 事件中断	0x0000_009C
24	31	可设置	I2C2_EVT	I2C2 事件中断	0x0000_00A0
25	32	可设置	SPI1	SPI1 全局中断	0x0000_00A4
26	33	可设置	SPI2	SPI2 全局中断	0x0000_00A8
27	34	可设置	USART1	USART1 全局中断	0x0000_00AC
28	35	可设置	USART2	USART2 全局中断	0x0000_00B0
29	36	可设置	USART3_4	USART3_4 全局中断	0x0000_00B4
30	37	可设置	CAN	CAN 全局中断	0x0000_00B8
31	38	可设置	-	保留	0x0000_00BC

### 1.1.3 系统嘀嗒定时器（SysTick）

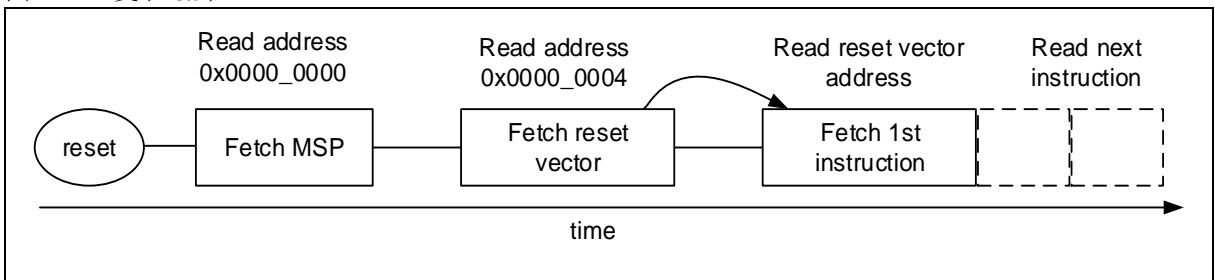
系统嘀嗒定时器是一个 24 位递减计数器，递减至零可自动重载计数初值。可产生周期性异常，用作嵌入式操作系统的多任务调度计数器，或对于无嵌入式操作系统，可用于调用需周期性执行的任务。系统嘀嗒定时器校准值固定值 9000，当系统嘀嗒时钟设定为 9MHz，产生 1ms 时间基准。

### 1.1.4 复位流程

系统复位后以及处理器开始执行程序前，处理器会从 CODE 存储器中读出前两个字。

- 从地址 0x0000\_0000 处取出主栈指针（MSP）的初始值。
- 从地址 0x0000\_0004 处取出程序计数器（PC）的初始值，这个值是复位向量，LSB 必须是 1。然后从这个值所对应的地址处取指。

图 1-3 复位流程

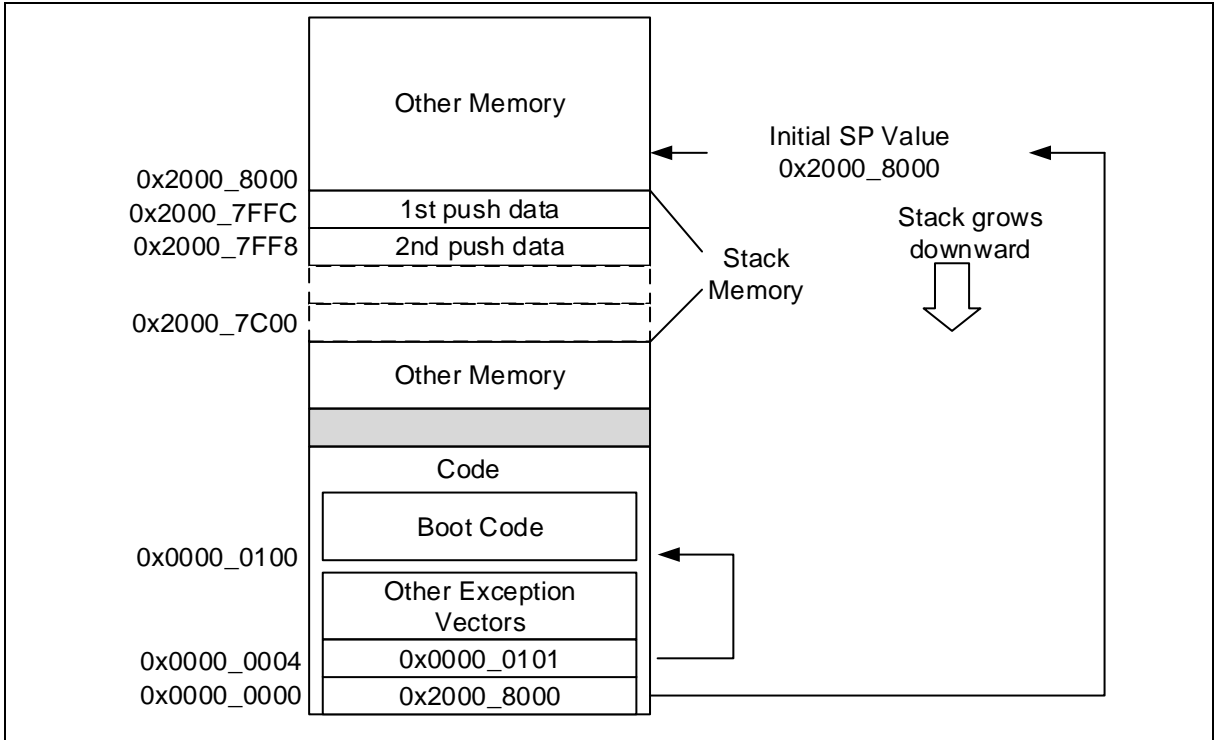


Cortex®-M0+ 使用的是向下生长的满栈，所以 MSP 的初始值必须是堆栈内存的末地址加 1。举例来说，堆栈区域设定在 0x2000\_7C00~0x2000\_7FFF 之间，那么 MSP 的初始值必须是 0x2000\_8000。

向量表跟随在 MSP 的初始值之后。Cortex®-M0+ 是在 Thumb 态下执行，所以向量表中的每个数值都必须将 LSB 置 1，所以，下图中使用 0x0000\_0101 来表示地址 0x0000\_0100。当 0x0000\_0100 处的指令得到执行后，就正式开始程序的执行。在此之前初始化 MSP 是必须的，因为可能第一条指

令还没执行就会被 NMI 或是其他 fault 打断。MSP 初始化好后就可以为它们的服务程序准备好堆栈空间。

图 1-4 MSP及PC初始化范例



在 AT32L021 中，可以将主闪存存储器、启动程序存储器或片上 SRAM 这三块存储器重映射到 0x0000\_0000~0x07FF\_FFFF 的 CODE 区，nBOOT1 对应用户系统数据区（USD）里面系统配置字节（SSB）的位 nBOOT1 的值，由 nBOOT1 和 BOOT0 管脚来设定 CODE 从哪块存储器启动：

当{nBOOT1, BOOT0}=00/10 时，CODE 从主闪存存储器启动。

当{nBOOT1, BOOT0}=11 时，CODE 从启动程序存储器启动。

当{nBOOT1, BOOT0}=01 时，CODE 从片上 SRAM 启动。

系统复位后或从待机模式退出时，nBOOT1 和 BOOT0 管脚值都会被重新锁存。

当加载为片上 SRAM 启动模式后，BOOT 状态会被锁定，此时系统复位无法加载新的启动模式，必须上电复位后才能重新加载新的启动模式。

启动程序存储器中包含内嵌的 Bootloader 程序，可提供 flash 编程功能，通过 USART1 或 USART2 接口对 flash 进行重新编程；也可以提供通信协议栈等额外的固件，可被软件开发人员通过 API 调用。

## 1.2 寄存器描述缩写说明

表 1-2 寄存器描述缩写说明

寄存器类型	说明
rw	可以读或写这些位
ro	只能读这些位
wo	只能写这些位；如果读这些位，则返回它们的复位值
rrc	可以读，读取这些位时，自动清除这些位
rw0c	可以读并写'0'清除这些位，写'1'将不对该位产生影响
rw1c	可以读并写'1'清除这些位，写'0'将不对该位产生影响
rw1s	可以读并写'1'设置这些位，写'0'将不对该位产生影响

tog	可以读，写'1'将翻转此位值，写'0'将不对该位产生影响 3
rwt	可以读，写任何值时，将触发事件
resd	保留

## 1.3 器件特征信息

表 1-3 器件特征信息相关寄存器地址和复位值

寄存器简称	基地址	复位值
F_SIZE	0x1FFF F7E0	0xXXXX
UID[31:0]	0x1FFF F7E8	0xXXXX XXXX
UID[63:32]	0x1FFF F7EC	0xXXXX XXXX
UID[95:64]	0x1FFF F7F0	0xXXXX XXXX

### 1.3.1 闪存容量寄存器

闪存容量寄存器提通该芯片闪存容量信息，用户可透过该寄存器取得闪存容量。

域	简称	复位值	类型	功能
位 15:0	F_SIZE	0xXXXX	ro	闪存容量，以 KByte 为单位 例如：0x0080 = 128KByte

### 1.3.2 器件电子签名

器件电子签名包含产品容量信息和器件唯一 ID（96 位），它位于闪存的信息区块中。96 位器件唯一 ID 对任何器件来说都是独一无二的，且用户不可更改。ID 可以用来作为下列用途：

- 序列号
- 或者做为密钥的一部分

域	简称	复位值	类型	功能
位 31: 0	UID[31: 0]	0xXXXX XXXX	ro	UID 的 bit31 到 bit0 信息

域	简称	复位值	类型	功能
位 31: 0	UID[63: 32]	0xXXXX XXXX	ro	UID 的 bit63 到 bit32 信息

域	简称	复位值	类型	功能
位 31: 0	UID[95: 64]	0xXXXX XXXX	ro	UID 的 bit95 到 bit64 信息

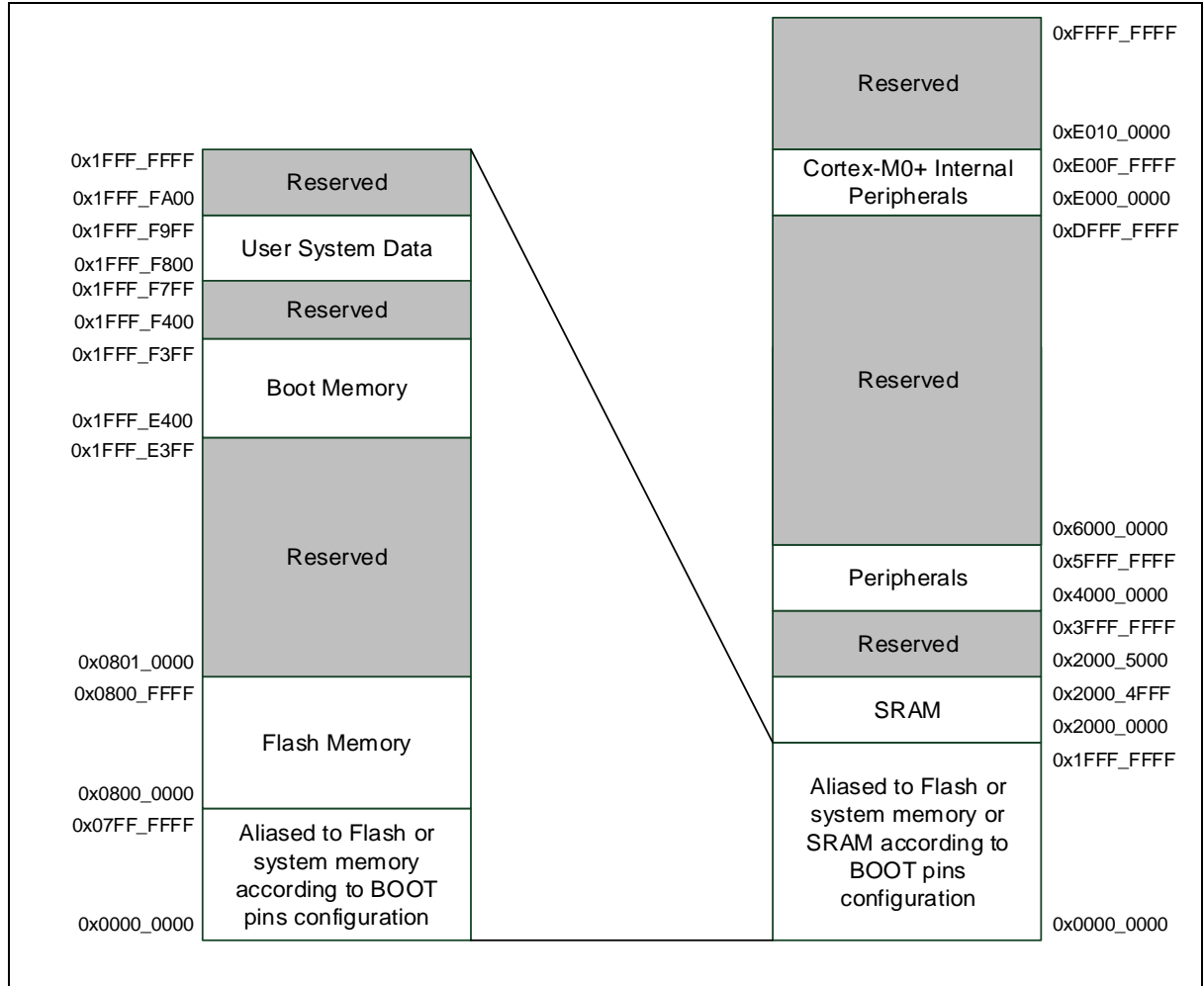
注：UID[95:88]为 Series ID，AT32L021 为 0x0F。

## 2 存储器资源

### 2.1 内部存储器地址映像

芯片内部存储器包括程序存储器 flash，数据存储器 SRAM，外设寄存器和内核寄存器等。各区域地址映像如下图：

图 2-1 AT32L021地址配置图



### 2.2 Flash存储器

AT32L021 系列提供最大 64KB 的片上闪存，支持单周期最大 32 位读取操作。

闪存存储器由闪存控制器操作，有关闪存控制器的操作与寄存器配置信息请参考第 5 章节。

主存储器只有闪存容量为 64K 字节的片 1 闪存，包含 64 个扇区，每扇区大小为 1K 字节。

表 2-1 闪存存储结构（64K）

结构	名称	地址范围
主存储器	扇区 0	0x0800 0000 – 0x0800 03FF
	扇区 1	0x0800 0400 – 0x0800 07FF
	扇区 2	0x0800 0800 – 0x0800 0BFF
	...	...
	扇区 63	0x0800 FC00 – 0x0800 FFFF
信息块	启动程序代码区 4KB	0x1FFF E400 – 0x1FFF F3FF
	用户系统数据区 512B	0x1FFF F800 – 0x1FFF F9FF

主存储器只有闪存容量为 32K 字节的片 1 闪存，包含 32 个扇区，每扇区大小为 1K 字节。

表 2-2 闪存存储结构（32K）

结构	名称	地址范围
主存储器	扇区 0	0x0800 0000 – 0x0800 03FF
	扇区 1	0x0800 0400 – 0x0800 07FF
	扇区 2	0x0800 0800 – 0x0800 0BFF
	...	...
	扇区 31	0x0800 7C00 – 0x0800 7FFF
信息块	启动程序代码区 4KB	0x1FFF E400 – 0x1FFF F3FF
	用户系统数据区 512B	0x1FFF F800 – 0x1FFF F9FF

主存储器只有闪存容量为 16K 字节的片 1 闪存，包含 16 个扇区，每扇区大小为 1K 字节。

表 2-3 闪存存储结构（16K）

结构	名称	地址范围
主存储器	扇区 0	0x0800 0000 – 0x0800 03FF
	扇区 1	0x0800 0400 – 0x0800 07FF
	扇区 2	0x0800 0800 – 0x0800 0BFF
	...	...
	扇区 15	0x0800 3C00 – 0x0800 3FFF
信息块	启动程序代码区 4KB	0x1FFF E400 – 0x1FFF F3FF
	用户系统数据区 512B	0x1FFF F800 – 0x1FFF F9FF

## 2.3 SRAM存储器

AT32L021 系列内置最高可达 9K 字节的片上 SRAM，起始地址为 0x2000\_0000。它可以以字节、半字（16 位）或字（32 位）访问。

用户可配置闪存用户数据系统区的 nRAM\_PRT\_CHK 位，选择使能或关闭 SRAM 的奇校验。一旦使能 SRAM 奇校验，SRAM 可使用的容量将只有 8K 字节，另外 1K 字节将作为存放奇校验结果使用。并且当写入数据到 SRAM 中时，硬件自动以 1 字节为单位计算奇校验，并把产生的 1 位奇校验位存放在 SRAM 中。当读取时，硬件自动检查奇校验结果的正确性，一旦错误，将置起 NMI，并且把错误状态反映到 SCFG\_CFGR2 位 8。使能 SRAM\_OPERR\_LK 位可以把 SRAM 奇校验错误状态连接到 TMR1/15/16/17 的刹车输入上。

注意：当使能 SRAM 奇校验检测时，需要初始化整个 SRAM，防止误产生奇校验错误。

## 2.4 外设地址映像

表 2-4 各外设起始地址

总线	起始地址	外设
AHB	0xA000 1000 - 0xFFFF FFFF	保留
	0x6000 0000 - 0xA000 0FFF	保留
	0x5004 0000 - 0x5FFF FFFF	保留
	0x5000 0000 – 0x5003 FFFF	保留
	0x4800 1800 – 0x4FFF FFFF	保留
	0x4800 1400 - 0x4800 17FF	GPIOF
	0x4800 1000 - 0x4800 13FF	保留
	0x4800 0C00 - 0x4800 0FFF	保留
	0x4800 0800 - 0x4800 0BFF	GPIOC
	0x4800 0400 - 0x4800 07FF	GPIOB
	0x4800 0000 - 0x4800 03FF	GPIOA
	0x4003 0400 - 0x47FF FFFF	保留
	0x4003 0000 - 0x4003 03FF	HWDIV
	0x4002 3000 - 0x4002 33FF	CRC
	0x4002 2000 - 0x4002 23FF	闪存存储器接口（FLASH）

总线	起始地址	外设
	0x4002 1400 - 0x4002 1FFF	保留
	0x4002 1000 - 0x4002 13FF	时钟和复位管理 (CRM)
	0x4002 0800 - 0x4002 0FFF	保留
	0x4002 0400 - 0x4002 07FF	保留
	0x4002 0000 - 0x4002 03FF	DMA
	0x4001 8400 - 0x4001 7FFF	保留
	0x4001 8000 - 0x4001 83FF	保留
APB2	0x4001 7C00 - 0x4001 7FFF	保留
	0x4001 7800 - 0x4001 7BFF	保留
	0x4001 7400 - 0x4001 77FF	保留
	0x4001 7000 - 0x4001 73FF	保留
	0x4001 6C00 - 0x4001 6FFF	保留
	0x4001 6800 - 0x4001 6BFF	保留
	0x4001 6400 - 0x4001 67FF	保留
	0x4001 6000 - 0x4001 63FF	保留
	0x4001 5C00 - 0x4001 5FFF	保留
	水	0x4001 5800 - 0x4001 5BFF
0x4001 5400 - 0x4001 57FF		保留
0x4001 5000 - 0x4001 53FF		保留
0x4001 4C00 - 0x4001 4FFF		保留
0x4001 4800 - 0x4001 4BFF		TMR17 定时器
0x4001 4400 - 0x4001 47FF		TMR16 定时器
0x4001 4000 - 0x4001 43FF		TMR15 定时器
0x4001 3C00 - 0x4001 3FFF		保留
0x4001 3800 - 0x4001 3BFF		USART1
0x4001 3400 - 0x4001 37FF		保留
0x4001 3000 - 0x4001 33FF		SPI1/I2S1
0x4001 2C00 - 0x4001 2FFF		TMR1 定时器
0x4001 2800 - 0x4001 2BFF		保留
0x4001 2400 - 0x4001 27FF		ADC
0x4001 2000 - 0x4001 23FF		保留
0x4001 1C00 - 0x4001 1FFF		保留
0x4001 1800 - 0x4001 1BFF		保留
0x4001 1400 - 0x4001 17FF		保留
0x4001 1000 - 0x4001 13FF		保留
0x4001 0C00 - 0x4001 0FFF		保留
0x4001 0800 - 0x4001 0BFF		保留
0x4001 0400 - 0x4001 07FF		EXINT
0x4001 0000 - 0x4001 03FF		SCFG
APB1	0x4000 8000 - 0x4000 FFFF	保留
	0x4000 7C00 - 0x4000 7FFF	保留
	0x4000 7800 - 0x4000 7BFF	保留
	0x4000 7400 - 0x4000 77FF	保留
	0x4000 7000 - 0x4000 73FF	电源控制 (PWC)
	0x4000 6C00 - 0x4000 6FFF	CAN
	0x4000 6800 - 0x4000 6BFF	保留
	0x4000 6400 - 0x4000 67FF	CAN
	0x4000 6000 - 0x4000 63FF	CAN (RAM)
	0x4000 5C00 - 0x4000 5FFF	保留
	0x4000 5800 - 0x4000 5BFF	I <sup>2</sup> C2
	0x4000 5400 - 0x4000 57FF	I <sup>2</sup> C1
	0x4000 5000 - 0x4000 53FF	保留
	0x4000 4C00 - 0x4000 4FFF	USART4
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	保留
	0x4000 3C00 - 0x4000 3FFF	保留
	0x4000 3800 - 0x4000 3BFF	SPI2/I <sup>2</sup> S2

总线	起始地址	外设
	0x4000 3400 - 0x4000 37FF	保留
	0x4000 3000 - 0x4000 33FF	看门狗 (WDT)
	0x4000 2C00 - 0x4000 2FFF	窗口看门狗 (WWDT)
	0x4000 2800 - 0x4000 2BFF	ERTC
	0x4000 2400 - 0x4000 27FF	保留
	0x4000 2000 - 0x4000 23FF	TMR14 定时器
	0x4000 1C00 - 0x4000 1FFF	保留
	0x4000 1800 - 0x4000 1BFF	保留
	0x4000 1400 - 0x4000 17FF	保留
	0x4000 1000 - 0x4000 13FF	TMR6 定时器
	0x4000 0C00 - 0x4000 0FFF	保留
	0x4000 0800 - 0x4000 0BFF	保留
	0x4000 0400 - 0x4000 07FF	TMR3 定时器
	0x4000 0000 - 0x4000 03FF	保留

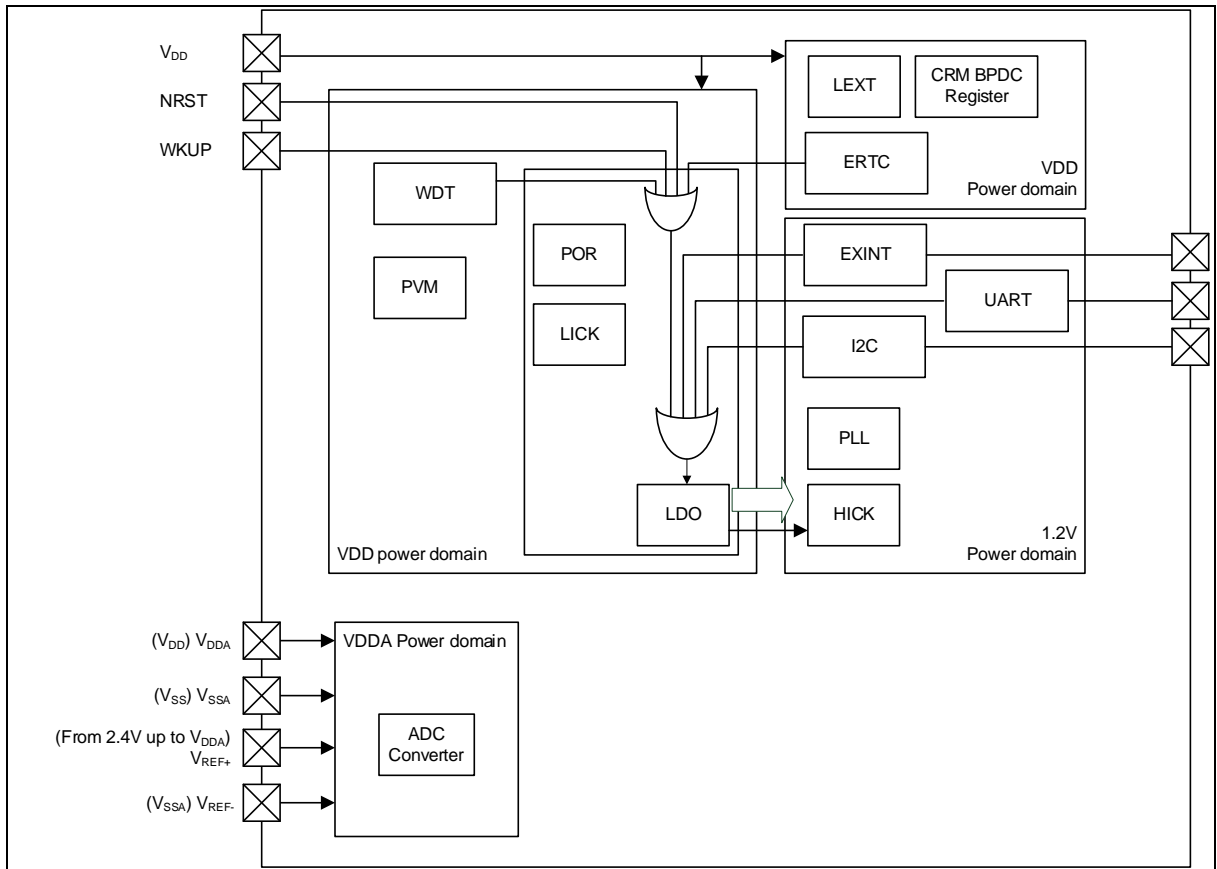


## 3 电源控制（PWC）

### 3.1 简介

功耗是 AT32L021 系列设备中最重要的问题之一，AT32L021 系列设备工作电压范围为 1.71V 至 3.6 V，且可在 -40~+105℃ 温度范围内正常工作。为了减少功耗，且使得应用程序可以在 CPU 运行时间要求、速度和功耗的相互冲突中获得最佳折衷，电源控制中提供了三种省电模式，包括睡眠模式，深度睡眠模式和待机模式。AT32L021 系列设备有两个电源域，包括 VDD/VDDA 域和 1.2 V 域。VDD/VDDA 域由电源直接供电，但 VDDA 和 VSSA 提供分离的模拟模块电源，降低电源噪声干扰。在 VDD/VDDA 域中嵌入了一个 LDO，用来为 1.2 V 域供电。

图 3-1 各电源域框图



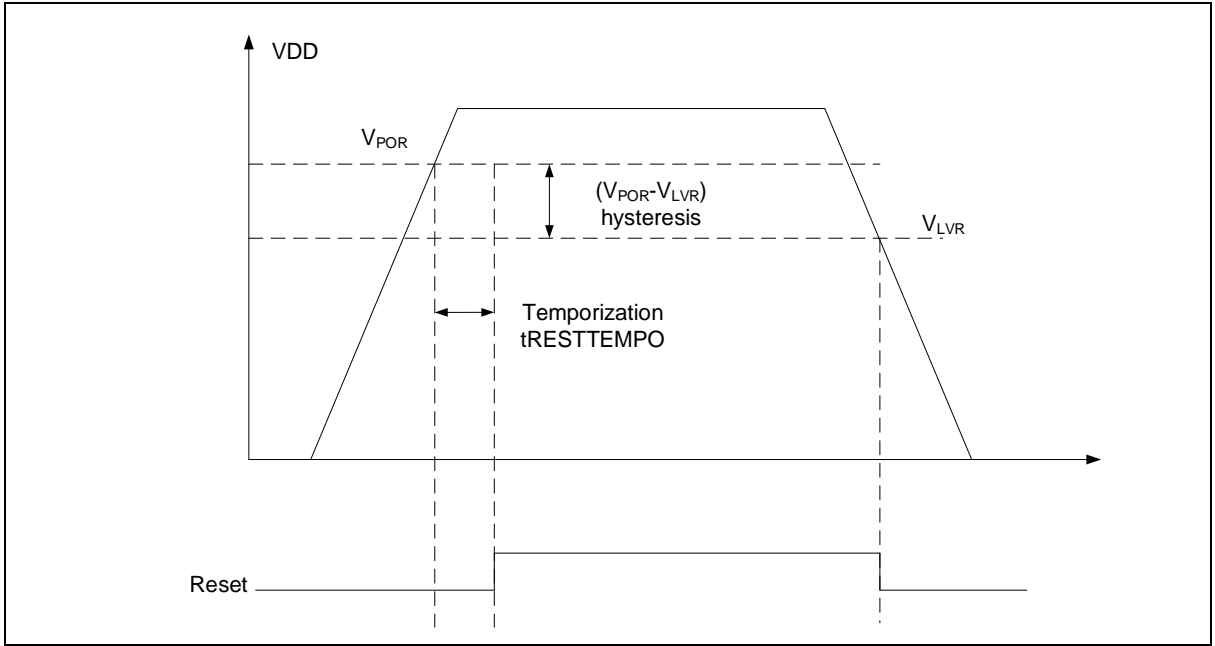
### 3.2 主要特点

- 具备两个电源：VDD/VDDA 域、1.2 V 内核域。
- 支持三种省电模式：睡眠模式、深度睡眠模式和待机模式。
- 内建电压调节器提供 1.2 V 给内核域。
- 提供电压监测器，能在电压低于或高于阈值时发出中断或事件。

### 3.3 上电低电压复位

VDD/VDDA 域内置一个 POR 模拟模块用于产生电源复位，当 VDD 由 0V 上升至工作电压过程中，电源复位信号在  $V_{POR}$  时刻被上电释放。当 VDD 由工作电压下降至 0V 过程中，电源复位信号在  $V_{LVR}$  时刻被低电压复位。上电复位过程，复位信号的释放相较于 VDD 升压过程存在一定的时间延迟，同时上电低电压复位具有一定迟滞。

图 3-2 上电低电压复位波形图

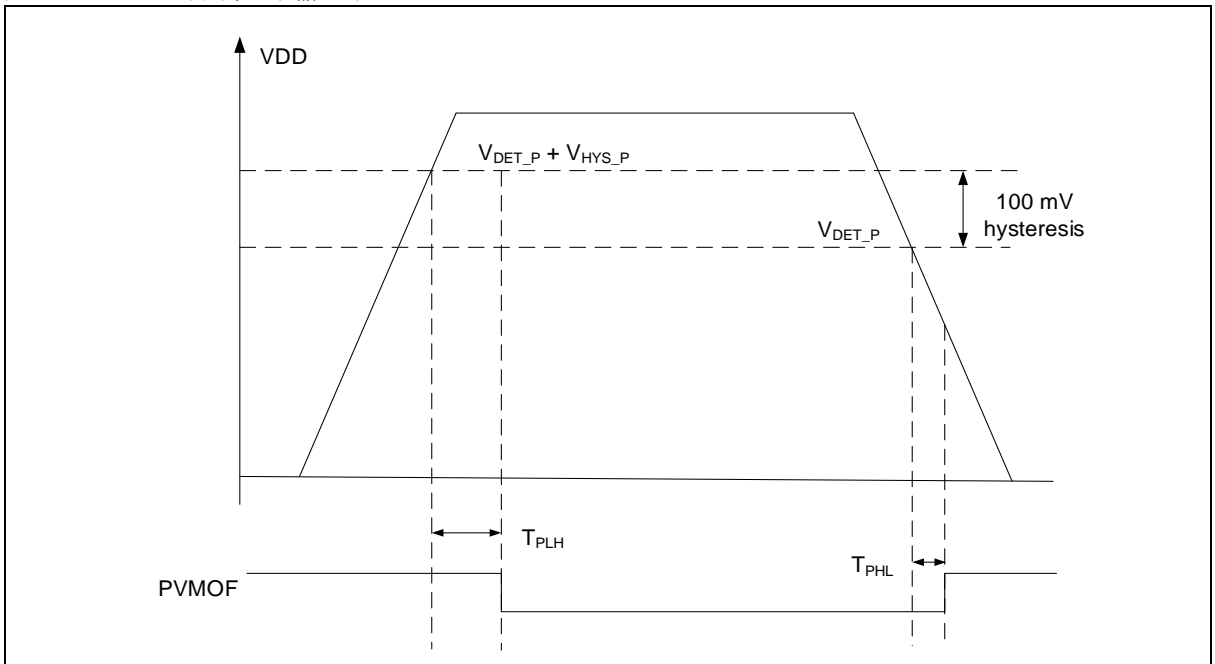


### 3.4 电压监测器（PVM）

电压监测器 PVM 主要用来监控供电电源的跳变,可通过电源控制寄存器(PWC\_CTRL)中的 PVMEN 位开启电压监测功能,并通过 PVMSEL[2: 0]来选择监控阈值。

电压监测器开启后,电源控制及状态寄存器(PWC\_CTRLSTS)中的 PVMOF 位会指示 VDD 与设定阈值比较的结果,迟滞电压 VHYS\_P 为 100mv。当 VDD 越过 PVM 阈值边界时,产生的 PVMOF 位电平变化可以通过外部中断第 16 号线产生 PVM 中断。

图 3-3 PVM的阈值与输出图



## 3.5 电源域划分

### 1.2V 域

1.2V 内核域包括 CPU 内核、存储器 SRAM、内嵌数字外设以及时钟锁相环 PLL，由 LDO（电压调节器）供电。

### VDD/VDDA 域

VDD/VDDA 域包括 VDD 域和 VDDA 域两部分。VDD 域包括 I/O 电路、省电模式唤醒电路、看门狗 WDT、上电/掉电复位（POR/LVR）、电压调节器 LDO、ERTC 电路、LEXT 振荡器以及所有的 PAD 电路等。VDDA 域包括 ADC（AD 转换器）等。

一般来说，为保证低电压时 ADC 的高精度，数字电路由 VDD 供电，模拟电路由 VDDA 独立供电，外部参考电压 VREF+ 连接至 VDDA 引脚，VREF- 连接至 VSSA 引脚。

## 3.6 省电模式

当 CPU 无需继续运行时，AT32L021 提供三种低功耗模式（睡眠模式、深度睡眠模式、待机模式）可以实现更低的功耗。用户可以在启动时间，唤醒源，电源消耗等方面进行折中。此外在运行模式下，还可以通过降低系统时钟或关闭 APB 和 AHB 总线上未被使用的外设时钟来降低功耗。

### 睡眠模式（Sleep Mode）

执行 WFI 或 WFE 指令可以进入睡眠状态。根据 Cortex®-M0+ 系统控制寄存器中的 SLEEPONEXIT 位有两种进入睡眠模式的机制：

#### SLEEP-NOW 模式

当 SLEEPDEEP=0，SLEEPONEXIT=0 时，执行 WFI 或 WFE 指令，此时可立即进入睡眠模式。

#### SLEEP-ON-EXIT 模式

当 SLEEPDEEP=0，SLEEPONEXIT=1 时，执行 WFI 指令，此时当系统从最低优先级的中断处理程序中退出时，可立即进入睡眠模式。

在睡眠模式下，CPU 时钟关闭，其他时钟均正常工作，电压调节器正常工作，所有的 I/O 管脚都保持它们在运行模式时的状态，调节器 LDO 以正常功耗模式提供 1.2V 电源（CPU 内核、内存和内嵌外设）。

1) 执行 WFI 指令进入睡眠模式时，只要产生外设中断，都能使系统退出睡眠模式。

2) 执行 WFE 指令进入睡眠模式时，存在两种方式的唤醒事件，使系统退出睡眠模式：

- 使能任一外设中断（未在 NVIC 中使能）且使能 SEVONPEND 位可以产生唤醒事件。系统唤醒后，需清除外设中断挂起位和 NVIC 通道挂起位。
- 配置内部 EXINT 线为事件模式来产生唤醒事件。

从执行 WFE 指令进入睡眠模式唤醒所需的时间最短，因为没有时间损失在中断的进入或退出上。

### 深度睡眠模式（Deepsleep Mode）

通过设置 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位，清除电源控制寄存器（PWC\_CTRL）中的 LPSEL 位，再执行 WFI 或 WFE 指令即可进入深度睡眠模式。

还可以通过设置电源控制寄存器（PWC\_CTRL）中内部电压调节器低功耗模式使能位（VRLPEN），进一步降低深度睡眠模式下整个系统的功耗。

在深度睡眠模式下，所有 1.2V 时钟关闭，HICK 和 HEXT 振荡器都被关闭，电压调节器以正常工作或低功耗工作状态给 1.2V 域供电，所有 I/O 管脚都保持它们在运行模式时的状态，SRAM 和寄存器内容保持。

1) 执行 WFI 指令进入深度睡眠模式，任一外部中断线在中断模式下产生的中断，即可使系统退出深度睡眠模式。

2) 如果执行 WFE 指令进入深度睡眠模式，任一外部中断线在事件模式下产生的事件，即可使系统退出深度睡眠模式。

系统从深度睡眠模式退出时，HICK RC 振荡器开启并在稳定后被选为系统时钟。当电压调节器处于低功耗模式时，退出深度睡眠模式时，需要额外等待电压调节器稳定，从而会增加一段额外的唤醒时间。

注意：进 deepsleep 模式前不可关闭 HICK。

### 待机模式（Standby Mode）

待机模式可最大限度的降低系统功耗，在该模式下，电压调节器关闭，只有 VDD/VDDA 域维持供电，其他的 1.2V 供电区域，PLL、HICK 和 HEXT 振荡器都被断电。寄存器和 SRAM 中的内容也会丢失。通过设置 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位，设置电源控制寄存器(PWC\_CTRL)中 LPSEL 位，并清除电源控制及状态寄存器（PWC\_CTRLSTS）中的 SWEF 位的情况下，执行 WFI 或 WFE 指令即可进入待机模式。

在待机模式下，除了复位管脚、被设置为防侵入或校准输出时的 TAMPER 引脚和被使能的唤醒引脚之外，所有的 I/O 引脚处于高阻态。

当发生 WKUPx 引脚的上升沿、ERTC 闹钟事件的上升沿、ERTC 入侵事件、ERTC 时间戳、ERTC 周期性唤醒、NRST 引脚上外部复位、WDT 复位时，微控制器将退出待机模式。

### 调试配置

默认情况下，在进行调试时，微处理器一旦进入深度睡眠或待机模式，会因为 Cortex®-M0+的内核失去了时钟而失去调试连接。只需通过设置 DEBUG 控制寄存器（DEBUG\_CTRL）中的某些配置位，就可以在低功耗模式下继续调试软件。

## 3.7 PWC寄存器

必须用字（32 位）的方式操作这些外设寄存器。

表 3-1 PWC寄存器映射和复位值

寄存器简称	基址偏移量	复位值
PWC_CTRL	0x00	0x0000 C000
PWC_CTRLSTS	0x04	0x0000 0000

### 3.7.1 电源控制寄存器（PWC\_CTRL）

注意：此寄存器仅可在 HICK 开启时候进行写入操作。

域	简称	复位值	类型	功能
位 31: 16	保留	0x000000	resd	保持默认值。
位 15	PWOPTL	0x1	rw	功耗等级（power optimization level） 0: 节约；此时系统时钟最高频率限制详见数据手册 1: 正常（默认值）
位 14: 13	保留	0x2	resd	保持默认值。
位 12	VRLPEN	0x0	rw	内部电压调压器低功耗模式使能位（Voltage regulator low power mode enable） 与电源控制寄存器（PWC_CTRL）的 LPSEL 位协同工作，在芯片进入深度睡眠模式时才有效。 0: 内部电压调压器低功耗模式关闭。 1: 内部电压调压器低功耗模式开启。
位 11: 9	保留	0x0	resd	保持默认值。
位 8	BPWEN	0x0	rw	电池供电域的写入使能（Battery power domain write enable） 0: 关闭； 1: 开启。 注： 复位后，ERTC 禁止写入。要对 ERTC 进行写操作的话，需先设置这位为允许写入状态。
位 7: 5	PVMSEL	0x0	rw	电压监测临界值选择（Power voltage

				monitoring boundary select) 000: 2.15V 001: 2.30V 010: 2.45V 011: 2.60V 100: 2.75V 101: 2.90V 110: 3.00V 111: 未用, 禁止配置。
位 4	PVMEN	0x0	rw	电压监测使能 (Power voltage monitoring enable) 0: 关闭; 1: 开启。
位 3	CLSEF	0x0	wo	清除 SEF 标志 (Clear SEF flag) 0: 无效; 1: 清除 SEF 标志。 注: 该位在清除 SEF 后由硬件将其清零, 且任何时刻读取该位返回值均是零。
位 2	CLSWEF	0x0	wo	清除 SWEF 标志 (Clear SWEF flag) 0: 无效; 1: 清除 SWEF 标志。 注: 实际 SWEF 标志的清除大约需要 2 个系统时钟周期; 该位在清除 SWEF 后由硬件将其清零, 且任何时刻读取该位返回值均是零。
位 1	LPSEL	0x0	rw	SLEEPDEEP 状态下的低功耗模式选择位 (Low power mode select when Cortex®-M0+ sleepdeep) 0: 进入 DEEPSLEEP 模式; 1: 进入待机模式。
位 0	保留	0x0	rw	必须保持默认值。

### 3.7.2 电源控制及状态寄存器 (PWC\_CTRLSTS)

注意: 此寄存器仅可在 HICK 开启时候进行写入操作。

域	简称	复位值	类型	功能
位 31: 15	保留	0x0000	resd	保持默认值。
位 14	SWPEN7	0x0	rw	待机唤醒引脚使能 7 (Standby wake-up pin 7 enable) 0: 关闭 (该引脚可用作通用 I/O); 1: 开启 (该引脚被强置为输入下拉模式, 且无法再用作通用 I/O)。 注: 在系统复位时硬件将清除这一位。
位 13	SWPEN6	0x0	rw	待机唤醒引脚使能 6 (Standby wake-up pin 6 enable) 0: 关闭 (该引脚可用作通用 I/O); 1: 开启 (该引脚被强置为输入下拉模式, 且无法再用作通用 I/O)。 注: 在系统复位时硬件将清除这一位。
位 12	保留	0x0000	resd	保持默认值。
位 11	SWPEN4	0x0	rw	待机唤醒引脚使能 4 (Standby wake-up pin 4 enable) 0: 关闭 (该引脚可用作通用 I/O); 1: 开启 (该引脚被强置为输入下拉模式, 且无法再用作通用 I/O)。 注: 在系统复位时硬件将清除这一位。
位 10	保留	0x0	resd	保持默认值。
位 9	SWPEN2	0x0	rw	待机唤醒引脚使能 2 (Standby wake-up pin

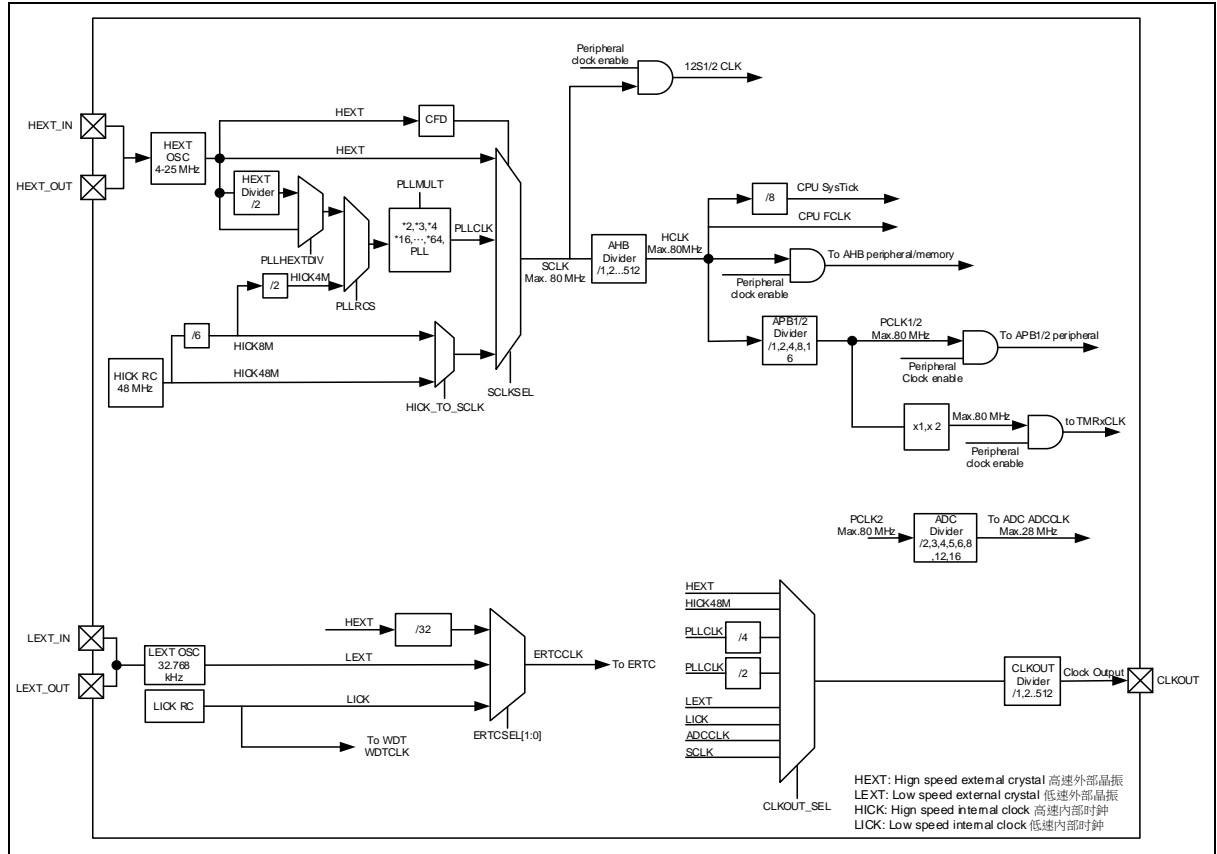
				2 enable) 0: 关闭 (该引脚可用作通用 I/O); 1: 开启 (该引脚被强置为输入下拉模式, 且无法再用作通用 I/O)。 注: 在系统复位时硬件将清除这一位。
位 8	SWPEN1	0x0	rw	待机唤醒引脚使能 1 (Standby wake-up pin 1 enable) 0: 关闭 (该引脚可用作通用 I/O); 1: 开启 (该引脚被强置为输入下拉模式, 且无法再用作通用 I/O)。 注: 在系统复位时硬件将清除这一位。
位 7: 3	保留	0x00	resd	保持默认值。
位 2	PVMOF	0x0	ro	电源电压检测输出标志 (Power voltage monitoring output flag) 0: 电源电压高于临界值; 1: 电源电压低于临界值。 注: 待机模式下电压监测停止工作。
位 1	SEF	0x0	ro	进入待机模式标志 (Standby mode entry flag) 0: 未进过待机模式; 1: 有进过待机模式。 注: 该位被硬件置起 (进入待机模式时), 由 POR/LVR 或写 CLSEF 位将其清零。
位 0	SWEF	0x0	ro	待机唤醒事件标志 (Standby wake-up event flag) 0: 无唤醒事件产生; 1: 有唤醒事件产生。 注: 该位被硬件置起 (产生唤醒事件时), 由 POR/LVR 或写 CLSWEF 位将其清零。 唤醒事件将由以下几种情况产生: 在待机唤醒管脚上出现上升沿时, 将产生唤醒事件; 出现 ERTC 闹钟事件时, 将产生唤醒事件; 待机唤醒管脚保持高电平期间使能该待机唤醒管脚, 将产生唤醒事件。

## 4 时钟和复位管理 (CRM)

### 4.1 时钟

AT32L021 的时钟源包含: HEXT 振荡器时钟, HICK 振荡器时钟, PLL 时钟, LEXT 振荡器时钟和 LICK 振荡器时钟。时钟结构如下:

图 4-1 AT32L021时钟结构图



AHB、APB1 和 APB2 的频率都支持多种分频，最大允许频率是 80MHz。

#### 4.1.1 时钟源

- **HEXT 振荡器时钟**,  
包括 HEXT 晶体/陶瓷谐振器和 HEXT 旁路时钟两个时钟源。  
HEXT 晶体/陶瓷谐振器外接一颗频率范围为 4~25MHz HEXT 的晶体，可为系统提供高精度的时钟。HEXT 时钟直到时钟稳定后才会被释放出来。  
HEXT 旁路时钟可以提供频率高达 25MHz 的外部时钟。外部时钟信号必须连到 HEXT\_IN 引脚，并且 HEXT\_OUT 引脚也一定要保持悬空。
- **HICK 振荡器时钟**  
HICK 振荡器时钟由芯片内的高速 RC 振荡器提供。HICK 时钟的内部频率为 48MHz，频率精度较差，但启动时间比 HEXT 晶体振荡器短，每颗芯片的 HICK 时钟频率在出厂前已经被校准到 1% (25°C)，工厂校准值被装载到时钟控制寄存器的 HICKCAL[5: 0]位。考虑不同的电压或环境温度对 HICK 的 RC 振荡器的影响，用户可以通过时钟控制寄存器里的 HICKTRIM[2: 0]位来调整 HICK 频率。HICK 时钟直到稳定后才会被释放出来。
- **PLL 时钟**  
PLL 的输入时钟源可以选择 HICK 时钟或 HEXT 时钟，PLL 的输入时钟在 PLL 内部经过预分频器分频后送给 VCO 倍频，VCO 输出频率经过后分频器分频后输出。其中预分频后时钟需保证在 2M~16MHz 之间，VCO 的工作频率需保证在 500MHz~1000MHz 之间。使用 PLL 前，一定要先配置



PLL 参数，否则，PLL 使能后，这些参数将无法改动。PLL 时钟直到稳定后才会被释放出来。

PLL 公式如下：

PLL 输出时钟 = PLL 输入时钟 x PLL 倍频系数 / (PLL 预分频系数 x PLL 后分频系数)

$500\text{MHz} \leq \text{PLL 输入时钟} \times \text{PLL 倍频系数} / \text{PLL 预分频系数} \leq 1000\text{MHz}$

$2\text{MHz} \leq \text{PLL 输入时钟} / \text{PLL 预分频系数} \leq 16\text{MHz}$

例如：当 PLL 输入时钟为 16 MHz 时，可以配置 PLL 输出频率 =  $16 \times 80 / (2 \times 8) = 80\text{MHz}$

- LEXT 振荡器时钟

LEXT 振荡器时钟包括 LEXT 晶体/陶瓷谐振器和 LEXT 旁路时钟两个时钟源。

LEXT 晶体/陶瓷谐振器

LEXT 晶体/陶瓷谐振器提供一个低功耗且精确的 32.768KHz 低速时钟源。LEXT 时钟直到稳定后，才会被释放出来。

- LEXT 旁路时钟

在 LEXT 旁路模式下，可以提供最高频率达 32.768kHz 的外部时钟源。外部时钟信号必须连到 LEXT\_IN 引脚，并且 LEXT\_OUT 引脚也一定要保持悬空。

- LICK 振荡器时钟

LICK 振荡器时钟由芯片内的低速 RC 振荡器提供，作为一个频率在 30kHz 和 60kHz 之间的低功耗时钟源，它可以为独立看门狗和自动唤醒单元提供时钟，并能在深度睡眠和待机模式下保持运行。

LICK 时钟直到稳定后，才会被释放出来。

## 4.1.2 系统时钟

系统复位以后，系统时钟使用 HICK 时钟作为默认时钟。系统时钟可在 HICK 振荡器时钟、HEXT 振荡器时钟和 PLL 时钟之间进行灵活切换，只有当目标时钟源稳定后，系统时钟切换才会发生。当 HICK 振荡器时钟直接作为系统时钟或间接通过 PLL 作为系统时钟时，它将无法被停止。

## 4.1.3 外设时钟

大多数外设使用系统时钟 HCLK、PCLK1 或 PCLK2 时钟。个别外设还有专用时钟。

系统嘀嗒定时器 (SysTick) 使用 HCLK 或 HCLK 的 8 分频作为时钟。

ADC 使用 APB2 时钟的 2、3、4、5、6、8、12、16 分频作为时钟。

定时器使用 APB1/2 作为时钟，特别地，当 APB 预分频系数是 1 时，定时器的时钟频率等于 APB1/2 的时钟频率；当 APB 预分频系数不为 1 时，定时器的时钟频率等于 APB1/2 时钟频率的 2 倍。

ERTC 的时钟源有：HEXT 振荡器 32 分频时钟，LEXT 振荡器时钟 LICK 振荡器时钟。ERTC 的时钟源一旦选择后就不可再更改，只有复位后才能重新配置 ERTC 时钟源。当 VDD 掉电时，ERTC 使用 LEXT 作为时钟的话，ERTC 可以继续工作，但 ERTC 使用 HEXT 或 LICK 作为时钟源时，由于 HEXT 和 LICK 均掉电，会导致 ERTC 状态不定。

独立看门狗使用 LICK 振荡器时钟作为时钟源。硬件选项或软件开启看门狗后，将强制打开 LICK 振荡器，LICK 振荡器稳定后，才给独立看门狗提供时钟。

## 4.1.4 时钟失效检测

当 HEXT 时钟直接或间接作为系统时钟时，为防止 HEXT 时钟出现故障，特设计了时钟失效检测模块 (CFD)。当 HEXT 时钟出现故障，CFD 侦测到失效后，将时钟失效事件送到 TMR1 的刹车输入端，并产生 CFD 中断，此 CFD 中断直接连到 CPU 的 NMI 中断，供软件完成营救操作。NMI 中断将一直重复执行，直到 CFD 中断挂起位被清除为止，所以在 NMI 的处理程序中必须清除 CFD 中断。当 HEXT 时钟出现故障时，将导致系统时钟切换到 HICK 时钟，同时关闭 CFD，关闭 HEXT 时钟，如果 HEXT 时钟通过 PLL 做为系统时钟时，也会关闭 PLL 模块。

## 4.1.5 时钟输出

微控制器允许输出内部时钟信号到外部 CLKOUT 引脚。ADC CLK、SCLK、LICK、LEXT、HICK48、HEXT、除 2 的 PLL 时钟以及除 4 的 PLL 时钟这 8 个时钟信号可输出到 CLKOUT。作为 CLKOUT 时钟输出脚时，相应的 GPIO 端口寄存器必须被配置为相应功能。





## 4.1.6 中断

微控制器为每个时钟源设计了一个稳定标志，当用户开启一个时钟源后，可查询对应的时钟源的的稳定标志来判断时钟是否稳定。当用户开启对应时钟源的中断使能的话，将产生中断请求。

当 HEXT 时钟出现故障，CFD 侦测到失效后，将产生 CFD 中断，此中断直接连到 CPU 的 NMI 中断。

## 4.2 复位

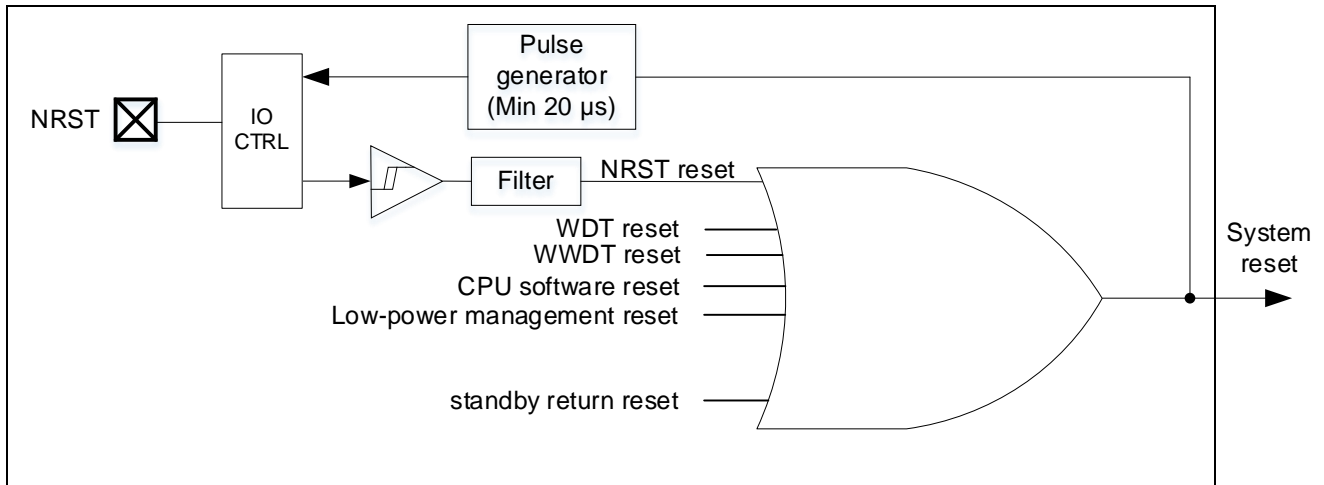
### 4.2.1 系统复位

AT32L021 系统复位包括以下复位源：

- NRST复位：外部NRST管脚复位
- WDT复位：看门狗溢出复位
- WWDT复位：窗口看门狗溢出复位
- CPU软件复位：Cortex®-M0+软件复位
- 低功耗管理复位：将用户系统数据区中的nSTDBY\_RST位清0并进入待机模式，将产生低功耗管理复位；将用户系统数据区中的nDEPSLP\_RST位清0并进入深度睡眠模式，也将产生低功耗管理复位。
- 从待机模式中返回等事件产生复位。

NRST 复位，WDT 复位，WWDT 复位，软件复位和低功耗管理复位将复位所有寄存器至它们的复位状态，时钟控制器的 CRM\_CTRLSTS 寄存器和电池供电域中的寄存器除外；上电复位、掉电复位或者从待机模式中返回等事件产生复位会复位所有寄存器至复位状态，电池供电域寄存器除外。

图 4-2 系统复位电路图



### 4.2.2 电池供电域复位

电池供电域复位包括以下复位源：

- 电池供电域软件复位：设置电池供电域控制寄存器（CRM\_BPDC）中的BPDRST位来产生复位
  - 在VDD掉电的前提下，VDD再上电将产生复位。
- 电池供电域软件复位只影响电池供电域。

## 4.3 CRM寄存器

下表列出了 CRM 寄存器的映像和复位值。

可以用字节（8 位）、半字（16 位）或字（32 位）的方式操作这些外设寄存器。

表 4-1 CRM寄存器映射和复位值

寄存器简称	基址偏移量	复位值
CRM_CTRL	0x000	0x0000 XX83
CRM_CFG	0x004	0x0000 0000
CRM_CLKINT	0x008	0x0000 0000
CRM_APB2RST	0x00C	0x0000 0000
CRM_APB1RST	0x010	0x0000 0000
CRM_AHBEN	0x014	0x0000 0014
CRM_APB2EN	0x018	0x0000 0000
CRM_APB1EN	0x01C	0x0000 0000
CRM_BPDC	0x020	0x0000 0000
CRM_CTRLSTS	0x024	0x0C00 0000
CRM_AHBRST	0x028	0x0000 0000
CRM_PLL	0x02C	0x0000 1F10
CRM_MISC1	0x030	0x0000 0000
CRM_HSEDRV	0x034	0x0000 0001
CRM_PICLKS	0x048	0x0000 0000
CRM_MISC2	0x054	0x0000 000D

### 4.3.1 时钟控制寄存器（CRM\_CTRL）

域	简称	复位值	类型	功能
位 30: 26	保留	0x00	resd	请保持默认值。
位 25	PLLSTBL	0	ro	PLL 时钟稳定（PLL clock stable） 该位待 PLL 稳定后由硬件置起。 0: 未稳定； 1: 已稳定。
位 24	PLLEN	0	rw	PLL 使能（PLL enable） 该位可由软件置起或清除，也可在进入待机或深度睡眠模式时，由硬件清除。当系统时钟为 PLL 时钟时，该位无法清除。 0: 关闭； 1: 开启。
位 23: 20	保留	0	resd	保持默认值。
位 19	CFDEN	0	rw	时钟失效检测使能（Clock Failure Detection enable） 0: 关闭； 1: 开启。
位 18	HEXTBYPSS	0	rw	HEXT 旁路使能（High speed external crystal bypass） 只有在 HEXT 关闭时，软件才能操作该位。 0: 关闭； 1: 开启。
位 17	HEXTSTBL	0	ro	HEXT 时钟稳定（High speed external crystal stable） 该位待 HEXT 稳定后由硬件置起。 0: 未稳定； 1: 已稳定。

位 16	HEXTEN	0	rw	HEXT 使能 (High speed external crystal enable) 该位可由软件置起或清除, 也可在进入待机或深度睡眠模式时, 由硬件清除。当系统时钟有用到 HEXT 时, 该位无法清除。 0: 关闭; 1: 开启。
位 13: 8	HICKCAL	0xXX	rw	HICK 时钟校准值 (High speed internal clock calibration) 默认值为出厂校准初始值。 HICK 输出频率为 48 MHz 时, 每 HICKCAL 数值的变化对应频率调整 480 kHz (设计值)。 注意: 此位只有在 HICKCAL_KEY[7:0]为 0x5A 的时候可被写入。
位 7: 5	保留	0x0	Resd/	保持默认值。
位 4: 2	HICKTRIM	0x04	rw	HICK 时钟调整值 (High speed internal clock trimming) 该数值和 HICKCAL[5: 0]数值共同决定 HICK 振荡器的频率, 默认数值为 4, 可以把 HICK 调整到精度 $\pm 0.5\%$ 。
位 1	HICKSTBL	1	ro	HICK 时钟稳定 (High speed internal clock stable) 该位待 HICK 稳定后由硬件置起。 0: 未稳定; 1: 已稳定。
位 0	HICKEN	1	rw	HICK 使能 (High speed internal clock enable) 该位可由软件置起或清除, 在退出待机或深度睡眠模式, 或 HEXT 发生故障时, 该位也可被硬件置起。当系统时钟有用到 HICK 时, 该位无法清除。 0: 关闭; 1: 开启。

### 4.3.2 时钟配置寄存器 (CRM\_CFG)

访问: 0 到 2 个等待周期, 字, 半字和字节访问,

只有当访问发生在时钟切换时, 才会插入 1 或 2 个等待周期。

域	简称	复位值	类型	功能
位 31	保留	0	resd	保持默认值。
位 26: 24	CLKOUT_SEL	0x0	rw	内部时钟输出选择 (Clock output selection) CLKOUT_SEL[3]在 CRM_MISC1 寄存器的位 16。 0000: 无; 0001: 保留; 0010: LICK; 0011: LEXT; 0100: SCLK; 0101: HICK48; 0110: HEXT; 0111: PLL/2; 1100: PLL/4; 1101: 保留; 1110: ADC。
位 27 位 23: 22	保留	0	resd	保持默认值。
位 30: 29 位 21: 18	PLLMULT	0x00	rw	PLL 倍频系数 (PLL multiplication factor) { 位 30: 29, 位 21: 18} 000000: 2 倍频 000001: 3 倍频; 000010: 4 倍频; 000011: 5 倍频; ..... 001100: 14 倍频

				001101: 15 倍频; 001110: 16 倍频; 001111: 16 倍频; 010000: 17 倍频; 010001: 18 倍频; 010010: 19 倍频; 010011: 20 倍频; ..... 111110: 63 倍频 111111: 64 倍频。
位 17	PLLEXTRDIV	0	rw	HEXT 分频后作为 PLL 输入时钟源 (HEXT division selection for PLL entry clock) 0: 不分频; 1: 分频系数为 2。
位 16	PLLRCS	0	rw	PLL 输入时钟选择 (PLL reference clock select) 0: HICK 分频时钟 (4MHz) 作为 PLL 输入时钟源; 1: HEXT 时钟作为 PLL 输入时钟源。
位 28 位 15: 14	ADCDIV	0x0	rw	ADC 分频因子 (ADC division) HCLK 分频后作为 ADC 时钟。 000: 2 分频; 001: 4 分频; 010: 6 分频; 011: 8 分频; 100: 3 分频; 101: 12 分频; 110: 5 分频; 111: 16 分频。
位 13: 11	APB2DIV	0x0	rw	APB2 分频因子 (APB2 division) HCLK 分频后作为 APB2 时钟。 0xx: 不分频; 100: 2 分频; 101: 4 分频; 110: 8 分频; 111: 16 分频。 注意: 软件必须保证 APB2 时钟频率不超过 80MHz。
位 10: 8	APB1DIV	0x0	rw	APB1 分频因子 (APB1 division) HCLK 分频后作为 APB1 时钟。 0xx: 不分频; 100: 2 分频; 101: 4 分频; 110: 8 分频; 111: 16 分频。 注意: 软件必须保证 APB1 时钟频率不超过 80MHz。
位 7: 4	AHBDIV	0x0	rw	AHB 分频因子 (AHB division) SCLK 分频后作为 AHB 时钟。 0xxx: 不分频; 1000: 2 分频; 1001: 4 分频; 1010: 8 分频; 1011: 16 分频; 1100: 64 分频; 1101: 128 分频; 1110: 256 分频; 1111: 512 分频。
位 3: 2	SCLKSTS	0x0	ro	系统时钟选择状态位 (System clock select status) 00: HICK; 01: HEXT; 10: PLL; 11: 保留, 保持默认值。
位 1: 0	SCLKSEL	0x0	rw	系统时钟选择 (System clock select)

00: HICK;  
01: HEXT;  
10: PLL;  
11: 保留, 保持默认值。

### 4.3.3 时钟中断寄存器 (CRM\_CLKINT)

访问: 无等待周期, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31: 24	保留	0x00	resd	保持默认值。
位 23	CFDFC	0	wo	清除时钟失效标志 (Clock failure detection flag clear) 由软件写'1'清除 CFDF。 0: 不清除; 1: 清除。
位 22: 21	保留	0x0	resd	保持默认值。
位 20	PLLSTBLFC	0	wo	清除 PLL 稳定标志 (PLL stable flag clear) 由软件写'1'清除 PLLSTBLF。 0: 不清除; 1: 清除。
位 19	HEXTSTBLFC	0	wo	清除 HEXT 稳定标志 (HEXT stable flag clear) 由软件写'1'清除 HEXTSTBLF。 0: 不清除; 1: 清除。
位 18	HICKSTBLFC	0	wo	清除 HICK 稳定标志 (HICK stable flag clear) 由软件写'1'清除 HICKSTBLF。 0: 不清除; 1: 清除。
位 17	LEXTSTBLFC	0	wo	清除 LEXT 稳定标志 (LEXT stable flag clear) 由软件写'1'清除 LEXTSTBLF。 0: 不清除; 1: 清除。
位 16	LICKSTBLFC	0	wo	清除 LICK 稳定标志 (LICK stable flag clear) 由软件写'1'清除 LICKSTBLF。 0: 不清除; 1: 清除。
位 15: 13	保留	0x0	resd	保持默认值。
位 12	PLLSTBLIEN	0	rw	PLL 稳定中断使能 (PLL stable interrupt enable) 0: 关闭; 1: 开启。
位 11	HEXTSTBLIEN	0	rw	HEXT 稳定中断使能 (HEXT stable interrupt enable) 0: 关闭; 1: 开启。
位 10	HICKSTBLIEN	0	rw	HICK 稳定中断使能 (HICK stable interrupt enable) 0: 关闭; 1: 开启。
位 9	LEXTSTBLIEN	0	rw	LEXT 稳定中断使能 (LEXT stable interrupt enable) 0: 关闭; 1: 开启。
位 8	LICKSTBLIEN	0	rw	LICK 稳定中断使能 (LICK stable interrupt enable) 0: 关闭; 1: 开启。
位 7	CFDF	0	ro	时钟失效标志 (Clock Failure Detection flag) 在 HEXT 时钟出现故障时, 由硬件置起。 0: 未出现; 1: 出现。
位 6: 5	保留	0x0	resd	保持默认值。
位 4	PLLSTBLF	0	ro	PLL 稳定标志 (PLL stable flag) 由硬件置起。

				0: 未稳定; 1: 已稳定。
位 3	HEXTSTBLF	0	ro	HEXT 稳定标志 (HEXT stable flag) 由硬件置起。 0: 未稳定; 1: 已稳定。
位 2	HICKSTBLF	0	ro	HICK 稳定标志 (HICK stable flag) 由硬件置起。 0: 未稳定; 1: 已稳定。
位 1	LEXTSTBLF	0	ro	LEXT 稳定标志 (LEXT stable flag) 由硬件置起。 0: 未稳定; 1: 已稳定。
位 0	LICKSTBLF	0	ro	LICK 稳定中断标志 (LICK stable flag) 由硬件置起。 0: 未稳定; 1: 已稳定。

#### 4.3.4 APB2外设复位寄存器 (CRM\_APB2RST)

访问: 无等待周期, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31: 23	保留	0x00	resd	保持默认值。
位 22	DBGRST	0	rw	DEBUG 复位 (DBG reset) 0: 无作用; 1: 复位。
位 21: 19	保留	0x00	resd	保持默认值。
位 18	TMR17RST	0	rw	TMR17 复位 (TMR17 reset) 0: 无复位; 1: 复位。
位 17	TMR16RST	0	rw	TMR16 复位 (TMR16 reset) 0: 无复位; 1: 复位。
位 16	TMR15RST	0	rw	TMR15 复位 (TMR15 reset) 0: 无复位; 1: 复位。
位 15	保留	0x0	resd	保持默认值。
位 14	USART1RST	0	rw	USART1 复位 (USART1 reset) 0: 无复位; 1: 复位。
位 13	保留	0x0	resd	保持默认值。
位 12	SPI1RST	0	rw	SPI1 复位 (SPI1 reset) 0: 无复位; 1: 复位。
位 11	TMR1RST	0	rw	TMR1 复位 (TMR1 reset) 0: 无复位; 1: 复位。
位 10	保留	0x0	resd	保持默认值。
位 9	ADC1RST	0	rw	ADC1 复位 (ADC1 reset) 0: 无复位; 1: 复位。
位 8: 2	保留	0x00	resd	保持默认值。
位 1	EXINTRST	0	rw	EXINT 复位 (EXINT reset) 0: 无复位; 1: 复位。 注意软件读该位, 恒为 0。
位 0	SCFGRST	0	rw	SCFG 复位 (SCFG reset) 0: 无复位;

---

1: 复位。

---



### 4.3.5 APB1外设复位寄存器（CRM\_APB1RST）

访问：无等待周期，字，半字和字节访问

域	简称	复位值	类型	功能
位 31: 29	保留	0x0	resd	保持默认值。
位 28	PWCRST	0	rw	PWC 复位（PWC reset） 0: 无复位； 1: 复位。
位 27: 26	保留	0x0	resd	保持默认值。
位 25	CAN1RST	0	rw	CAN1 复位（CAN1 reset） 0: 无复位； 1: 复位。
位 24: 23	保留	0x0	resd	保持默认值。
位 22	I2C2RST	0	rw	I2C2 复位（I2C2 reset） 0: 无复位； 1: 复位。
位 21	I2C1RST	0	rw	I2C1 复位（I2C1 reset） 0: 无复位； 1: 复位。
位 20	保留	0x0	resd	保持默认值。
位 19	USART4RST	0	rw	USART4 复位（USART4 reset） 0: 无复位； 1: 复位。
位 18	USART3RST	0	rw	USART3 复位（USART3 reset） 0: 无复位； 1: 复位。
位 17	USART2RST	0	rw	USART2 复位（USART2 reset） 0: 无复位； 1: 复位。
位 16: 15	保留	0x0	resd	保持默认值。
位 14	SPI2RST	0	rw	SPI2 复位（SPI2 reset） 0: 无复位； 1: 复位。
位 13: 12	保留	0x0	resd	保持默认值。
位 11	WWDTRST	0	rw	窗口看门狗复位（WWDT reset） 0: 无复位； 1: 复位。
位 10: 9	保留	0x0	resd	保持默认值。
位 8	TMR14RST	0	rw	TMR14 复位（TMR14 reset） 0: 无复位； 1: 复位。
位 7: 5	保留	0x0	resd	保持默认值。
位 4	TMR6RST	0	rw	TMR6 复位（TMR6 reset） 0: 无复位； 1: 复位。
位 3: 2	保留	0x0	resd	保持默认值。
位 1	TMR3RST	0	rw	TMR3 复位（TMR3 reset） 0: 无复位； 1: 复位。
位 0	保留	0x0	resd	保持默认值。

### 4.3.6 AHB外设时钟使能寄存器（CRM\_AHBEN）

访问：无等待周期，字、半字和字节访问

域	简称	复位值	类型	功能
位 31: 27	保留	0x0	resd	保持默认值。
位 26	HWDIVEN	0	rw	HWDIV 时钟使能（HWDIV clock enable） 0: 关闭； 1: 开启。
位 25: 23	保留	0x0	resd	保持默认值。
位 22	GPIOFEN	0	rw	GPIOF 时钟使能（GPIOF clock enable） 0: 关闭； 1: 开启。
位 21: 20	保留	0x0	resd	保持默认值。
位 19	GPIOCEN	0	rw	GPIOC 时钟使能（GPIOC clock enable） 0: 关闭； 1: 开启。
位 18	GPIOBEN	0	rw	GPIOB 时钟使能（GPIOB clock enable） 0: 关闭； 1: 开启。
位 17	GPIOAEN	0	rw	GPIOA 时钟使能（GPIOA clock enable） 0: 关闭； 1: 开启。
位 16: 7	保留	0x0	resd	保持默认值。
位 6	CRCEN	0	rw	CRC 时钟使能（CRC clock enable） 0: 关闭； 1: 开启。
位 5	保留	0	resd	保持默认值。
位 4	FLASHEN	1	rw	闪存时钟使能（Flash clock enable） 该位配置睡眠下闪存时钟使能。 0: 关闭； 1: 开启。 <i>注意：深度睡眠模式必须开启</i>
位 3	保留	0	resd	保持默认值。
位 2	SRAMEN	1	rw	SRAM 时钟使能（SRAM clock enable） 该位配置睡眠或深度睡眠模式下 SRAM 时钟使能。 0: 关闭； 1: 开启。
位 1	保留	0	resd	保持默认值。
位 0	DMA1EN	0	rw	DMA1 时钟使能（DMA1 clock enable） 0: 关闭； 1: 开启。

### 4.3.7 APB2外设时钟使能寄存器（CRM\_APB2EN）

访问：字，半字和字节访问

但在 APB2 总线上的外设被访问时，将插入等待状态直到 APB2 的外设访问结束。

域	简称	复位值	类型	功能
位 31: 23	保留	0x00	resd	保持默认值。
位 22	DBGEN	0	rw	DEBUG 时钟使能（debug clock enable） 0: 关闭； 1: 开启。
位 21: 19	保留	0x00	rw	保持默认值。
位 18	TMR17EN	0	rw	TMR17 时钟使能（TMR17 clock enable） 0: 关闭； 1: 开启。
位 17	TMR16EN	0	rw	TMR16 时钟使能（TMR16 clock enable） 0: 关闭； 1: 开启。

位 16	TMR15EN	0	rw	TMR15 时钟使能 (TMR15 clock enable) 0: 关闭; 1: 开启。
位 15	保留	0x0	resd	保持默认值。
位 14	USART1EN	0	rw	USART1 时钟使能 (USART1 clock enable) 0: 关闭; 1: 开启。
位 13	保留	0x0	resd	保持默认值。
位 12	SPI1EN	0	rw	SPI1 时钟使能 (SPI1 clock enable) 0: 关闭; 1: 开启。
位 11	TMR1EN	0	rw	TMR1 时钟使能 (TMR1 clock enable) 0: 关闭; 1: 开启。
位 10	保留	0x0	resd	保持默认值。
位 9	ADC1EN	0	rw	ADC1 时钟使能 (ADC1 clock enable) 0: 关闭; 1: 开启。
位 8: 1	保留	0x00	rw	保持默认值。
位 0	SCFGEN	0	rw	SCFG 时钟使能 (SCFG clock enable) 0: 关闭; 1: 开启。

#### 4.3.8 APB1外设时钟使能寄存器 (CRM\_APB1EN)

访问：字、半字和字节访问

通常无访问等待周期。但在 APB1 总线上的外设被访问时，将插入等待状态直到 APB1 外设访问结束。

域	简称	复位值	类型	功能
位 31: 29	保留	0x0	resd	保持默认值。
位 28	PWCEN	0	rw	PWC 时钟使能 (Power control clock enable) 0: 关闭; 1: 开启。
位 27: 26	保留	0x0	resd	保持默认值。
位 25	CAN1EN	0	rw	CAN1 时钟使能 (CAN1 clock enable) 0: 关闭; 1: 开启。
位 24: 23	保留	0x0	resd	保持默认值。
位 22	I2C2EN	0	rw	I2C2 时钟使能 (I2C2 clock enable) 0: 关闭; 1: 开启。
位 21	I2C1EN	0	rw	I2C1 时钟使能 (I2C1 clock enable) 0: 关闭; 1: 开启。
位 20	保留	0x0	resd	保持默认值。
位 19	USART4EN	0	rw	USART4 时钟使能 (USART4 clock enable) 0: 关闭; 1: 开启。
位 18	USART3EN	0	rw	USART3 时钟使能 (USART3 clock enable) 0: 关闭; 1: 开启。
位 17	USART2EN	0	rw	USART2 时钟使能 (USART2 clock enable) 0: 关闭; 1: 开启。
位 16: 15	保留	0x0	resd	保持默认值。
位 14	SPI2EN	0	rw	SPI2 时钟使能 (SPI2 clock enable) 0: 关闭; 1: 开启。

位 13: 12	保留	0x0	resd	保持默认值。
位 11	WWDTEN	0	rw	窗口看门狗时钟使能 (WWDT clock enable) 0: 关闭; 1: 开启。
位 10: 9	保留	0x0	resd	保持默认值。
位 8	TMR14EN	0	rw	TMR14 时钟使能 (TMR14 clock enable) 0: 关闭; 1: 开启。
位 7: 5	保留	0x0	resd	保持默认值。
位 4	TMR6EN	0	rw	TMR6 时钟使能 (TMR6 clock enable) 0: 关闭; 1: 开启。
位 3: 2	保留	0x0	resd	保持默认值。
位 1	TMR3EN	0	rw	TMR3 时钟使能 (TMR3 clock enable) 0: 关闭; 1: 开启。
位 0	保留	0x0	resd	保持默认值。

### 4.3.9 备份域控制寄存器 (CRM\_BPDC)

访问: 0 到 3 等待周期, 字、半字和字节访问; 当连续对该寄存器进行访问时, 将插入等待状态。

**注意:** 电池供电域控制寄存器中 (CRM\_BPDC) LEXTEN、LEXTBYPS、ERTCSEL 和 ERTCEN 位处于电池供电域。因此, 这些位在复位后处于写保护状态, 只有在电源控制寄存器 (PWC\_CTRL) 中的 BPWEN 位置位后才能对这些位进行改动。这些位只能由电池供电域软件复位清除。任何内部或外部复位都不会影响这些位。

域	简称	复位值	类型	功能
位 31: 17	保留	0x0000	resd	保持默认值。
位 16	BPDRST	0	rw	电池供电域软件复位 (Battery powered domain software reset) 0: 无复位; 1: 复位。
位 15	ERTCEN	0	rw	ERTC 时钟使能 (ERTC clock enable) 由软件置位或清零。 0: 关闭; 1: 开启。
位 14: 10	保留	0x00	resd	保持默认值。
位 9: 8	ERTCSEL	0x0	rw	ERTC 时钟选择 (ERTC clock selection) 确定了 ERTC 时钟选择后, 如果想要再次更改, 必须设置 BPDRST 位复位后, 才能重新改写 ERTC 时钟选择。 00: 无; 01: LEXT; 10: LICK; 11: HEXT/32。
位 7: 5	保留	0x0	resd	保持默认值。
位 4: 3	LEXTDRV	0x3	rw	LEXT 驱动 (Low speed external crystal driving strength) 00: LOW; 01: MEDIUM LOW; 10: MEDIUM HIGH; 11: HIGH。
位 2	LEXTBYPS	0	rw	LEXT 旁路使能 (Low speed external crystal bypass) 0: 关闭; 1: 开启。
位 1	LEXTSTBL	0	ro	LEXT 稳定 (External low-speed oscillator stable) 该位待 LEXT 稳定后由硬件置起。 0: 未稳定; 1: 已稳定。

位 0	LEXTEN	0	rw	LEXT 使能 (External low-speed oscillator enable) 0: 关闭; 1: 开启。
-----	--------	---	----	--------------------------------------------------------------------

#### 4.3.10 控制/状态寄存器 (CRM\_CTRLSTS)

除复位标志外由系统复位清除，复位标志能由电源复位或写 RSTFC 位进行清除。访问：0 到 3 等待周期，字、半字和字节访问；当连续对该寄存器进行访问时，将插入等待状态。

域	简称	复位值	类型	功能
位 31	LPRSTF	0	ro	低功耗复位标志 (Low-power reset flag) 该位由硬件置起，软件写 RSTFC 位清除。 0: 无; 1: 有。
位 30	WWDTRSTF	0	ro	窗口看门狗复位标志 (WWDT reset flag) 该位由硬件置起，软件写 RSTFC 位清除。 0: 无; 1: 有。
位 29	WDTRSTF	0	ro	看门狗复位标志 (WDT reset flag) 该位由硬件置起，软件写 RSTFC 位清除。 0: 无; 1: 有。
位 28	SWRSTF	0	ro	软件复位标志 (Software reset flag) 该位由硬件置起，软件写 RSTFC 位清除。 0: 无; 1: 有。
位 27	PORRSTF	1	ro	上电/掉电复位标志 (POR/LVR reset flag) 该位由硬件置起，软件写 RSTFC 位清除。 0: 无; 1: 有。
位 26	NRSTF	1	ro	NRST 引脚复位标志 (NRST reset flag) 该位由硬件置起，软件写 RSTFC 位清除。 0: 无; 1: 有。
位 25	保留	0	resd	保持默认值。
位 24	RSTFC	0	rw	清除复位标志 (Reset flag clear) 由软件写'1'来清除复位标志。 0: 无作用; 1: 清除复位标志。
位 23: 2	保留	0x000000	resd	保持默认值。
位 1	LICKSTBL	0	ro	LICK 稳定 (LICK stable) 0: 未稳定; 1: 已稳定。
位 0	LICKEN	0	rw	LICK 使能 (LICK enable) 0: 关闭; 1: 开启。

#### 4.3.11 AHB外设复位寄存器 (CRM\_AHBRST)

访问：无等待周期，字，半字和字节访问

域	简称	复位值	类型	功能
位 31: 27	保留	0x0000	resd	保持默认值。
位 26	HWDIVRST	0	rw	HWDIV 复位 (HWDIV reset) 0: 无作用; 1: 复位。
位 25: 23	保留	0x0	resd	保持默认值。
位 22	GPIOFRST	0	rw	GPIOF 复位 (GPIOF reset) 0: 无复位; 1: 复位。

位 21: 20	保留	0x0	resd	保持默认值。
位 19	GPIOCRST	0	rw	GPIOC 复位 (GPIOC reset) 0: 无复位; 1: 复位。
位 18	GPIOBRST	0	rw	GPIOB 复位 (GPIOB reset) 0: 无复位; 1: 复位。
位 17	GPIOARST	0	rw	GPIOA 复位 (GPIOA reset) 0: 无复位; 1: 复位。
位 16: 13	保留	0x0	resd	保持默认值。
位 12: 0	保留	0x0000	resd	保持默认值。

### 4.3.12 PLL配置寄存器 (CRM\_PLL)

访问: 无等待周期, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31	PLLCFGEN	0x0	rw	PLL 灵活配置使能 (PLL Configure Enable) 0: PLL 使用常规整数倍频配置模式, 使用 PLL_FREF 和 PLLMULT 寄存器来配置 PLL 1: PLL 使用灵活配置模式, 使用 PLL_MS/PLL_NS/PLL_FR 寄存器来配置 PLL
位 30: 27	保留	0x0	resd	保持默认值。
位 26: 24	PLL_FREF	0x0	rw	PLL 输入时钟选择, 仅在 PLLCFGEN = 0 时起作用 000: PLL 使用 3.9 ~ 5 MHz 输入时钟; 001: PLL 使用 5.2 ~ 6.25 MHz 输入时钟; 010: PLL 使用 7.8125 ~ 8.33 MHz 输入时钟; 011: PLL 使用 8.33 ~ 12.5 MHz 输入时钟; 100: PLL 使用 15.625 ~ 20.83 MHz 输入时钟; 101: PLL 使用 20.83 ~ 31.25 MHz 输入时钟; 110: 保留; 111: 保留。
位 23: 17	保留	0x00	resd	保持默认值。
位 16: 8	PLL_NS	0x1F	rw	PLL 倍频系数 PLL_NS 范围 (31 ~ 500)
位 7: 4	PLL_MS	0x1	rw	PLL 预分频系数 PLL_MS 范围 (1 ~ 15)
位 3	保留	0x0	resd	保持默认值。
位 2: 0	PLL_FR	0x0	rw	PLL 后分频配置值 PLL_FR 范围 (0~5) 000: PLL 后分频系数为 1, 1 分频输出; 001: PLL 后分频系数为 2, 2 分频输出; 010: PLL 后分频系数为 4, 4 分频输出; 011: PLL 后分频系数为 8, 8 分频输出; 100: PLL 后分频系数为 16, 16 分频输出; 101: PLL 后分频系数为 32, 32 分频输出; 其他: 保留 请注意 PLL_FR 值和后分频系数对应关系

注: PLL 时钟计算公式

$PLL \text{ 输出时钟} = PLL \text{ 输入时钟} \times PLL \text{ 倍频系数} / (PLL \text{ 预分频系数} \times PLL \text{ 后分频系数})$

$500MHz \leq PLL \text{ 输入时钟} \times PLL \text{ 倍频系数} / PLL \text{ 预分频系数} \leq 1000MHz$

$2MHz \leq PLL \text{ 输入时钟} / PLL \text{ 预分频系数} \leq 16MHz$

### 4.3.13 额外寄存器1 (CRM\_MISC1)

访问: 无等待周期, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31: 28	CLKOUTDIV	0x0	rw	CLKOUT 分频因子 (Clock output division) CLKOUT 输出频率的分频值设定。

				0xxx: 不分频; 1000: 2分频; 1001: 4分频; 1010: 8分频; 1011: 16分频; 1100: 64分频; 1101: 128分频; 1110: 256分频; 1111: 512分频。
位 27: 17	保留	0x0	resd	保持默认值。
位 16	CLKOUT_SEL[3]	0	rw	内部时钟输出选择 (Clock output selection) 搭配 CRM_CFG 寄存器位 26:24 使用。
位 15: 8	保留	0x00	resd	保持默认值。
位 7: 0	HICKCAL_KEY	0x00	rw	HICKCAL 写入键值 (HICK calibration key) 此字段为 0x5A 时, HICKCAL [5:0]才可被写入。

#### 4.3.14 HSE推动能力控制寄存器 (CRM\_HSEDRV)

访问: 无等待周期, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31: 2	保留	0x0	resd	保持默认值。
位 1: 0	HSEDRV	0x01	rw	HSE 推动能力(HSE driving strength control bits) 00: Low 01: Medimum low 10: Medimum high 11: High

#### 4.3.15 外设独立时钟选择 (CRM\_PICLKS)

访问: 无等待周期, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31: 14	保留	0x0000	resd	保持默认值。
位 13: 12	I2C1CLK_SEL	0	rw	I2C1 时钟选择 (I2C1 clock select) 00: PCLK 01: SCLK 10: HICK48 11: reserved
位 11: 4	保留	0x0000	resd	保持默认值。
位 3: 2	USART2CLK_SEL	0x0	resd	USART2 时钟选择 (USART2 clock select) 00: PCLK 01: SCLK 10: HICK48 11: LEXT
位 1: 0	USART1CLK_SEL	0x0	resd	USART1 时钟选择 (USART1 clock select) 00: PCLK 01: SCLK 10: HICK48 11: LEXT

#### 4.3.16 额外寄存器2 (CRM\_MISC2)

访问: 无等待周期, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31: 10	保留	0x0000	resd	保持默认值。
位 9	HICK_TO_SCLK	0	rw	HICK 作为系统时钟的频率选择位 (HICK as system clock frequency select) 当 SCLKSEL 选择 HICK 为时钟源时, SCLK 的频率为 0: 固定是 8Mhz; 1: 固定是 48Mhz。
位 8: 0	保留	0xd	resd	固定为 0xd, 请勿修改。



## 5 内嵌闪存控制器（FLASH）

### 5.1 FLASH介绍

闪存由主存储器、信息块、闪存寄存器这三个部分组成。

- 主存储器容量可达64K字节
- 信息块由4K字节的系统启动程序代码区和用户系统数据区组成。系统启动程序使用USART1或USART2实现ISP编程

主存储器只有闪存容量为64K字节的片1闪存，包含64扇区，每扇区大小为1K字节。

表 5-1 闪存存储结构（64K）

结构		名称	地址范围
主存储器	片 1 (Bank1) 64KB	扇区 0	0x0800 0000 – 0x0800 03FF
		扇区 1	0x0800 0400 – 0x0800 07FF
		扇区 2	0x0800 0800 – 0x0800 0BFF
		...	...
		扇区 63	0x0800 FC00 – 0x0800 FFFF
信息块		启动程序代码区 4KB	0x1FFF E400 – 0x1FFF F3FF
		用户系统数据区 512B	0x1FFF F800 – 0x1FFF F9FF

主存储器只有闪存容量为32K字节的片1闪存，包含32扇区，每扇区大小为1K字节。

表 5-2 闪存存储组织（32K）

结构		名称	地址范围
主存储器	片 1 (Bank1) 32KB	扇区 0	0x0800 0000 – 0x0800 03FF
		扇区 1	0x0800 0400 – 0x0800 07FF
		扇区 2	0x0800 0800 – 0x0800 0BFF
		...	...
		扇区 31	0x0800 7C00 – 0x0800 7FFF
信息块		启动程序代码区 4KB	0x1FFF E400 – 0x1FFF F3FF
		用户系统数据区 512B	0x1FFF F800 – 0x1FFF F9FF

主存储器只有闪存容量为16K字节的片1闪存，包含16扇区，每扇区大小为1K字节。

表 5-3 闪存存储组织（16K）

结构		名称	地址范围
主存储器	片 1 (Bank1) 16KB	扇区 0	0x0800 0000 – 0x0800 03FF
		扇区 1	0x0800 0400 – 0x0800 07FF
		扇区 2	0x0800 0800 – 0x0800 0BFF
		...	...
		扇区 15	0x0800 3C00 – 0x0800 3FFF
信息块		启动程序代码区 4KB	0x1FFF E400 – 0x1FFF F3FF
		用户系统数据区 512B	0x1FFF F800 – 0x1FFF F9FF

#### 用户系统数据区

每次系统复位后将从闪存信息块中读出系统数据信息并保存在 FLASH\_USD 以及 FLASH\_EPPS 寄存器中。

每个系统数据实际占用2个字节，低字节对应系统数据的内容，高字节对应系统数据的反码，用于验证选择位的正确性。当读出的高字节不等于低字节的反码时（高字节及低字节均为0xFF时除外），系统数据装载器会产生一个系统数据错误的标志（USDERR），并把对应的系统数据及其反码都强置为0xFF。

*注意：用户系统数据内容的更新需要一次系统复位才能真正实现。*



表 5-4 用户系统数据说明

地址	位	内容	
0x1FFF_F800	[7:0]	<b>FAP[7:0]</b> : 闪存访问保护 (访问保护启动/解除结果存放在寄存器 FLASH_USD[1]以及[26]) 0xA5: 闪存访问保护解除 0xCC: 高级闪存访问保护启动 其他值: 低级闪存访问保护启动	
	[15:8]	<b>nFAP[7:0]</b> : FAP[7:0]的反码	
	[23:16]	<b>SSB[7:0]</b> : 系统配置字节 (存放在寄存器 FLASH_USD[9:2])	
		<b>位 7 (nRAM_PRT_CHK)</b>	0: 开启 RAM 的奇校验 1: 关闭 RAM 的奇校验
		<b>位 6 (nSTDBY_WDT)</b>	0: 进入待机模式时停止计数 1: 进入待机模式时不停止计数
		<b>位 5 (nDEPSLP_WDT)</b>	0: 进入深度睡眠模式时停止计数 1: 进入深度睡眠模式时不停止计数
		<b>位 4 (nBOOT1)</b>	nBOOT1: 和 BOOT0 引脚一起决定启动模式, 当 BOOT0 = 1 时: 0: 由 SRAM 启动 1: 由系统启动程序代码区启动
		<b>位 3</b>	保留不用
		<b>位 2 (nSTDBY_RST)</b>	0: 进入待机模式时产生复位 1: 进入待机模式时不产生复位
		<b>位 1 (nDEPSLP_RST)</b>	0: 进入深度睡眠模式时产生复位 1: 进入深度睡眠模式时不产生复位
<b>位 0 (nWDT_ATO_EN)</b>	0: 看门狗自启动开启 1: 看门狗自启动关闭		
[31:24]	<b>nSSB[7:0]</b> : SSB[7:0]的反码		
0x1FFF_F804	[7:0]	<b>Data0[7:0]</b> : 用户数据 0 (存放在寄存器 FLASH_USD[17:10])	
	[15:8]	<b>nData0[7:0]</b> : Data0[7:0]的反码	
	[23:16]	<b>Data1[7:0]</b> : 用户数据 1 (存放在寄存器 FLASH_USD[25:18])	
	[31:24]	<b>nData1[7:0]</b> : Data1[7:0]的反码	
0x1FFF_F808	[7:0]	<b>EPP0[7:0]</b> : 闪存擦写保护字节 0 (存放在寄存器 FLASH_EPPS[7:0]) 用于保护主闪存存储器的扇区 0 ~ 扇区 31, 每个比特位保护 4 个扇区 (1K 字节/扇区) 0: 擦写保护启动 1: 擦写保护解除	
	[15:8]	<b>nEPP0[7:0]</b> : EPP0[7:0]的反码	
	[23:16]	<b>EPP1[7:0]</b> : 闪存擦写保护字节 1 (存放在寄存器 FLASH_EPPS[15:8]) 用于保护主闪存存储器的扇区 32 ~ 扇区 63, 每个比特位保护 4 个扇区 (1K 字节/扇区) 0: 擦写保护启动 1: 擦写保护解除	
	[31:24]	<b>nEPP1[7:0]</b> : EPP1[7:0]的反码	
0x1FFF_F80C	[7:0]	<b>EPP2[7:0]</b> : 闪存擦写保护字节 2 (存放在寄存器 FLASH_EPPS[23:16]) 保留不用	
	[15:8]	<b>nEPP2[7:0]</b> : EPP2[7:0]的反码	
	[23:16]	<b>EPP3[7:0]</b> : 闪存擦写保护字节 3 (存放在寄存器 FLASH_EPPS[31:24]) 其中位 6:0 保留不用 位 7 用于保护主存扩展区 0: 擦写保护启动 1: 擦写保护解除	
	[31:24]	<b>nEPP3[7:0]</b> : EPP3[7:0]的反码	
0x1FFF_F810	[7:0]	<b>Data2[7:0]</b> : 用户数据 2	
	[15:8]	<b>nData2[7:0]</b> : Data2[7:0]的反码	
	[23:16]	<b>Data3[7:0]</b> : 用户数据 3	
	[31:24]	<b>nData3[7:0]</b> : Data3[7:0]的反码	
0x1FFF_F814	[7:0]	<b>Data4[7:0]</b> : 用户数据 4	
	[15:8]	<b>nData4[7:0]</b> : Data4[7:0]的反码	
	[23:16]	<b>Data5[7:0]</b> : 用户数据 5	

	[31:24]	nData5[7:0]: Data5[7:0]的反码
.	.	.
.	.	.
0x1FFF_F9FC	[7:0]	Data248[7:0]: 用户数据 248
	[15:8]	nData248[7:0]: Data248[7:0]的反码
	[23:16]	Data249[7:0]: 用户数据 249
	[31:24]	nData249[7:0]: Data249[7:0]的反码

## 5.2 主存储器操作

### 5.2.1 解锁/锁定

复位后，主存储器默认是被锁定的，此时不允许配置 FLASH\_CTRL 寄存器，需要对闪存解锁后才能成功实现对闪存的写入与擦除操作。

#### 解锁流程：

对 FLASH\_UNLOCK 寄存器顺序写入键值 KEY1 (0x45670123) 和键值 KEY2 (0xCDEF89AB)，能够解锁对应区域闪存。

*注意：解锁必须顺序写入正确的键值，否则会产生总线错误并且闪存会被锁死，直到下一次复位才能恢复。*

#### 锁定流程：

软件置起闪存控制寄存器 (FLASH\_CTRL) 中的 OPLK 位，锁定对应区域闪存。

### 5.2.2 擦除

编程之前必须先进行擦除操作，主存储器有扇区擦除和整片擦除两种擦除方式。

#### 扇区擦除

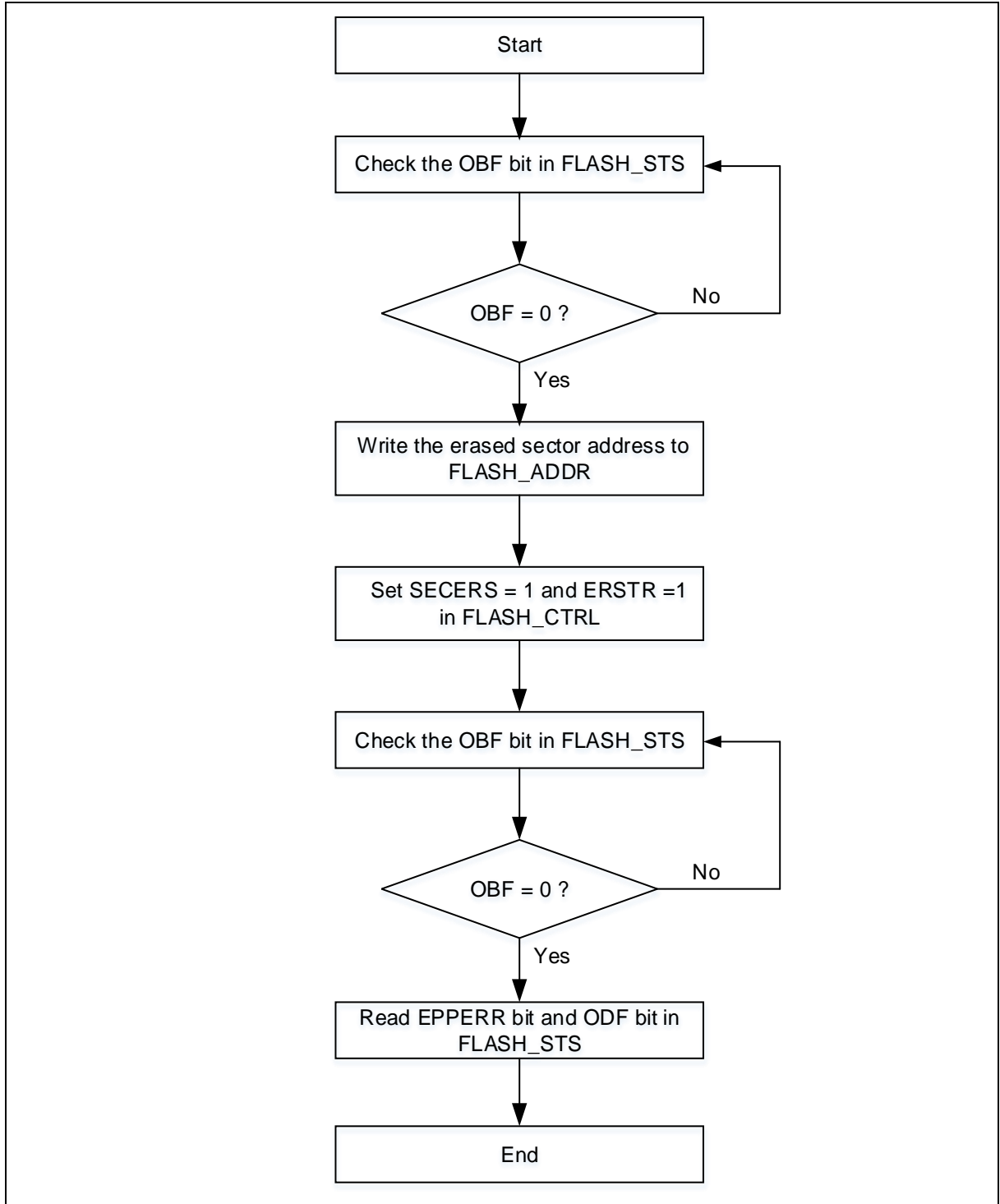
主闪存存储器的每一扇区以及主存扩展区都可以使用扇区擦除功能独立擦除。

擦除流程如下：

- 检查闪存状态寄存器 (FLASH\_STS) 的 OBF 位，确认没有正在进行的闪存操作；
- 对 FLASH\_ADDR 寄存器写入要擦除的扇区地址；
- 对闪存控制寄存器 (FLASH\_CTRL) 的 SECERS 位以及 ERSTR 位均置 1，启动扇区擦除；
- 等待闪存状态寄存器 (FLASH\_STS) 的 OBF 位变为 '0'，并查询闪存状态寄存器 (FLASH\_STS) 的 EPPERR 位和 ODF 位，确认擦除结果。

*注意：当启动程序代码区域是设定为主存扩展区时，执行扇区擦除实际上是对整个主存扩展区的擦除。*

图 5-1 主存储器扇区擦除流程图



### 整片擦除

主闪存存储器可以使用整片擦除功能直接擦除。

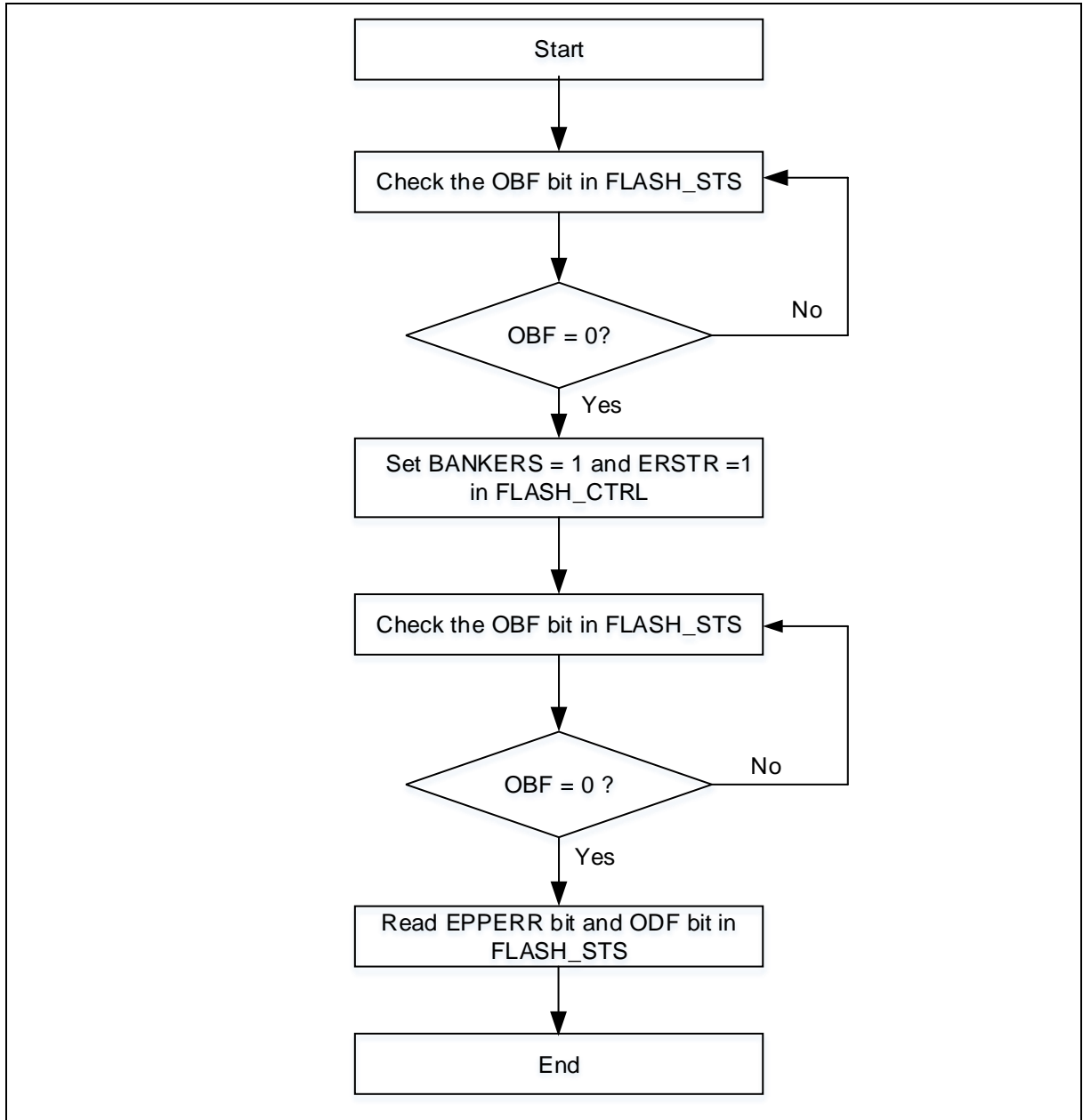
擦除流程如下：

- 检查闪存状态寄存器（FLASH\_STS）的OBF位，确认没有正在进行的闪存操作；
- 对闪存控制寄存器（FLASH\_CTRL）的BANKERS位以及ERSTR位均置1，启动整片擦除；
- 等待闪存状态寄存器（FLASH\_STS）的OBF位变为‘0’，并查询闪存状态寄存器（FLASH\_STS）的EPPER位和ODF位，确认擦除结果。

注意：

- 1) 当启动程序代码区域是设定为主存扩展区时，执行整片擦除操作会自动擦除主闪存以及主存扩展区。
- 2) 擦除期间进行读闪存的操作，将导致 CPU 会被暂停直到擦除完成才处理读闪存操作。
- 3) 擦除操作前必须保证内部的 HICK 有打开

图 5-2 主存储器整片擦除流程图



### 5.2.3 编程

当想要改写主存储器的内容时，可以通过主存储器编程流程完成一次写入 32 位、16 位或 8 位的数据。

主存储器编程流程：

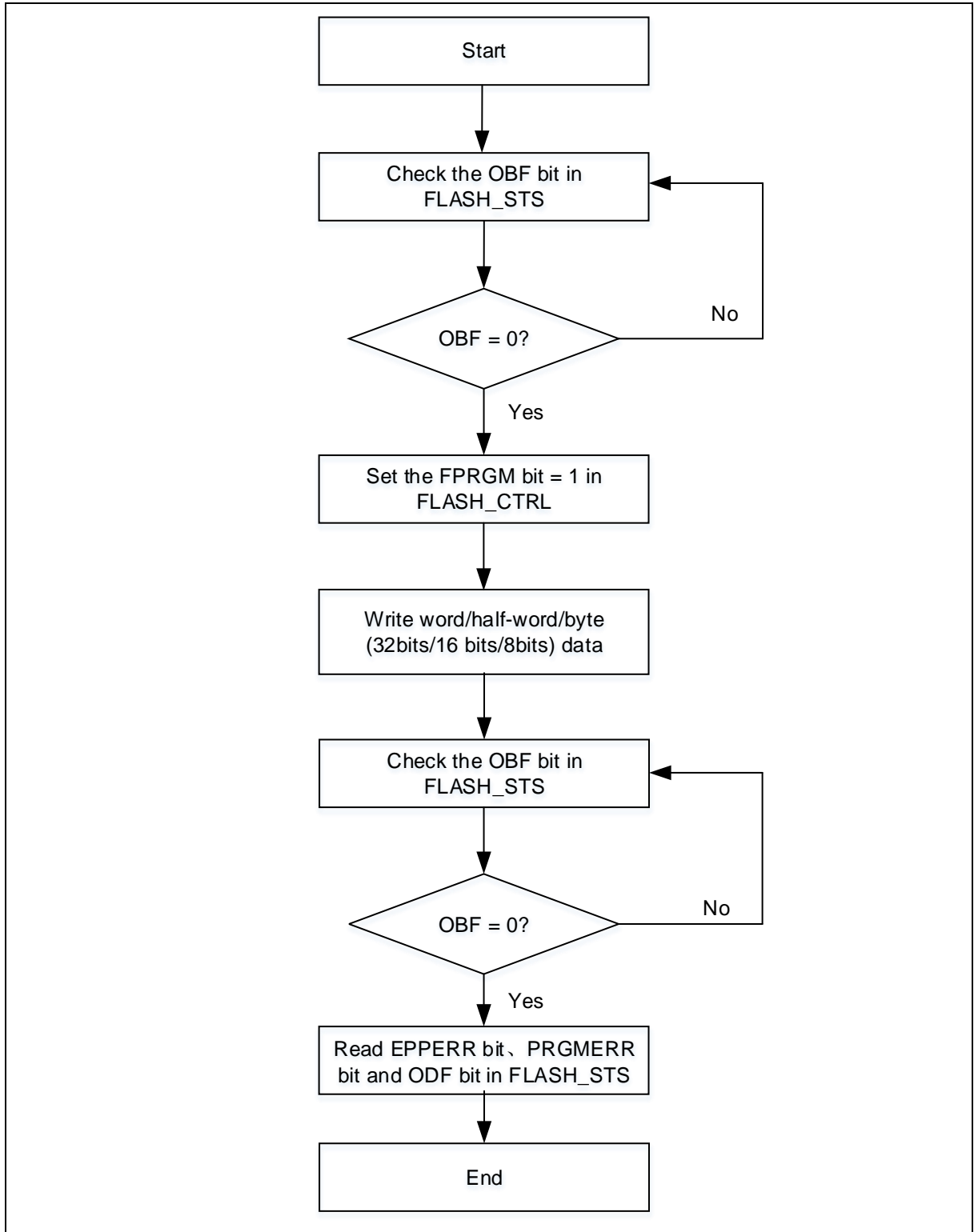
- 检查闪存状态寄存器（FLASH\_STS）的 OBF 位，确认没有正在进行的闪存操作；
- 对闪存控制寄存器（FLASH\_CTRL）的 FPRGM 位置 1，此时可以接受对主闪存的编程指令；
- 对指定的地址写入要编程的数据（任意字/半字/字节）；
- 等待闪存状态寄存器（FLASH\_STS）的 OBF 位变为 '0'，并查询闪存状态寄存器

(FLASH\_STS) 的EPPERR位、PRGMERR位和ODF位，确认编程结果。

注意：

- 1) 当要写入的地址未被提前擦除时，除非要写入的数据值是全 0，否则编程不被执行，并置位闪存状态寄存器（FLASH\_STS）的 PRGMERR 位来告知编程发生错误。
- 2) 编程期间进行读闪存的操作，将导致 CPU 会被暂停直到编程完成才处理读闪存操作。
- 3) 编程操作前必须保证内部的 HICK 有打开

图 5-3 主存储器编程流程图



### 5.2.4 读取

通过 CPU 的 AHB 总线可以直接寻址访问主闪存存储区。

## 5.3 主存扩展区操作

启动程序代码区也可以设定为主存扩展区存放用户应用代码。当作为主存扩展区时，其操作方法，包括读取、解锁、擦除、编程都跟主存储器相同。

## 5.4 用户系统数据区操作

### 5.4.1 解锁/锁定

复位后，用户系统数据区默认是锁定的，需要在闪存解锁后再对用户系统数据区解锁才能成功实现写入与擦除操作。

**解锁流程：**

对 FLASH\_UNLOCK 寄存器顺序写入键值 KEY1 (0x45670123) 和键值 KEY2 (0xCDEF89AB)；  
对 FLASH\_USD\_UNLOCK 寄存器顺序写入键值 KEY1(0x45670123)和键值 KEY2(0xCDEF89AB)，  
闪存控制寄存器 (FLASH\_CTRL) 中的 USDULKS 位将被硬件自动置起，表示允许对用户系统数据区的写、擦除操作。

*注意：解锁必须顺序写入正确的键值，否则会产生总线错误并且闪存会被锁死，直到下一次复位才能恢复。*

**锁定流程：**

软件清除闪存控制寄存器 (FLASH\_CTRL) 中的 USDULKS 位，锁定用户系统数据区。

### 5.4.2 擦除

在编程之前必须先进行擦除操作，用户系统数据区域可单独实现擦除功能。

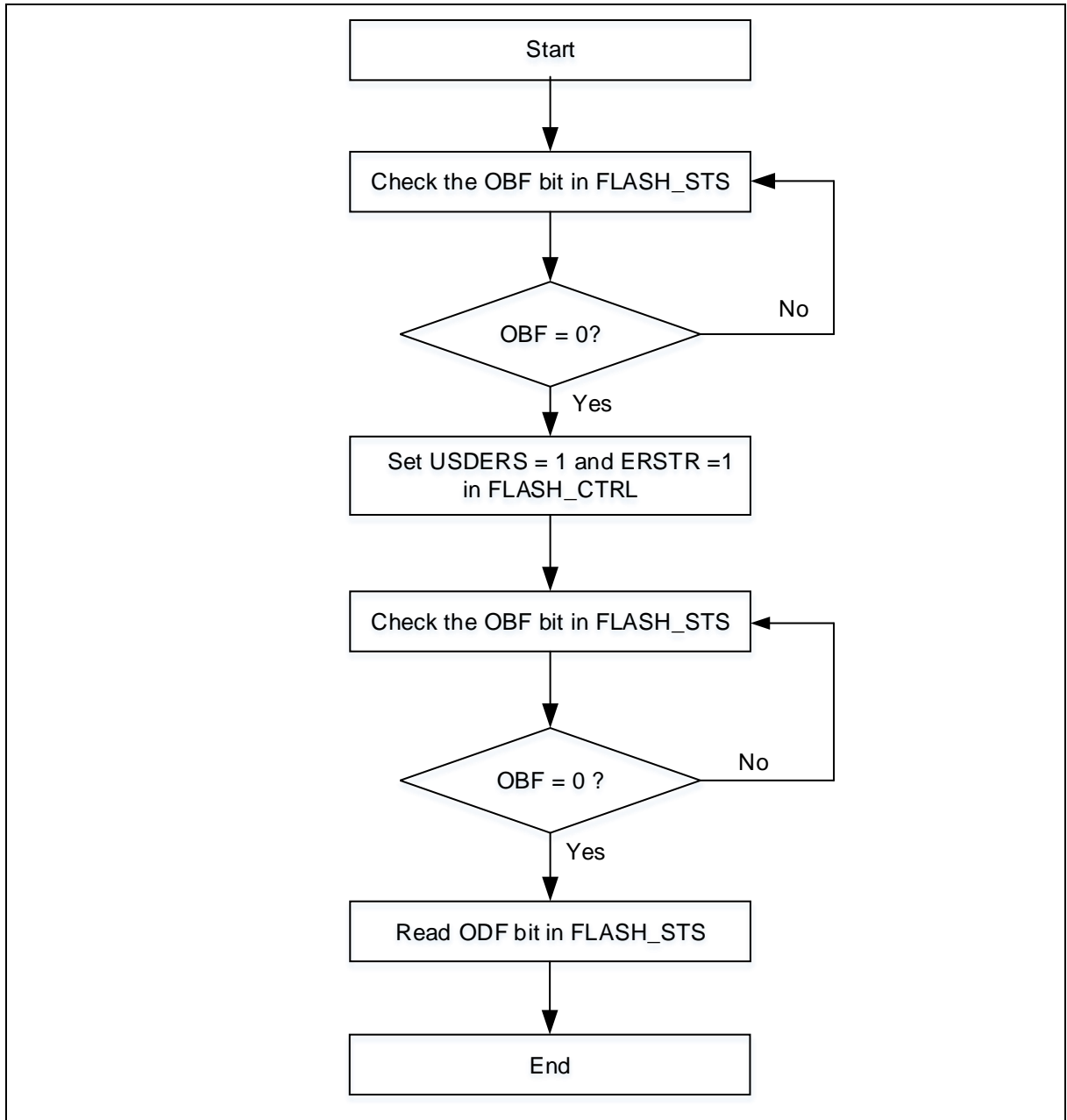
擦除流程如下：

- 检查闪存状态寄存器 (FLASH\_STS) 的 OBF 位，确认没有正在进行的闪存操作；
- 对闪存控制寄存器 (FLASH\_CTRL) 的 USDRS 位以及 ERSTR 位均置 1，启动整块系统数据区擦除；
- 等待闪存状态寄存器 (FLASH\_STS) 的 OBF 位变为 '0'，并查询闪存状态寄存器 (FLASH\_STS) 的 ODF 位，确认擦除结果。

*注意：*

*擦除期间进行读闪存的操作，将导致 CPU 会被暂停直到擦除完成才处理读闪存操作。擦除操作前必须保证内部的 HICK 有打开。*

图 5-4 系统数据区擦除图



### 5.4.3 编程

当想要改写用户系统数据区域的内容时，可以通过用户系统数据区编程流程完成一次写入 32 位或 16 位数据。

系统数据区的编程流程：

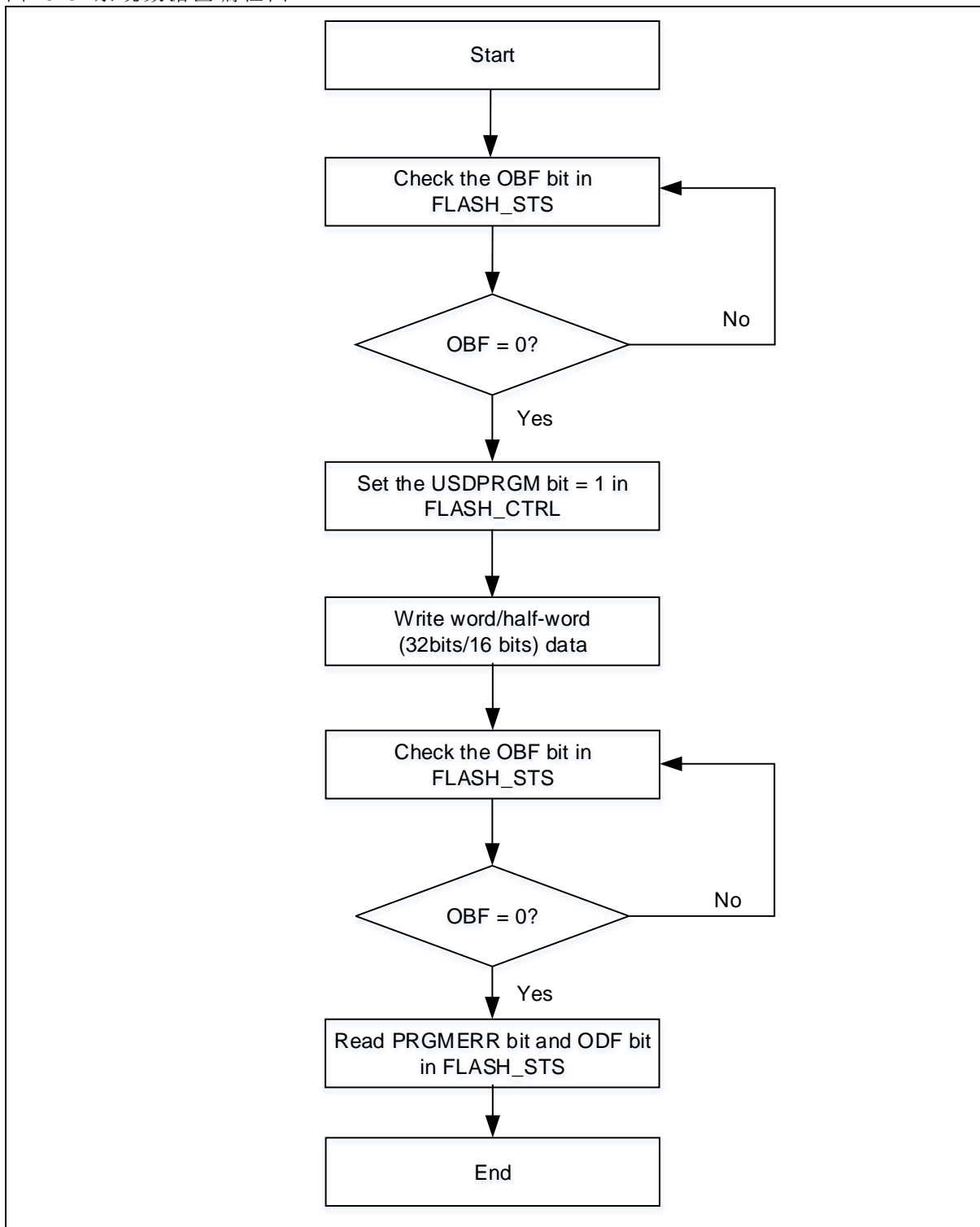
- 检查闪存状态寄存器（FLASH\_STS）的 OBF 位，确认没有正在进行的闪存操作；
- 对闪存控制寄存器（FLASH\_CTRL）的 USDPRGM 位置 1，此时可以接受对用户系统数据区的编程指令；
- 对指定的地址写入要编程的数据（任意字/半字）；
- 等待闪存状态寄存器（FLASH\_STS）的 OBF 位变为 '0'，并查询闪存状态寄存器（FLASH\_STS）的 PRGMERR 位和 ODF 位，确认编程结果。

注意：

编程期间进行读闪存的操作，将导致 CPU 会被暂停直到编程完成才处理读闪存操作。编程操作前必须保证内部的 HICK 有打开。



图 5-5 系统数据区编程图



#### 5.4.4 读取

通过 CPU 的 AHB 总线可以直接寻址访问用户系统数据区。

### 5.5 闪存保护

闪存存储器有访问保护以及擦写保护两种保护方式。

### 5.5.1 访问保护

闪存访问保护分为两类：闪存低级访问保护，闪存高级访问保护。

访问保护启动后，只允许闪存程序对闪存存储器数据进行读出访问，禁止在调试模式下或是从非主闪存存储器启动对闪存存储器数据的读出访问。

#### 闪存低级访问保护

当 nFAP 字节和 FAP 字节存放的内容不等于 0x5A 和 0xA5 以及不等于 0x33 和 0xCC 时，闪存在系统复位后，将启动闪存低级访问保护。

此保护下，用户可以重新擦除系统数据区，并对 FAP 字节写入 0xA5 解除闪存低级访问保护（从低级保护状态变为未保护状态，将自动产生对主闪存以及主存扩展区的整片擦除操作），最后进行系统复位，系统数据装载机重新加载系统数据信息，更新闪存访问保护解除信息（FAP 字节）。

#### 闪存高级访问保护

当 nFAP 字节存放的内容等于 0x33，并且 FAP 字节存放的内容等于 0xCC 时，闪存在系统复位后，将启动闪存高级访问保护。

一旦此保护启动后，将不能被解除，并且禁止用户以任何方式重新擦除以及写入系统数据区。

注意：

- 1) 主存扩展区也支持访问保护功能
- 2) 如果访问保护被置位的时候仍然处于调试模式，必须用 POR（上电复位）代替系统复位清除调试模式，才能恢复闪存程序访问闪存存储器数据的权限。
- 3) 一旦高级访问保护启动后，会禁用 SWD

下表是启动闪存访问保护后，闪存不同区域访问权限说明：

表 5-5 闪存访问权限

区域	保护等级	访问权限					
		调试模式或是从 SRAM 启动以及从启动程序代码区启动			从主闪存启动		
		读	写	擦除	读	写	擦除
主闪存区	低级访问保护	禁止		禁止 (1) (2)	允许		
	高级访问保护	无 (3)			允许		
用户系统数据区	低级访问保护	禁止	允许		允许		
	高级访问保护	无 (3)			允许	禁止	

(1) 主闪存区只会在解除闪存访问保护时被硬件自动擦除

(2) 只禁止扇区擦除，允许整片擦除

(3) 高级访问保护开启时，系统自动从主闪存启动

### 5.5.2 擦写保护

在 64K 及以下容量的闪存中，擦写保护的基本单位为 4 扇区。通过擦写保护可以防止程序在跑飞时闪存存储器的内容被意外更改。

在下面列出的情况下，擦写将不被允许，并会置位 EPPER 位：

- 对被设置为擦写保护的扇区（主闪存以及闪存扩展区）做扇区擦除操作以及编程操作将不被允许
- 对存在任一扇区被设置为擦写保护的主闪存以及闪存扩展区做整片擦除将不被允许
- 闪存访问保护启动后，主闪存扇区 0~3 将被自动擦写保护，不允许做扇区擦除操作以及编程操作
- 闪存访问保护启动后，主存储器及主存扩展区在调试模式或是从非主闪存存储器启动下被自动擦写保护，不允许做扇区擦除操作以及编程操作

## 5.6 读取性能

提升系统时钟频率前须先按照闪存性能选择寄存器（FLASH\_PSR）的 WTCYC 位说明配置读取闪存须插入的延迟时间。

使能闪存性能选择寄存器（FLASH\_PSR）的 PFT\_EN 位、PFT\_EN2 位与 PFT\_LAT\_DIS 位可降低去闪存读取次数。

## 5.7 特殊功能

### 5.7.1 安全库区设定

设定以密码保护主存中指定范围的程序区，即安全库区，仅能被执行，无法写入与删除，除非输入指定密码。安全库区划分为 指令区 与 唯读区。指令区无法读取，唯读区可被读取。

**设定安全库区的益处：**

以密码保护安全库区，方案商可刻录核心算法到此区域；

安全库区仅能执行，无法被读取，除非输入方案商指定密码，也无法删除（包含 ISP/IAP/SWD）；

其余空白程序区可以提供给方案商客户进行二次开发；

方案商可以藉由安全库功能销售核心算法，不需要每个客户都开发完整方案；

设定安全库区，可防止蓄意破坏或更改终端产品应用程序代码。

**注意：**

安全库区代码必须以扇区为单位进行烧录，并且起始地址与主存地址对齐；

仅允许 CPU 指令读取指令库区；

写入或擦除安全库区代码（指令区和唯读区），将在闪存状态寄存器

（FLASH\_STS）的 EPPER 位置‘1’提出警告；

执行主存的整片擦除时，将不会擦除安全库区。

默认状态下，安全库区设定寄存器始终是不可读且被锁定的。要想对安全库区设定寄存器进行写操作，首先要对安全库区解锁，对 SLIB\_UNLOCK 寄存器写入 0xA35F6D24 值，通过查看闪存安全库区额外状态寄存器（SLIB\_MISC\_STS）的位 SLIB\_ULKF 确认解锁成功，随后对安全库区设定寄存器写入设定值。

启动安全库区的流程如下：

- 检查闪存状态寄存器（FLASH\_STS）的 OBF 位，以确认没有其他正在进行的编程操作；
- 对 SLIB\_UNLOCK 寄存器写入 0xA35F6D24，以进行安全库区解锁；
- 检查闪存安全库区额外状态寄存器（SLIB\_MISC\_STS）的 SLIB\_ULKF 位，以确认解锁成功；
- 如果安全库区设在主闪存内，需要在 SLIB\_SET\_RANGE 寄存器设定要保护的扇区，包含指令区与唯读区的地址；如果安全库区设在主存扩展区域，需要设定 EM\_SLIB\_SET 寄存器。
- 等待 OBF 位变为‘0’；
- 在 SLIB\_SET\_PWD 寄存器设定安全库区密码；
- 等待 OBF 位变为‘0’；
- 烧录将存入安全库区的代码；
- 进行系统复位，重装载安全库区设定字；
- 读出 SLIB\_STS0/STS1 寄存器用于判断安全库区设定结果。

**注意：**

不支持同时设定主闪存和主存扩展区域为安全库区；

启动安全库区的流程需要在闪存访问保护未启动时执行

解除安全库区的流程是：

- 在 SLIB\_PWD\_CLR 寄存器写入先前设置的安全区域密码；
- 等待 OBF 位变为‘0’；

- 进行系统复位，重装载安全库区设定字；
- 读出SLIB\_STS0寄存器用于判断安全库区解除结果。

*注意：解除安全库区将会自动执行主存及主存扩展区的整片擦除，以及安全库设定块擦除。*

### 5.7.2 启动程序代码区域作为主存扩展使用

用户只有一次机会将启动程序代码区域作为主存扩展使用。一旦设定成功，主存扩展区将具有主闪存特性。设定启动程序代码区域作为主存扩展使用的流程是：

- 用户读取SLIB\_STS0的位0，获知启动程序代码区域当前的模式
- 对SLIB\_UNLOCK寄存器写入0xA35F6D24，以进行启动程序代码区域模式设定解锁
- 写非0xFF到BTM\_MODE\_SET寄存器的位7-0
- 等待OBF位变为'0'；
- 进行系统复位，重装载设定字；
- 读出SLIB\_STS0寄存器用于判断设定结果。

*注意：启动设定主存扩展区的流程需要在闪存访问保护未启动时执行*

### 5.7.3 CRC校验

以扇区为单位对安全库区代码或用户代码进行可选的CRC校验。

校验流程如下：

- 检查闪存状态寄存器（FLASH\_STS）的OBF位，以确认没有其他正在进行的编程操作；
- 在FLASH\_CRC\_ADDR寄存器设定要校验的代码起始地址；
- 在FLASH\_CRC\_CTRL寄存器位15-0，设定要校验的代码数量（单位是扇区）；
- 在FLASH\_CRC\_CTRL寄存器设置位16，启动CRC校验；
- 等待OBF位变为'0'；
- 读出FLASH\_CRC\_CHK寄存器用于判断CRC校验结果。

*注意：*

*FLASH\_CRC\_ADDR寄存器设定值必须与扇区起始地址对齐；*

*不允许跨主存及主存扩展区的CRC校验。*

## 5.8 FLASH寄存器

必须用字（32位）的方式操作这些外设寄存器。

表 5-6 闪存接口寄存器映射和复位值

寄存器简称	基址偏移量	复位值
FLASH_PSR	0x00	0x0000 01F0
FLASH_UNLOCK	0x04	0xFFFF XXXX
FLASH_USD_UNLOCK	0x08	0xFFFF XXXX
FLASH_STS	0x0C	0x0000 0000
FLASH_CTRL	0x10	0x0000 0080
FLASH_ADDR	0x14	0x0000 0000
FLASH_USD	0x1C	0x03FF FFFC
FLASH_EPPS	0x20	0xFFFF FFFF
SLIB_STS0	0x74	0x00FF 0000
SLIB_STS1	0x78	0xFFFF FFFF
SLIB_PWD_CLR	0x7C	0xFFFF FFFF
SLIB_MISC_STS	0x80	0x0000 0000
FLASH_CRC_ADDR	0x84	0x0000 0000
FLASH_CRC_CTRL	0x88	0x0000 0000

FLASH_CRC_CHKCR	0x8C	0x0000 0000
SLIB_SET_PWD	0x160	0x0000 0000
SLIB_SET_RANGE	0x164	0x0000 0000
EM_SLIB_SET	0x168	0x0000 0000
BTM_MODE_SET	0x16C	0x0000 0000
SLIB_UNLOCK	0x170	0x0000 0000

### 5.8.1 闪存性能选择寄存器（FLASH\_PSR）

域	简称	复位值	类型	功能
位 31:9	保留	0x000000	resd	保持为默认值。
位 8	PFT_LAT_DIS	1	rw	预取时延无效（Prefetch latency disable） 0：闪存预取缓冲区时延开启，访问缓冲区需要等待 1 个系统时钟周期； 1：闪存预取缓冲区时延关闭，访问缓冲区零等待。 推荐此位配置为 1，后续请勿修改。
位 7	PFT_ENF2	1	ro	预取使能标志 2（Prefetch enabled flag2） 该位置起时，表示启动闪存预取缓冲区第二数据块
位 6	PFT_EN2	1	rw	预取使能 2（Prefetch enable2） 0：闪存预取缓冲区第二数据块关闭； 1：闪存预取缓冲区第二数据块开启。 推荐此位配置为 1，后续请勿修改。
位 5	PFT_ENF	1	ro	预取使能标志（Prefetch enabled flag） 该位置起时，表示启动闪存预取缓冲区
位 4	PFT_EN	1	rw	预取使能（Prefetch enable） 0：闪存预取缓冲区关闭； 1：闪存预取缓冲区开启。
位 3	保留	0	resd	保持为默认值。
位 2:0	WTCYC	0x0	rw	等待周期（Wait cycle） 需要根据系统时钟大小来设定闪存访问的等待周期，以系统时钟为单位。 000：零个等待周期，0MHz<系统时钟≤32MHz 使用； 001：一个等待周期，32MHz<系统时钟≤64MHz 使用； 010：两个等待周期，64MHz<系统时钟≤80MHz 使用；

### 5.8.2 闪存解锁寄存器（FLASH\_UNLOCK）

域	简称	复位值	类型	功能
位 31:0	UKVAL	0xFFFF XXXX	wo	解锁键值（Unlock key value） 该寄存器用于解锁主闪存及闪存扩展区。

注意：所有这些位是只写的，读出时返回 0。

### 5.8.3 闪存用户系统数据解锁寄存器（FLASH\_USD\_UNLOCK）

域	简称	复位值	类型	功能
位 31:0	USD_UKVAL	0xFFFF XXXX	wo	用户系统数据解锁键值（User system data unlock key value）

注意：所有这些位是只写的，读出时返回 0。

### 5.8.4 闪存状态寄存器 (FLASH\_STS)

域	简称	复位值	类型	功能
位 31:6	保留	0x0000000	resd	保持为默认值
位 5	ODF	0	rwc1	操作完成标志 (Operation done flag) 当闪存操作 (编程/擦除) 成功完成时, 硬件会置起该位, 软件写'1'可以清除。
位 4	EPPERR	0	rwc1	擦写保护错误 (Erase/Program protection error) 当擦除或编程的闪存地址在擦写保护设定范围内时, 硬件会置起该位, 软件写'1'可以清除。
位 3	保留	0	resd	保持为默认值
位 2	PRGMERR	0	rwc1	编程错误 (Program error) 当编程的闪存地址的值为非擦除状态时, 硬件会置起该位, 软件写'1'可以清除。
位 1	保留	0	resd	保持为默认值
位 0	OBF	0	ro	操作忙标志 (Operation busy flag) 该位置起表示闪存操作正在进行, 该位清除表示操作结束。

### 5.8.5 闪存控制寄存器 (FLASH\_CTRL)

域	简称	复位值	类型	功能
位 31:13	保留	0x0000	resd	保持为默认值
位 12	ODFIE	0	rw	操作完成中断使能 (Operation done flag interrupt enable) 0: 关闭; 1: 开启。
位 11,8,3	保留	0	resd	保持为默认值
位 10	ERRIE	0	rw	错误中断使能 (Error interrupt enable) 开启后 EPPERR 或 PRGMERR 都会产生中断。 0: 关闭; 1: 开启。
位 9	USDULKS	0	rw	用户系统数据解锁成功 (User system data unlock success) 一旦用户系统数据区解锁成功, 该位将被硬件自动置起, 表示允许对用户系统数据的编程/擦除操作。软件写'0'可以清除此位, 重新锁定用户系统数据区。
位 7	OPLK	1	rw	操作锁定 (Operation lock) 该位默认处于置起状态, 表示闪存锁定, 锁定时不允许操作, 解锁成功后, 硬件会自动清除此位, 表示允许闪存编程/擦除操作。软件写'1'可以重新锁定闪存操作。
位 6	ERSTR	0	rw	擦除开始 (Erasing start) 软件置起该位, 开始执行擦除操作。擦除完成后硬件自动清除该位。
位 5	USDERS	0	rw	用户系统数据擦除 (User system data erase) 用户系统数据区擦除。
位 4	USDPRGM	0	rw	用户系统数据编程 (User system data program) 用户系统数据编程。
位 2	BANKERS	0	rw	片擦除 (Bank erase) 擦除片操作。
位 1	SECERS	0	rw	扇区擦除 (Sector erase) 擦除扇区操作。
位 0	FPRGM	0	rw	闪存编程 (Flash program) 编程操作。

### 5.8.6 闪存地址寄存器 (FLASH\_ADDR)

域	简称	复位值	类型	功能
位 31:0	FA	0x0000 0000	wo	闪存地址 (Flash address) 扇区擦除时选择对应的闪存扇区地址。



### 5.8.7 用户系统数据寄存器（FLASH\_USD）

域	简称	复位值	类型	功能
位 31:27	保留	0x00	resd	保持为默认值
位 26	FAP_HL	0	ro	闪存访问保护高级（Flash access protection high level） 闪存访问保护状态使用 {位 26, 位 1}联合判断。 00: 未启动访问保护, 且 FAP 值=0xA5 01: 启动低级访问保护, 且 FAP 值非 0xCC 以及 0xA5 10: 保留 11: 启动高级访问保护, 且 FAP 值=0xCC
位 25:18	USER_D1	0xFF	ro	用户数据 1
位 17:10	USER_D0	0xFF	ro	用户数据 0
位 9:2	SSB	0xFF	ro	系统配置字节（System setting byte） 这里包含加载的用户系统数据区中的系统配置字节 位 9: nRAM_PRT_CHK 位 8: nSTDBY_WDT 位 7: nDEPSLP_WDT 位 6: nBOOT1 位 5: 未用 位 4: nSTDBY_RST 位 3: nDEPSLP_RST 位 2: nWDT_ATO_EN
位 1	FAP	0	ro	闪存访问保护（Flash access protection）
位 0	USDERR	0	ro	用户系统数据错误（User system data error） 该位置起表示用户系统数据中某字节和它的反码不匹配。此时该字节和它的反码读出值将被硬件自动强制置为 0xFF

### 5.8.8 擦除编程保护状态寄存器（FLASH\_EPPS）

域	简称	复位值	类型	功能
位 31:0	EPPS	0xFFFF FFFF	ro	擦除/编程保护状态（Erase/Program protection status） 该寄存器反映的是加载的用户系统数据中的擦写保护字节状态。

### 5.8.9 闪存安全库区状态寄存器0（SLIB\_STS0）

专用于闪存安全库区。

域	简称	复位值	类型	功能
位 31:24	保留	0x00	resd	保持为默认值
位 23:16	EM_SLIB_INST_SS	0xFF	ro	主存扩展存储区安全库区指令起始扇区（Extension memory sLib instruction start sector） 00000000: 扇区 0 00000001: 扇区 1 00000010: 扇区 2 00000011: 扇区 3 11111111: 无指令安全区 其余设定值: 无效
位 15:4	保留	0x000	resd	保持为默认值
位 3	SLIB_ENF	0	ro	sLib 使能标志（sLib enabled flag） 该位置起时, 表示闪存主存区域部分或是全部（依照 SLIB_STS1 设定）作为安全库代码。
位 2	EM_SLIB_ENF	0	ro	主存扩展存储区 sLib 使能标志（Extension memory sLib enabled flag） 该位置起时, 表示启动程序代码区域是作为主闪存扩展区域（BTM_AP_ENF 置起）, 并且存放的应用代码为安全库代码
位 1	保留	0	resd	保持为默认值
位 0	BTM_AP_ENF	0	ro	启动程序代码区域存放应用代码使能标志（Boot memory store application code enabled flag）



该位置起时，表示启动程序代码区域可以作为主存扩展区域存放用户应用代码；否则仅用于存放系统启动代码

### 5.8.10 闪存安全库区状态寄存器1（SLIB\_STS1）

专用于闪存安全库区。

域	简称	复位值	类型	功能
				主存安全库区结束扇区（sLib end sector） 0000000000：扇区 0 0000000001：扇区 1 0000000010：扇区 2 ...
位 31:22	SLIB_ES	0x3FF	ro	0000001111：扇区 15（16KB 主闪存存储器的最后扇区） ... 0000011111：扇区 31（32KB 主闪存存储器的最后扇区） ... 0000111111：扇区 63（64KB 主闪存存储器的最后扇区）
				主存安全库区指令区起始扇区（sLib instruction start sector） 0000000000：扇区 0 0000000001：扇区 1 0000000010：扇区 2 ...
位 21:11	SLIB_INST_SS	0x7FF	ro	00000001111：扇区 15（16KB 主闪存存储器的最后扇区） ... 00000011111：扇区 31（32KB 主闪存存储器的最后扇区） ... 00000111111：扇区 63（64KB 主闪存存储器的最后扇区） 11111111111：无安全库区指令区
				主存安全库区起始扇区（sLib start sector） 0000000000：扇区 0 0000000001：扇区 1 0000000010：扇区 2 ...
位 10:0	SLIB_SS	0x7FF	ro	00000001111：扇区 15（16KB 主闪存存储器的最后扇区） ... 00000011111：扇区 31（32KB 主闪存存储器的最后扇区） ... 00000111111：扇区 63（64KB 主闪存存储器的最后扇区）

### 5.8.11 闪存安全库区密码清除寄存器（SLIB\_PWD\_CLR）

专用于闪存安全库区。

域	简称	复位值	类型	功能
位 31:0	SLIB_PCLR_VAL	0x0000 0000	wo	安全库区密码清除（sLib password clear value） 用于写入正确的安全库区密码，将实现解除安全库区功能。 此寄存器写入状态将在闪存安全库区额外状态寄存器（SLIB_MISC_STS）位 0 与位 1 中体现。

### 5.8.12 闪存安全库区额外状态寄存器（SLIB\_MISC\_STS）

专用于闪存安全库区。

域	简称	复位值	类型	功能
位 31:3	保留	0x00000000	resd	保持为默认值
位 2	SLIB_ULKF	0	ro	SLib 解锁标志（sLib unlock flag） 当该位置起时表示 SLib 相关设定寄存器允许配置。
位 1	SLIB_PWD_OK	0	ro	密码正确（sLib password ok） 当密码正确，该位被硬件置起。
位 0	SLIB_PWD_ERR	0	ro	密码错误（sLib password error）

当密码错误，并且设定的密码清除寄存器的值不等于 0xFFFF FFFF，该位被硬件置起。

注意：当该位置起后，硬件将不再接受重新设定密码清除寄存器，直到再次复位。

### 5.8.13 闪存CRC校验地址寄存器（FLASH\_CRC\_ADDR）

专用于主闪存以及主存扩展区域。

域	简称	复位值	类型	功能
位 31:0	CRC_ADDR	0x0000 0000	wo	CRC 地址（CRC address） 选择要校验的闪存扇区起始地址。 注意：必须与扇区起始地址对齐

注意：所有这些位是只写的，读出无反应。

### 5.8.14 闪存CRC校验控制寄存器（FLASH\_CRC\_CTRL）

专用于主闪存以及主存扩展区域。

域	简称	复位值	类型	功能
位 31:17	保留	0x0000	resd	保持为默认值
位 16	CRC_STRT	0	wo	启动 CRC 校验（CRC start） 设置该位去启动用户代码或是安全库代码的 CRC 校验功能。 硬件启动 CRC 后，会自动清除该位。 注意： 校验数据从 CRC_ADDR ~ CRC_ADDR+CRC_SN*1 扇区
位 15:0	CRC_SN	0x0000	wo	CRC 校验扇区数量（CRC sector number） 设定本次 CRC 校验的数据量，单位是扇区

### 5.8.15 闪存CRC校验结果寄存器（FLASH\_CRC\_CHKR）

专用于主闪存以及主存扩展区域。

域	简称	复位值	类型	功能
位 31:0	CRC_CHKR	0x0000 0000	ro	CRC 校验结果（CRC check result）

注意：所有这些位是只读的，写入无反应。

### 5.8.16 闪存安全库区密码设定寄存器（SLIB\_SET\_PWD）

专用于闪存安全库区密码设定。

域	简称	复位值	类型	功能
位 31:0	SLIB_PSET_VAL	0x0000 0000	wo	安全库区密码（sLib password setting value） 注意：在解除安全库区锁定后，此寄存器才允许被写入，用于设定安全库区启动密码。但写入 0xFFFF_FFFF 以及 0x0000_0000 值无效。

注意：所有这些位是只写入，读出为 0。

### 5.8.17 闪存安全库区地址设定寄存器（SLIB\_SET\_RANGE）

专用于主存安全库区地址设定。

域	简称	复位值	类型	功能
位 31:22	SLIB_ES_SET	0x000	wo	主存安全库区结束扇区设定（sLib end sector setting） 用于设定启动安全库区时的安全库区结束扇区位置 00000000000: 扇区 0 00000000001: 扇区 1 00000000010: 扇区 2 ... 00000011111: 扇区 15（16KB 主闪存存储器的最后扇区）

				...
				0000011111: 扇区 31 (32KB 主闪存存储器的最后扇区)
				...
				0000111111: 扇区 63 (64KB 主闪存存储器的最后扇区)
				主存安全库区指令区起始扇区设定 (sLib instruction start sector setting)
				用于设定启动安全库区时的指令区起始扇区位置
				0000000000: 扇区 0
				0000000001: 扇区 1
				0000000010: 扇区 2
位 21:11	SLIB_ISS_SET	0x000	wo	...
				0000000111: 扇区 15 (16KB 主闪存存储器的最后扇区)
				...
				0000001111: 扇区 31 (32KB 主闪存存储器的最后扇区)
				...
				0000011111: 扇区 63 (64KB 主闪存存储器的最后扇区)
				1111111111: 无安全库区指令区
				主存安全库区起始扇区设定 (sLib start sector setting)
				用于设定启动安全库区时的安全库区起始扇区位置
				0000000000: 扇区 0
				0000000001: 扇区 1
				0000000010: 扇区 2
位 10:0	SLIB_SS_SET	0x000	wo	...
				0000001111: 扇区 15 (16KB 主闪存存储器的最后扇区)
				...
				0000011111: 扇区 31 (32KB 主闪存存储器的最后扇区)
				...
				0000111111: 扇区 63 (64KB 主闪存存储器的最后扇区)

注意:

所有这些位是只写入, 读出为 0。

在解除安全库区锁定后, 此寄存器才允许被写入。

超过主闪存存储地址范围均是无效设定。

### 5.8.18 主存扩展存储区域安全库区设定寄存器 (EM\_SLIB\_SET)

专用于主存扩展区域。

域	简称	复位值	类型	功能
位 31:24	保留	0x00	resd	保持为默认值
				主存扩展区安全库区指令区起始扇区设定 (Extension memory sLib instruction start sector setting)
				用于设定启动安全库区时的指令区起始扇区位置
				00000000: 扇区 0
				00000001: 扇区 1
				00000010: 扇区 2
				00000011: 扇区 3
				11111111: 无指令安全区
				其余设定值: 无效
				注意:
				当设为 0xFF, 表示主存扩展区从扇区 0 至扇区 3 都为安全库区, 且整个安全库区作为唯读取;
				主存扩展存储区 sLib 设定 (Extension memory sLib setting)
				写入 0x5AA5 将启动主存扩展区作为存放安全库区代码功能
位 15:0	EM_SLIB_SET	0x000	wo	

注意: 所有这些位是只写的, 读出无反应。

### 5.8.19 启动程序代码区模式设定寄存器 (BTM\_MODE\_SET)

专用于启动程序代码区域。

域	简称	复位值	类型	功能
位 31:8	保留	0x000000	resd	保持为默认值
位 7:0	BTM_MODE_SET	0x00	wo	启动程序代码区模式设定 (Boot memory mode setting) 0xFF: 启动程序代码区域作为系统区域, 存放系统启动代码功能 其他值: 启动程序代码区域作为主存扩展区域, 存放应用代码功能 注意: 此寄存器的设定需要在闪存访问保护未启动下进行

*注意: 所有这些位是只写的, 读出无反应。*

## 5.8.20 闪存安全库区解锁寄存器 (SLIB\_UNLOCK)

专用于安全库区寄存器的解锁设定。

域	简称	复位值	类型	功能
位 31:0	SLIB_UKVAL	0x0000 0000	wo	安全库区解锁键值 (sLib unlock key value) 固定键值 0xA35F_6D24, 用于安全库区设定寄存器的解锁。

*注意: 所有这些位是只写入, 读出为0。*

## 6 通用和复用功能 I/O（GPIO 和 IOMUX）

### 6.1 简介

AT32L021 支持多达 39 个双向 I/O 引脚，这些引脚分为 4 组，分别为 PA0-PA15、PB0-PB15、PC13-PC15、PF0-PF1 与 PF6-PF7，每个引脚都可以实现与外部的通讯、控制以及数据采集的功能。

每个引脚都支持通用功能输入输出（GPIO）或复用功能输入输出（IOMUX）。

每个引脚都可以软件配置成浮空输入、上拉/下拉输入、模拟输入/输出、通用推挽/开漏输出、复用推挽/开漏输出。

每个引脚都有独立的弱上拉/下拉功能。

每个引脚都可以软件配置输出驱动能力。

每个引脚都可以配置为外部中断输入。

每个引脚都支持配置锁定功能。

### 6.2 功能描述

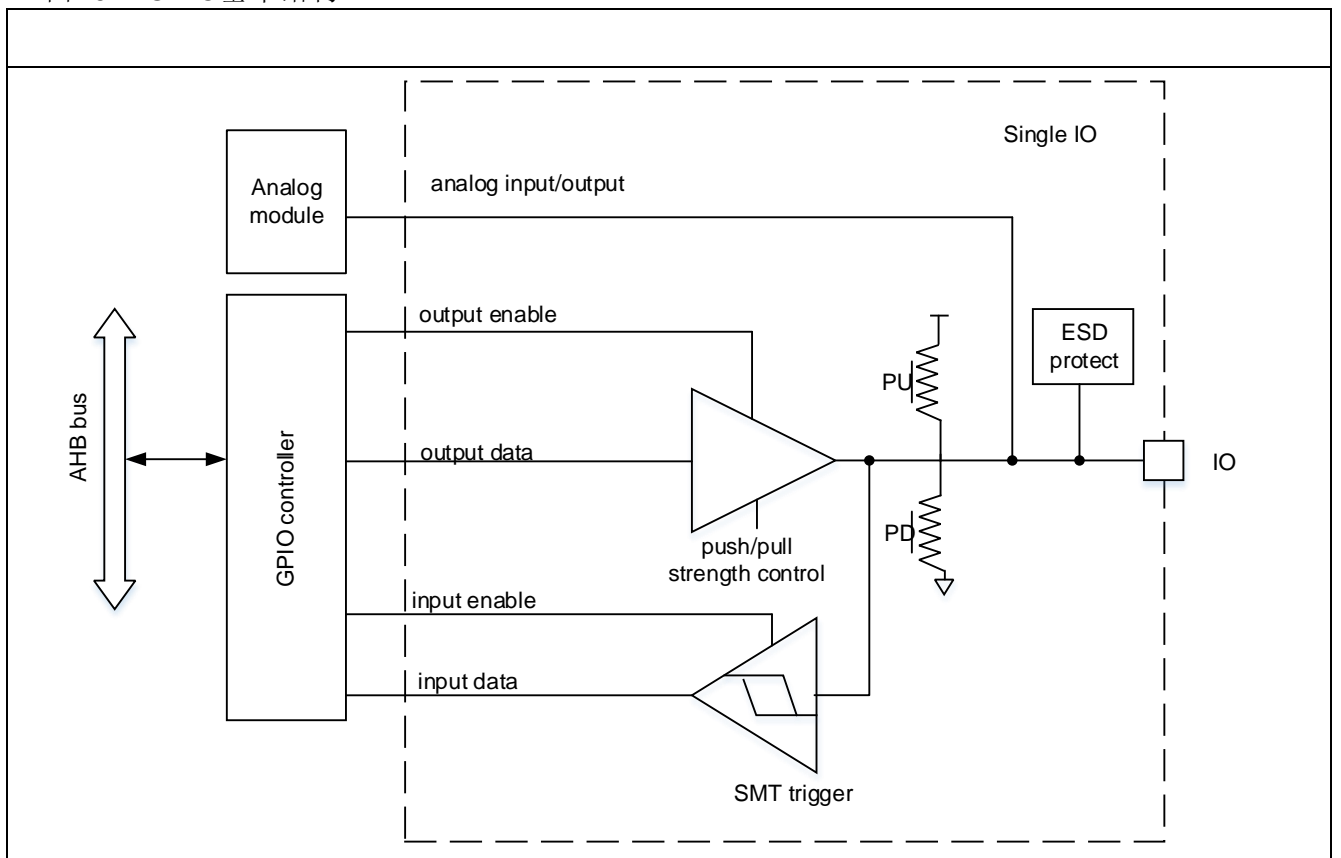
#### 6.2.1 GPIO 结构

每个引脚可以由软件配置成四种输入模式（输入浮空、输入上拉、输入下拉、模拟输入）和四种输出模式（开漏输出、推挽式输出、推挽式复用、开漏复用）。

每个 I/O 端口对应的寄存器允许字、半字或字节访问，每个 I/O 端口位可以自由编程。

下图给出了一个 I/O 端口位的基本结构。

图 6-1 GPIO 基本结构



## 6.2.2 GPIO复位状态

系统上电或复位后，所有引脚除了 SWD 相关引脚以外，都被配置为模拟模式。SWD 相关引脚则配置为：PA13/ SWDIO 为复用功能上拉模式，PA14/SWCLK 为复用功能下拉模式。

## 6.2.3 通用功能输入配置

配置模式	IOMC	PUPD
通用浮空输入	00	00
通用下拉输入		10
通用上拉输入		01

当引脚配置为输入时：

- 引脚状态可通过对输入数据寄存器的读访问得到
- 可配置引脚为浮空输入、上拉输入或下拉输入
- 施密特触发器有效
- 不能对该引脚进行输出。

*注意：如果是浮空输入模式，为避免复杂环境下，没有使用的引脚有干扰，导致漏电，建议，如引脚不使用，则配置为模拟输入模式。*

## 6.2.4 模拟输入/输出配置

配置模式	IOMC	PUPD
模拟输入输出	11	不使用

当 GPIO 端口被配置为模拟输入配置时：

- 施密特触发无效
- 不能对该引脚进行数字输入输出
- 对应的引脚，不能设置上拉/下拉电阻。

## 6.2.5 通用功能输出配置

配置模式	IOMC	OM	HDRV	ODRV[1: 0]	PUPD
通用推挽无上拉/下拉	01	0	000: 输出模式，适中电流推动/吸入能力	000: 输出模式，适中电流推动/吸入能力 001: 输出模式，较大电流推动/吸入能力 010: 输出模式，适中电流推动/吸入能力 011: 输出模式，适中电流推动/吸入能力 1xx: 输出模式，极大电流推动/吸入能力	00 或 11
通用推挽上拉	01	0	001: 输出模式，较大电流推动/吸入能力		01
通用推挽下拉	01	0	010: 输出模式，适中电流推动/吸入能力 011: 输出模式，适中电流推动/吸入能力 1xx: 输出模式，极大电流推动/吸入能力		10
通用开漏无上拉/下拉	01	1	000: 输出模式，适中电流推动/吸入能力	000: 输出模式，适中电流推动/吸入能力 001: 输出模式，较大电流推动/吸入能力 010: 输出模式，适中电流推动/吸入能力 011: 输出模式，适中电流推动/吸入能力 1xx: 输出模式，极大电流推动/吸入能力	00 或 11
通用开漏上拉	01	1	001: 输出模式，较大电流推动/吸入能力		01
通用开漏下拉	01	1	010: 输出模式，适中电流推动/吸入能力 011: 输出模式，适中电流推动/吸入能力 1xx: 输出模式，极大电流推动/吸入能力		10

当 GPIO 端口被配置为输出时：

- 施密特触发器有效
- 可通过输出寄存器让对应引脚输出
- 在开漏模式时，可强输出0，可用上拉电阻输出1。
- 在推挽模式时，可通过输出寄存器输出数字0/1。
- 提供GPIO 翻转/设置/清除寄存器控制对应的GPIO数据输出寄存器的翻转/设置/清除

*注意：GPIO 设置/清除寄存器 对应同一个引脚的 IOCB/IOSB 同时写 1，IOSB 优先级高于 IOCB*

### 6.2.6 GPIO端口保护

为了防止误操作导致 GPIO 功能混乱，提供每个对应引脚的的锁定机制。一旦锁定，在下次复位或者上电之前都不能进行对应引脚的 GPIO 配置。

### 6.2.7 IOMUX功能结构

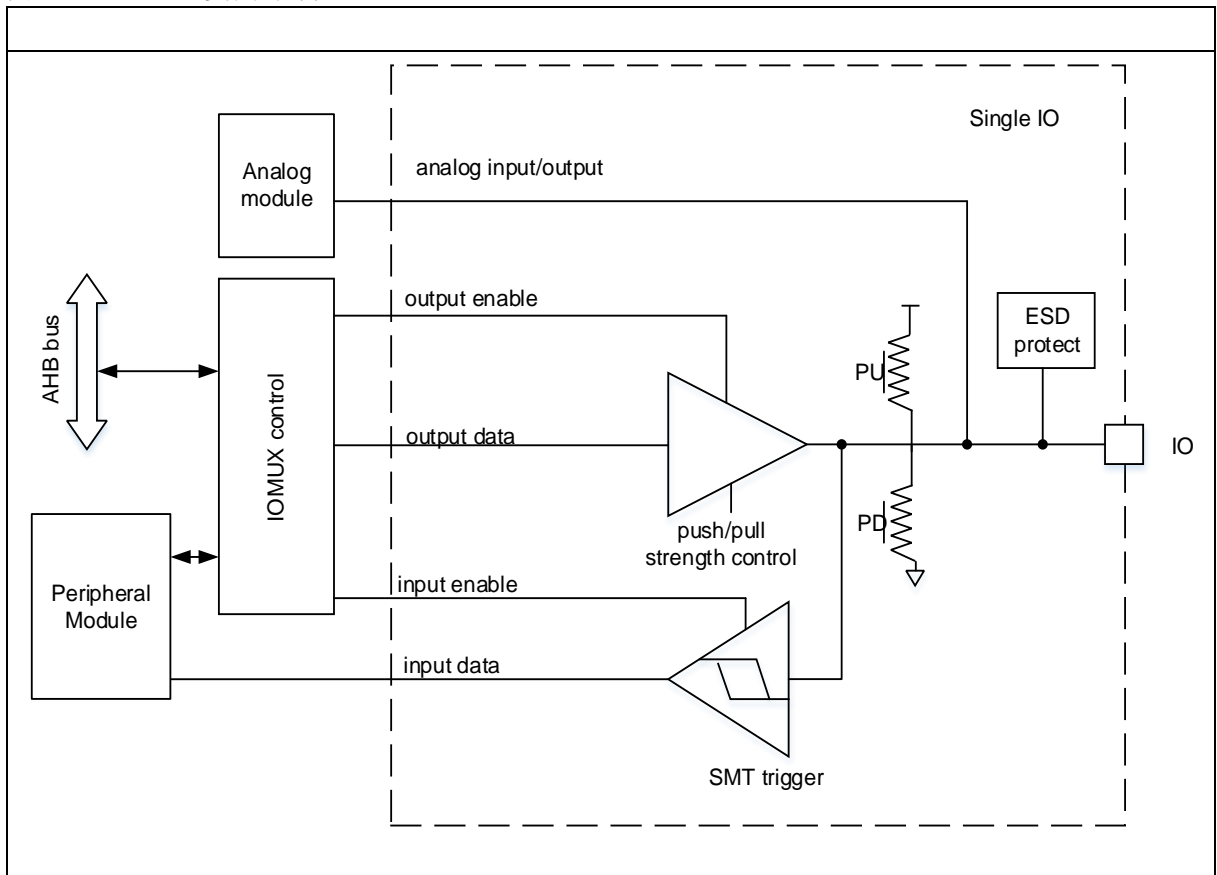
大多数引脚支持多个外设的输出功能映射，通过 IOMUX 功能输入/输出章节查找表来选择每个引脚对应的外设输入输出功能。通过引脚所对应的 GPIOx\_MUXL（从引脚 0 到引脚 7）或 GPIOx\_MUXH(从引脚 8 到引脚 15) 进行对应的设置,单一引脚有多达 8 种不同的 IOMUX 映射方案，方便灵活选用每个引脚通过设定 GPIOx\_MUXL 或 GPIOx\_MUXH，只会和单一外设的单一脚进行对应，不存在单一引脚多个外设抢占的冲突。

引脚作为复用输入功能时，端口配置成复用模式（浮空、上拉、下拉）。

要实现复用输出功能，必须配置 GPIOx\_CFGR 或 GPIOx\_OMODE 寄存器将该端口设定为复用功能模式以及推挽或开漏的输出模式。此时引脚和 GPIO 控制器断开，由 IOMUX 控制器进行控制。

要实现双向复用功能，与复用输出功能一样，将该端口设定为复用模式（推挽或开漏）即可。由 IOMUX 控制器进行控制。

图 6-2 IOMUX复用结构



### 6.2.8 复用功能上下拉配置

配置模式	IOMC	PUPD
复用浮空	10	00
复用下拉		10
复用上拉		01

当引脚配置为输入时：

- 引脚状态可通过对输入数据寄存器的读访问得到
- 可配置引脚为浮空输入、上拉输入或下拉输入
- 施密特触发器有效



- 不能对该引脚进行GPIO输出。

## 6.2.9 IOMUX功能输入/输出

选择每个端口线的有效复用功能是通过 GPIOx\_MUXL（从引脚 0 到引脚 7）或 GPIOx\_MUXH(从引脚 8 到引脚 15) 进行设置。

表 6-1通过GPIOA\_MUX\*寄存器配置端口A的复用功能

引脚名	MUX0	MUX1	MUX2	MUX3	MUX4	MUX5	MUX6	MUX7
PA0	USART2_RX	USART2_CTS		I2C2_SCL	USART4_TX	TMR1_ETR		
PA1		USART2_RTS		I2C2_SDA	USART4_RX	TMR15_CH1C	I2C1_SMBA	EVENTOUT
PA2	TMR15_CH1	USART2_TX			CAN_RX			
PA3	TMR15_CH2	USART2_RX			CAN_TX	I2S2_MCK		
PA4	SPI1_NSS / I2S1_WS	USART2_CK			TMR14_CH1	I2C1_SCL	SPI2_NSS / I2S2_WS	
PA5	SPI1_SCK / I2S1_CK			USART3_CK	USART3_RX			
PA6	SPI1_MISO / I2S1_MCK	TMR3_CH1	TMR1_BKIN	USART3_RX	USART3_CTS	TMR16_CH1	I2S2_MCK	EVENTOUT
PA7	SPI1_MOSI / I2S1_SD	TMR3_CH2	TMR1_CH1C	USART3_TX	TMR14_CH1	TMR17_CH1	EVENTOUT	
PA8	CLKOUT	USART1_CK	TMR1_CH1	EVENTOUT	USART2_TX			I2C2_SCL
PA9	TMR15_BKIN	USART1_TX	TMR1_CH2		I2C1_SCL	CLKOUT		I2C2_SMBA
PA10	TMR17_BKIN	USART1_RX	TMR1_CH3		I2C1_SDA	RTC_REFIN		I2C2_SMBA
PA11		USART1_CTS	TMR1_CH4		CAN_RX	I2C2_SCL	I2C1_SMBA	EVENTOUT
PA12		USART1_RTS_DE	TMR1_ETR		CAN_TX	I2C2_SDA		EVENTOUT
PA13	SWDIO	IR_OUT				I2C1_SDA	SPI2_MISO / I2S2_MCK	
PA14	SWCLK	USART2_TX				I2C1_SMBA	SPI2_MOSI / I2S2_SD	
PA15	SPI1_NSS / I2S1_WS	USART2_RX		EVENTOUT	USART4_RTS_DE		SPI2_NSS / I2S2_WS	

表 6-2 通过GPIOB\_MUX\*寄存器配置端口B的复用功能

引脚名	MUX0	MUX1	MUX2	MUX3	MUX4	MUX5	MUX6	MUX7
PB0		TMR3_CH3	TMR1_CH2C	USART2_RX	USART3_CK	EVENTOUT	I2S1_MCK	SPI1_MISO / I2S1_MCK
PB1	TMR14_CH1	TMR3_CH4	TMR1_CH3C	USART2_CK	USART3_RTS_DE		SPI2_SCK / I2S2_CK	SPI1_MOSI / I2S1_SD
PB2			TMR3_ETR					I2C1_SMBA
PB3	SPI1_SCK / I2S1_CK	EVENTOUT			USART1_RTS_DE	USART2_CTS	SPI2_SCK / I2S2_CK	
PB4	SPI1_MISO / I2S1_MCK	TMR3_CH1	EVENTOUT		USART1_CTS	TMR17_BKIN	SPI2_MISO / I2S2_MCK	I2C2_SDA
PB5	SPI1_MOSI / I2S1_SD	TMR3_CH2	TMR16_BKIN	I2C1_SMBA	USART1_CK	USART2_RTS_DE	SPI2_MOSI / I2S2_SD	
PB6	USART1_TX	I2C1_SCL	TMR16_CH1C		USART4_CK		I2S1_MCK	
PB7	USART1_RX	I2C1_SDA	TMR17_CH1C		USART4_CTS			
PB8	USART1_TX	I2C1_SCL	TMR16_CH1	EVENTOUT	CAN_RX			
PB9	IR_OUT	I2C1_SDA	TMR17_CH1	EVENTOUT	CAN_TX		I2S1_MCK	SPI2_NSS / I2S2_WS
PB10		I2C2_SCL			USART3_TX			SPI2_SCK / I2S2_CK



PB11		I2C2_SDA		EVENTOUT	USART3_RX			
PB12	SPI2_NSS / I2S2_WS	EVENTOUT	TMR1_BKIN		USART3_CK	TMR15_BKIN		I2C2_SMBA
PB13	SPI2_SCK / I2S2_CK	TMR15_CH1C	TMR1_CH1C	CLKOUT	USART3_CTS	I2C2_SCL		
PB14	SPI2_MISO / I2S2_MCK	TMR15_CH1	TMR1_CH2C		USART3_RTS_DE	I2C2_SDA		
PB15	SPI2_MOSI / I2S2_SD	TMR15_CH2	TMR1_CH3C	TMR15_CH1C		RTC_REFIN		

表 6-3 通过GPIOC\_MUX\*寄存器配置端口C的复用功能

引脚名	MUX0	MUX1	MUX2	MUX3	MUX4	MUX5	MUX6	MUX7
PC13								
PC14								
PC15								

表 6-4 通过GPIOF\_MUX\*寄存器配置端口F的复用功能

引脚名	MUX0	MUX1	MUX2	MUX3	MUX4	MUX5	MUX6	MUX7
PF0		I2C1_SDA	TMR1_CH1					
PF1		I2C1_SCL	TMR1_CH2C				SPI2_NSS / I2S2_WS	
PF6	I2C2_SCL				USART4_RX			
PF7	I2C2_SDA				USART4_TX			

注意：EVENTOUT是Cortex-MT的TXEV信号

## 6.2.10 外设复用功能引脚配置

当外设需要使用 IOMUX 复用功能时：

- 如果外设引脚需要作为复用输出则对应的引脚配置成复用推挽/开漏输出
- 如果外设引脚需要作为复用输入则对应的引脚配置成复用模式（浮空/上拉/下拉）
- ADC外设需要将模拟通道对应的引脚配置为模拟输入/输出模式
- I<sup>2</sup>C外设需要对引脚作为双向复用功能时，需把对应的引脚配置复用开漏模式

## 6.2.11 IOMUX映射优先级

除了个别引脚可能会被硬件直接抢占，其他外设都可通过配置 GPIOx\_MUXL/GPIOx\_MUXH 寄存器得到唯一外设复用。

某些引脚不管 GPIO 配置为任何模式，都会被特定的硬件功能直接占用。

表 6-5 硬件抢占功能

引脚名字	抢占使能位	说明
PA0	PWC_CTRLTS[8]=1	抢占使能位有效之后，PA0 引脚直接作为 PWC 的 WKUP1 功能使用
PC13	PWC_CTRLTS[9]=1	抢占使能位有效之后，PC13 引脚直接作为 PWC 的 WKUP2 功能使用
PA2	PWC_CTRLTS[11]=1	抢占使能位有效之后，PA2 引脚直接作为 PWC 的 WKUP4 功能使用
PB5	PWC_CTRLTS[13]=1	抢占使能位有效之后，PB5 引脚直接作为 PWC 的 WKUP6 功能使用
PB15	PWC_CTRLTS[14]=1	抢占使能位有效之后，PB15 引脚直接作为 PWC 的 WKUP7 功能使用
PC13	(ERTC_CTRL[23]=1)  (ERTC_CTRL[22: 21]!=00)  (ERTC_CTRL[11]=1& ERTC_TAMP[17]=0)  (ERTC_TAMP[0]=1& ERTC_TAMP[16]=0)	抢占使能位有效之后，PC13 作为 RTC 通道使用
PC14	CRM_BPDC[0]=1	抢占使能位有效之后，PC14 作为 LEXT 通道使用
PC15	CRM_BPDC[0]=1 & CRM_BPDC[2]=0	抢占使能位有效之后，PC15 作为 LEXT 通道使用
PF0	CRM_CTRL[16]=1	抢占使能位有效之后，PF0 作为 HEXT 通道使用

PF1	CRM_CTRL[16]=1& CRM_CTRL[18]=0	抢占使能位有效之后, PF1 作为 HEXT 通道使用
-----	-----------------------------------	-----------------------------

注意: PC13 不能同时使能 TAMPER\_BPR 功能和 PWC 的 WKUP 功能。

## 6.2.12 外部中断/唤醒线

每个引脚都支持作为外部中断的输入, 对应的引脚须配置为输入模式。

## 6.3 GPIO寄存器

下面列出了 GPIO 寄存器映像和复位数值。

可以用字节 (8 位)、半字 (16 位) 或字 (32 位) 的方式操作这些外设寄存器。

表 6-6 GPIO寄存器地址映像和复位值

寄存器简称	基址偏移量	复位值
GPIOA_CFGR	0x00	0xEBFF FFFF
GPIOx_CFGR(x =B,C,F)	0x00	0xFFFF FFFF
GPIOx_OMODER	0x04	0x0000 0000
GPIOA_ODRVR	0x08	0x0C00 0000
GPIOx_ODRVR(x =B,C,F)	0x08	0x0000 0000
GPIOA_PULL	0x0C	0x2400 0000
GPIOx_PULL(x = B,C,F)	0x0C	0x0000 0000
GPIOx_IDT	0x10	0x0000 XXXX
GPIOx_ODT	0x14	0x0000 0000
GPIOx_SCR	0x18	0x0000 0000
GPIOx_WPR	0x1C	0x0000 0000
GPIOx_MUXL	0x20	0x0000 0000
GPIOx_MUXH	0x24	0x0000 0000
GPIOx_CLR	0x28	0x0000 0000
GPIOx_TOGR	0x2C	0x0000 0000
GPIOx_HDRV	0x3C	0x0000 0000

### 6.3.1 GPIO配置寄存器 (GPIOx\_CFGR) (x=A..C,F)

偏移地址: 0x00

复位值: 0xEBFFFFFF 端口 A

0xFFFFFFFF 其它端口

域	简称	复位值	类型	功能
位 2y+1: 2y	IOMCy	0xEBFF FFFF	rw	GPIOx 模式配置 (y=0~15) (GPIOx mode configurate) 用于配置 GPIOx 的工作模式: 00: 输入 01: 通用输出 10: 复用功能 11: 模拟

### 6.3.2 GPIO输出模式寄存器 (GPIOx\_OMODE) (x=A..C,F)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	始终读为 0。
位 15: 0	OM	0x0000	rw	GPIOx 的输出模式配置 (y=0..15) (GPIOx output mode)

configure)

当 GPIOx 用作输出时，可选择以下两种输出模式：

0：推挽（复位状态）

1：开漏

### 6.3.3 GPIO电流推动/吸入能力切换控制寄存器（GPIOx\_ODRVR）（x=A..C,F）

偏移地址：0x08

复位值：0x0C00 0000 端口 A

0x00000000 其它端口

域	简称	复位值	类型	功能
位 2y+1: 2y	ODRVy	0x0C00 0000	rw	GPIOx 的驱动能力配置（y=0...15）（GPIOx drive capability） 用于配置相应的 I/O 端口电流能力： x0：适中电流推动/吸入能力 01：较大电流推动/吸入能力 11：适中电流推动/吸入能力

### 6.3.4 GPIO上/下拉寄存器（GPIOx\_PULL）（x=A..C,F）

偏移地址：0x0C

复位值：0x2400 0000 端口 A

0x00000000 其它端口

域	简称	复位值	类型	功能
位 2y+1: 2y	PULLy	0x2400 0000	rw	GPIOx 的上下拉配置（y=0...15）（GPIOx pull configure） 用于配置相应的 I/O 上拉或下拉。 00：无作用 01：上拉 10：下拉

### 6.3.5 GPIO输入数据寄存器（GPIOx\_IDT）（x=A..C,F）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	始终读为 0。
位 15: 0	IDT	0xXXXX	ro	GPIOx 输入的数据（GPIOx input data） GPIOx 对应 IO 口的输入电平状态，每一位对应 GPIOx 的一个 IO。

### 6.3.6 GPIO输出数据寄存器（GPIOx\_ODT）（x=A..C,F）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	始终读为 0。
位 15: 0	ODT	0x0000	rw	GPIOx 输出的数据（IO output data）。 每一位对应 GPIOx 的一个 IO。 GPIOx 对应 IO 口的输出电平状态。 0：低电平； 1：高电平。

### 6.3.7 GPIO设置/清除寄存器（GPIOx\_SCR）（x=A..C,F）

域	简称	复位值	类型	功能
位 31: 16	IOCB	0x0000	wo	清除 GPIOx 位（GPIOx clear bit） 写‘1’的位其对应 ODT 寄存器位会清除，写‘0’的位其对应 ODT 寄存器位维持不变，相当于 ODT 寄存器的位操作。 0：对应位不变； 1：对应位清除。
位 15: 0	IOSB	0x0000	wo	设置 GPIOx 位（GPIOx set bit）

写'1'的位其对应 ODT 寄存器位会置起，写'0'的位其对应 ODT 寄存器位维持不变，相当于 ODT 寄存器的位操作。  
 如果 IOCB 和 IOSB 同一个位都写'1'，那么优先级更高的 IOSB 会生效。  
 0：对应位不变；  
 1：对应位置起。

### 6.3.8 GPIO写保护寄存器（GPIOx\_WPR）（x=A..C,F）

域	简称	复位值	类型	功能
位 31: 17	保留	0x0000	resd	保持为默认值。
位 16	WPSEQ	0x0	rw	写保护使能序列（Write protect sequence） 想保护某些 IO 位不被写入，需配合同时操作写保护使能序列位和 WPEN 位。 写保护使能位操作按照以下方式操作 4 次，写'1' ->写'0' ->写'1' ->读，操作期间 WPEN 位值不可修改。
位 15: 0	WPEN	0x0000	rw	写保护使能（Write protect enable） 每一位对应 GPIOx 的一个 IO。 0：无写保护； 1：写保护。

### 6.3.9 GPIO复用低位寄存器（GPIOx\_MUXL）（x=A..C,F）

域	简称	复位值	类型	功能
位 4y+3: 4y	MUXLy	0x0	rw	GPIOx 引脚 y 的复用功能选择（y=0...7）（GPIOx pin y muxing） 用于配置对应 IO 口的复用功能。 0000: MUX0 0001: MUX1 0010: MUX2 0011: MUX3 0100: MUX4 0101: MUX5 0110: MUX6 0111: MUX7 1xxx: 保留

### 6.3.10 GPIO复用高位寄存器（GPIOx\_MUXH）（x=A..C,F）

域	简称	复位值	类型	功能
位 4y+3: 4y	MUXHy	0x0	rw	端口 x 引脚 y 的复用功能选择（y=8...15）（GPIOx pin y muxing） 用于配置对应 IO 口的复用功能。 0000: MUX0 0001: MUX1 0010: MUX2 0011: MUX3 0100: MUX4 0101: MUX5 0110: MUX6 0111: MUX7 1xxx: 保留

### 6.3.11 GPIO位清除寄存器（GPIOx\_CLR）（x=A..C,F）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持为默认值。
位 15: 0	IOCB	0x0000	wo	清除 GPIOx 的位（GPIOx clear bit） 写'1'的位其对应 ODT 寄存器位会清除，写'0'的位其对应

ODT 寄存器位维持不变，相当于 ODT 寄存器的位操作。  
 0：对应位不变；  
 1：对应位清除。

### 6.3.12 GPIO位翻转寄存器（GPIOx\_TOGR）（x=A..C,F）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持为默认值。
位 15: 0	IOTB	0x0000	wo	翻转 GPIOx 位（GPIOx toggle bit） 写'1'的位其对应 ODT 寄存器位会翻转原有的值，写'0'的位其对应 ODT 寄存器位维持不变，相当于 ODT 寄存器的位操作。 0：对应位不变； 1：对应位翻转。

### 6.3.13 极大电流推动/吸入能力切换控制寄存器（GPIOx\_HDRV）（x=A..C,F）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持为默认值。
位 15: 0	HDRV	0x0000	rw	极大电流推动/吸入能力切换控制寄存器 0：无效 1：GPIO 切换为极大电流推动/吸入能力

## 7 系统配置控制器（SCFG）

### 7.1 SCFG简介

该器件具有一组配置寄存器。系统配置控制器的主要用途如下：

- 管理连接到 GPIO 口的外部中断
- 管理存储器映像方式
- 管理部分 IRTMR GPIO 配置

### 7.2 SCFG寄存器

下面列出了 SCFG 寄存器映像和复位数值。

必须以字（32 位）的方式操作这些外设寄存器。

表 7-1 SCFG 寄存器地址映像和复位值

寄存器简称	基址偏移量	复位值
SCFG_CFG1	0x00	0x0000 000X
SCFG_EXINTC1	0x08	0x0000 0000
SCFG_EXINTC2	0x0C	0x0000 0000
SCFG_EXINTC3	0x10	0x0000 0000
SCFG_EXINTC4	0x14	0x0000 0000
SCFG_CFG2	0x18	0x0000 0000

#### 7.2.1 SCFG配置寄存器1（SCFG\_CFGR1）

域	简称	复位值	类型	功能
位 31: 18	保留	0x000	resd	请保持为复位值。
位 17	PB9_UH	0x0	rw	<p>PB9 超高电流推动/吸入能力（PB9 Ultra high sourcing/sinking strength）</p> <p>这些位可由软件读写，用于控制 PB9 PAD 电流推动/吸入能力。</p> <p>0：无效</p> <p>1：对应的 GPIO 切换为超高电流推动/吸入能力</p> <p>当该位使能时，所对应的 GPIO 电流推动/吸入能力（GPIOx_OTYPER&amp;GPIOx_HDRV）控制 bit 无效</p>
位 16	PB8_UH	0x0	rw	<p>PB8 超高电流推动/吸入能力（PB8 Ultra high sourcing/sinking strength）</p> <p>这些位可由软件读写，用于控制 PB8 PAD 电流推动/吸入能力。</p> <p>0：无效</p> <p>1：对应的 GPIO 切换为超高电流推动/吸入能力</p> <p>当该位使能时，所对应的 GPIO 电流推动/吸入能力（GPIOx_OTYPER&amp;GPIOx_HDRV）控制 bit 无效</p>
位 15: 8	保留	0x0	resd	请保持为复位值。
位 7:6	IR_SRC_SEL	0x0	rw	<p>红外调制包络信号源选择（Infrared modulation envelope signal source selection）</p> <p>用于选择红外调制包络信号源：</p> <p>00：TMR16</p> <p>01：保留</p> <p>10：保留</p> <p>11：保留</p>
位 5	IR_POL	0	rw	<p>红外输出极性选择（Infrared output polarity selection）</p> <p>0：红外线发射输出（IR_OUT）不反向</p>

				1: 红外线发射输出 (IR_OUT) 反向
位 4	PA11_12_RMP	0x0	rw	PA11 和 PA12 的重映射 (PA11 and PA12 remap) 由软件设置和清除该位。此位控制着小封装 (20PIN、28PIN) 上 PA9/PA10 和 PA11/PA12 的映射。 0: 没有重映射 (PA9/PA10 脚对应 PA9/PA10 脚) 1: 重映射 (PA11/PA12 脚映射到 PA9/PA10 脚)
位 3: 2	保留	0x0	resd	请保持为复位值。
位 1: 0	MEM_MAP_SEL	0xX	r	启动模式选择位 (memory address mapping selection) 此位仅供读取, 显示复位后的启动区域。 X0: 从主存储器启动 01: 从系统存储器启动 11: 从内置 SRAM 启动

## 7.2.2 SCFG外部中断配置寄存器1 (SCFG\_EXTINC1)

域	简称	复位值	类型	功能
位 31:16	保留	0x0000	resd	保持默认值。
位 15: 12	EXINT3	0x0	rw	配置 EXINT3 的输入源 (configure EXINT3 source) 选择 EXINT3 外部中断的输入源。 0000: GPIOA 管脚 3 0001: GPIOB 管脚 3 其他: 保留
位 11: 8	EXINT2	0x0	rw	配置 EXINT2 的输入源 (configure EXINT2 source) 选择 EXINT2 外部中断的输入源。 0000: GPIOA 管脚 2 0001: GPIOB 管脚 2 其他: 保留
位 7: 4	EXINT1	0x0	rw	配置 EXINT1 的输入源 (configure EXINT1 source) 选择 EXINT1 外部中断的输入源。 0000: GPIOA 管脚 1 0001: GPIOB 管脚 1 0101: GPIOF 管脚 1 其他: 保留
位 3: 0	EXINT0	0x0	rw	配置 EXINT0 的输入源 (configure EXINT0 source) 选择 EXINT0 外部中断的输入源。 0000: GPIOA 管脚 0 0001: GPIOB 管脚 0 0101: GPIOF 管脚 0 其他: 保留

## 7.2.3 SCFG外部中断配置寄存器2 (SCFG\_EXINTC2)

域	简称	复位值	类型	功能
位 31:16	保留	0x0000	resd	保持默认值。
位 15: 12	EXINT7	0x0	rw	配置 EXINT7 的输入源 (configure EXINT7 source) 选择 EXINT7 外部中断的输入源。 0000: GPIOA 管脚 7 0001: GPIOB 管脚 7 0101: GPIOF 管脚 7 其他: 保留
位 11: 8	EXINT6	0x0	rw	配置 EXINT6 的输入源 (configure EXINT6 source) 选择 EXINT6 外部中断的输入源。 0000: GPIOA 管脚 6 0001: GPIOB 管脚 6 0101: GPIOF 管脚 6 其他: 保留
位 7: 4	EXINT5	0x0	rw	配置 EXINT5 的输入源 (configure EXINT5 source) 选择 EXINT5 外部中断的输入源。 0000: GPIOA 管脚 5



				0001: GPIOB 管脚 5 其他: 保留
位 3: 0	EXINT4	0x0	rw	配置 EXINT4 的输入源 (configure EXINT4 source) 选择 EXINT4 外部中断的输入源。 0000: GPIOA 管脚 4 0001: GPIOB 管脚 4 其他: 保留

## 7.2.4 SCFG外部中断配置寄存器3 (SCFG\_EXINTC3)

域	简称	复位值	类型	功能
位 31:16	保留	0x0000	resd	保持默认值。
位 15: 12	EXINT11	0x0	rw	配置 EXINT11 的输入源 (configure EXINT11 source) 选择 EXINT11 外部中断的输入源。 0000: GPIOA 管脚 11 0001: GPIOB 管脚 11 其他: 保留
位 11: 8	EXINT10	0x0	rw	配置 EXINT10 的输入源 (configure EXINT10 source) 选择 EXINT10 外部中断的输入源。 0000: GPIOA 管脚 10 0001: GPIOB 管脚 10 其他: 保留
位 7: 4	EXINT9	0x0	rw	配置 EXINT9 的输入源 (configure EXINT9 source) 选择 EXINT9 外部中断的输入源。 0000: GPIOA 管脚 9 0001: GPIOB 管脚 9 其他: 保留
位 3: 0	EXINT8	0x0	rw	配置 EXINT8 的输入源 (configure EXINT8 source) 选择 EXINT8 外部中断的输入源。 0000: GPIOA 管脚 8 0001: GPIOB 管脚 8 其他: 保留

## 7.2.5 SCFG外部中断配置寄存器4 (SCFG\_EXINTC4)

域	简称	复位值	类型	功能
位 31:16	保留	0x0000	resd	保持默认值。
位 15: 12	EXINT15	0x0	rw	配置 EXINT15 的输入源 (configure EXINT15 source) 选择 EXINT15 外部中断的输入源。 0000: GPIOA 管脚 15 0001: GPIOB 管脚 15 0002: GPIOC 管脚 15 其他: 保留
位 11: 8	EXINT14	0x0	rw	配置 EXINT14 的输入源 (configure EXINT14 source) 选择 EXINT14 外部中断的输入源。 0000: GPIOA 管脚 14 0001: GPIOB 管脚 14 0002: GPIOC 管脚 14 其他: 保留
位 7: 4	EXINT13	0x0	rw	配置 EXINT13 的输入源 (configure EXINT13 source) 选择 EXINT13 外部中断的输入源。 0000: GPIOA 管脚 13 0001: GPIOB 管脚 13 0002: GPIOC 管脚 13 其他: 保留
位 3: 0	EXINT12	0x0	rw	配置 EXINT12 的输入源 (configure EXINT12 source) 选择 EXINT12 外部中断的输入源。 0000: GPIOA 管脚 12 0001: GPIOB 管脚 12



其他：保留

## 7.2.6 SCFG配置寄存器2 (SCFG\_CFGR2)

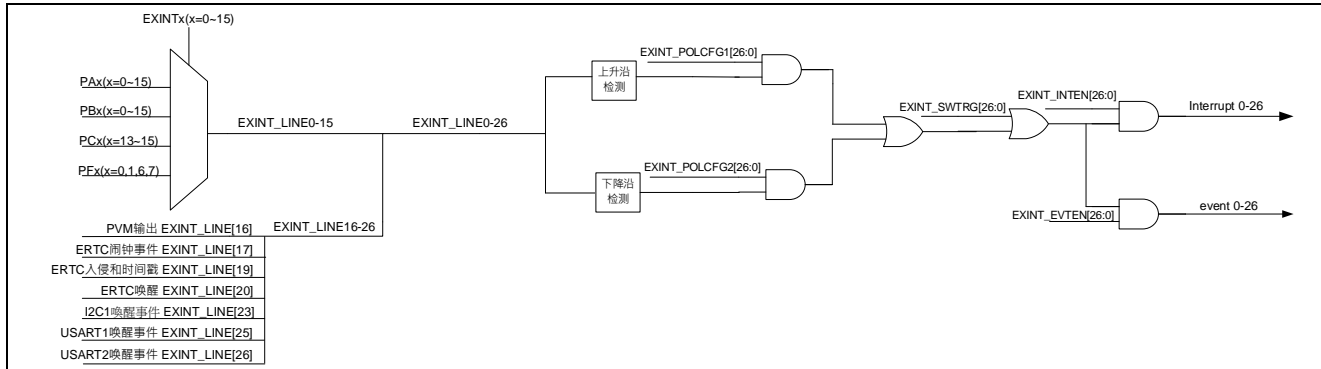
域	简称	复位值	类型	功能
位 31: 30	保留	0x0000 00	resd	请保持为复位值。
位 29: 9	保留	0x0000 00	resd	请保持为复位值。
位 8	SRAM_OPE_STS	0	rc_w1	SRAM 奇校验错误状态(SRAM odd parity error status) 此位可以写 1 去清除。 0: 没有 SRAM 奇校验错误 1: SRAM 奇校验错误
位 7: 3	保留	0x0	resd	请保持为复位值。
位 2	PVM_LK	0	rw	PVM 锁使能位(PVM lock enable) 0: 断开 PVM 中断与 TMR1/TMR15/16/17 刹车输入的连接。PVMSEL 和 PVMEN 位可以被软件修改。 1: 使能 PVM 中断与 TMR1/TMR15/16/17 刹车输入的连接。PVMSEL 和 PVMEN 位为只读位, 不能被软件修改
位 1	SRAM_OPERR_LK	0	rw	SRAM 奇校验错误锁使能位(SRAM odd parity error lock enable) 0: 断开 SRAM 奇校验错误与 TMR1/TMR15/16/17 刹车输入的连接。 1: 使能 SRAM 奇校验错误与 TMR1/TMR15/16/17 刹车输入的连接。
位 0	CPU_LK	0	rw	CPU 锁使能位(CPU lock enable) 0: 断开 CPU 锁与 TMR1/TMR15/16/17 刹车输入的连接。 1: 使能 CPU 锁与 TMR1/TMR15/16/17 刹车输入的连接。

## 8 外部中断/事件控制器（EXINT）

### 8.1 EXINT介绍

EXINT 共计有 23 条中断线 EXINT\_LINE[26:0] (其中位 18、21、22、24 为保留位)，每条中断线均支持通过边沿检测触发和软件触发来产生中断或事件。EXINT 可以根据软件配置，独立的使能或禁止中断或事件，并采取不同的边沿检测方式（检测上升沿或检测下降沿或同时检测上升沿和下降沿）以及触发方式（边沿检测触发或软件触发或边沿检测和软件同时触发）响应触发源独立的产生中断或事件。

图 8-1 外部中断/事件控制器框图



**EXINT 控制器的主要特性：**

- 中断线 0~15 所映射的 IO 可以独立的配置
- 每个中断线都有独立的触发方式选择
- 每个中断都有独立的使能位
- 每个事件都有独立的使能位
- 共 23 个可独立产生和清除的软件触发
- 每个中断都有独立的状态位
- 每个中断都可以被独立的清除

### 8.2 功能描述和配置流程

EXINT 共计有 23 条中断线 EXINT\_LINE[26:0] (其中位 18、21、22、24 为保留位)，可以通过边沿检测的方式分别检测来自 GPIO 的外部中断源以及包括 PVM 输出，ERTC 闹钟事件，ERTC 唤醒事件，ERTC 入侵和时间戳事件，USART1 唤醒事件，USART2 唤醒事件，以及 I2C1 唤醒事件共七种芯片内部的中断源，其中来自 GPIO 的中断源可以通过软件编程配置 SCFG 中的复用外部中断配置寄存器 x (SCFG\_EXINTCx) 灵活的选择，需要注意的是这些输入源是互斥的，例如 EXINT\_LINE0 只能选择 PA0/PB0/PF0 中的某一个，而不能同时选择 PA0 和 PB0 作为输入源。

EXINT 支持多种边沿检测方式，每条中断线可以通过软件编程配置极性配置寄存器 1 (EXINT\_POLCFG1) 和极性配置寄存器 2 (EXINT\_POLCFG2) 独立的选择上升沿检测或下降沿检测或同时进行上升沿和下降沿检测，中断线上检测到的有效边沿触发可以用于产生事件或中断。

EXINT 支持独立的软件触发产生中断或事件，即除了来自中断线上的有效边沿外，用户可以通过软件编程配置软件触发寄存器 (EXINT\_SWTRG) 对应位来产生对应的中断或事件。

EXINT 具备独立的中断和事件使能位，用户可以通过软件编程配置中断使能寄存器 (EXINT\_INTEN) 和事件使能寄存器 (EXINT\_EVTEN) 来使能或关闭对应的中断或事件，这意味着无论是通过边沿检测还是软件触发产生中断或事件，都需要提前使能对应的中断或事件。

EXINT 具备独立的中断状态位，用户可以通过中断状态寄存器 (EXINT\_INTSTS) 读取对应的中断状态并通过对该寄存器相应位写 1 来清除已置位的状态标志。

#### 中断初始化流程

##### 1. 选择中断源

即配置复用外部中断配置寄存器 x (SCFG\_EXINTCx) (如果需要使用 GPIO 作为中断源需要该步骤)。

2. 选择触发方式  
即配置极性配置寄存器 1 (EXINT\_POLCFG1) 和极性配置寄存器 2 (EXINT\_POLCFG2)。
3. 使能中断或事件  
即配置中断使能寄存器 (EXINT\_INTEN) 和事件使能寄存器 (EXINT\_EVTEN)。
4. 产生软件触发  
即配置软件触发寄存器 (EXINT\_SWTRG) 产生软件触发 (此步骤仅适用于需软件触发产生中断的应用)。

注意：若需要更改中断源配置，应先关闭中断使能寄存器和事件使能寄存器后，再重新开始中断初始化流程的配置。

#### 中断清除流程

- 清除标志，即对中断状态寄存器 (EXINT\_INTSTS) 对应位写1来清除已产生的中断，同时该操作会同步清除软件触发寄存器 (EXINT\_SWTRG) 中的对应位。

## 8.3 EXINT寄存器描述

必须以字 (32 位) 的方式操作这些外设寄存器。

下表列出了 EXINT 寄存器的映像和复位值。

表 8-1 外部中断/事件控制器寄存器映像和复位值

寄存器简称	基址偏移量	复位值
EXINT_INTEN	0x00	0x0000 0000
EXINT_EVTEN	0x04	0x0000 0000
EXINT_POLCFG1	0x08	0x0000 0000
EXINT_POLCFG2	0x0C	0x0000 0000
EXINT_SWTRG	0x10	0x0000 0000
EXINT_INTSTS	0x14	0x0000 0000

### 8.3.1 中断使能寄存器 (EXINT\_INTEN)

域	简称	复位值	类型	功能
位 31: 29	保留	0x000	resd	硬件强制为 0。
位 28: 0	INTENx	0x00000	rw	线 x 上的中断使能/禁止位 (Interrupt enable or disable on line x) 0: 禁止中断请求; 1: 使能中断请求。 注: 位 18、21、22、24、27、28 为保留位, 未使用。

### 8.3.2 事件使能寄存器 (EXINT\_EVTEN)

域	简称	复位值	类型	功能
位 31: 29	保留	0x000	resd	硬件强制为 0。
位 28: 0	EVTENx	0x00000	rw	线 x 上的事件使能/禁止位 (Event enable or disable on line x) 0: 禁止事件请求; 1: 使能事件请求。 注: 位 18、21、22、24、27、28 为保留位, 未使用。

### 8.3.3 极性配置寄存器1 (EXINT\_POLCFG1)

域	简称	复位值	类型	功能
位 31: 29	保留	0x000	resd	硬件强制为 0。
位 28: 0	RPx	0x00000	rw	线 x 上的上升沿触发事件配置位 (Rising polarity configuration bit of line x) 这些位用于选择线 x 由上升沿触发中断和事件。

0: 禁止上升沿触发;  
1: 使能上升沿触发。  
注: 位 18、21、22、24、27、28 为保留位, 未使用

### 8.3.4 极性配置寄存器2 (EXINT\_POLCFG2)

域	简称	复位值	类型	功能
位 31: 29	保留	0x000	resd	硬件强制为 0。
位 28: 0	FPx	0x00000	rw	线 x 上的下降沿触发事件配置位 (Falling polarity event configuration bit of line x) 这些位用于选择线 x 由下降沿触发中断和事件。 0: 禁止下降沿触发; 1: 允许下降沿触发。 注: 位 18、21、22、24、27、28 为保留位, 未使用

### 8.3.5 软件触发寄存器 (EXINT\_SWTRG)

域	简称	复位值	类型	功能
位 31: 29	保留	0x000	resd	硬件强制为 0。
位 28: 0	SWTx	0x00000	rw	软件触发线 x (Software trigger on line x) 当 EXINT_INTEN 寄存器中的对应位为 1, 则软件写此位 硬件将自动置起 EXINT_INTSTS 寄存器中的对应位并产生中断。 当 EXINT_EVTEN 寄存器中的对应位为 1, 则软件写此位 硬件将自动产生对应中断线上的事件。 0: 默认值; 1: 产生软件触发。 注: 通过清除 EXINT_INTSTS 的对应位 (写入 1), 可以清除该位为 0。 注: 位 18、21、22、24、27、28 为保留位, 未使用

### 8.3.6 中断状态寄存器 (EXINT\_INTSTS)

域	简称	复位值	类型	功能
位 31: 29	保留	0x000	resd	硬件强制为 0。
位 28: 0	LINEx	0x00000	rw1c	线 x 状态位 (Line x state bit) 0: 没有发生中断; 1: 发生了中断。 注: 在该位中写入 '1' 可以清除它。 注: 位 18、21、22、24、27、28 为保留位, 未使用

## 9 DMA 控制器（DMA）

### 9.1 简介

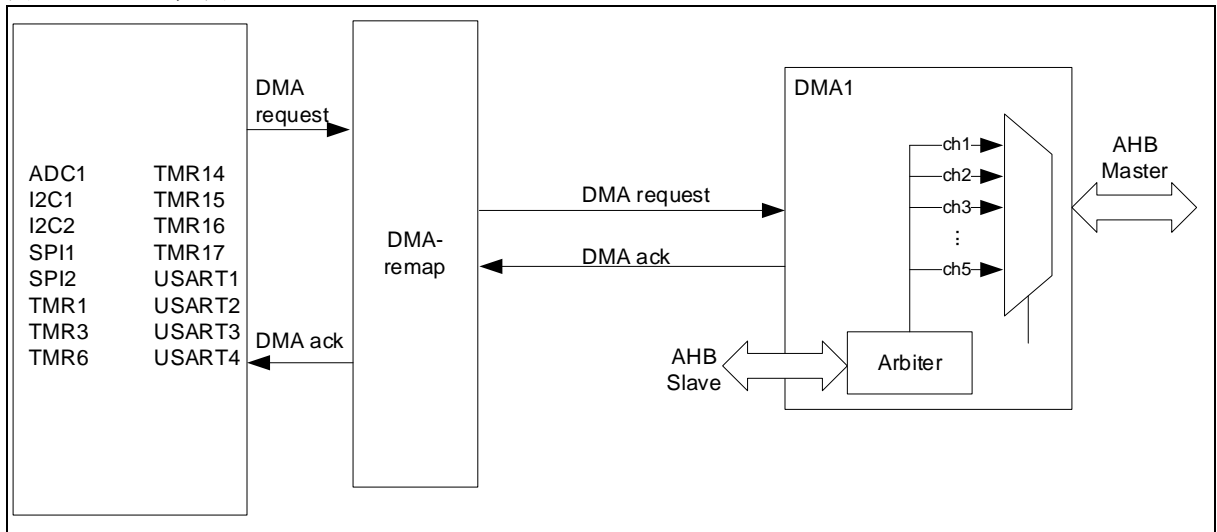
直接存储器访问（DMA）控制器，不仅旨在增强系统性能并减少处理器的中断生成，而且还针对 32 位 MCU 应用程序而设计。

一个处理器包含 1 个 DMA 控制器。控制器共有 5 个 DMA 通道，管理来自于外设对存储器访问的请求，并由仲裁器来协调各个 DMA 请求的优先权。

### 9.2 特性

- 符合 AMBA 规范（Rev. 2.0）
- 仅支持 AHB OKAY 和 ERROR 响应
- 不支持 AHB 主接口的 HBUSREQ 和 HGRANT
- 支持5个通道
- 支持外设到存储器，存储器到外设和存储器到存储器的传输
- 支持硬件握手
- 支持8位，16位和32位数据宽度传输
- 传输数据长度最大为65535，可由编程配置
- 支持弹性映射

图 9-1 DMA框图



注意：根据不同型号，图中 DMA 外设可能会有所减少。

## 9.3 功能描述

### 9.3.1 通道配置

1. 设置外设地址（DMA通道x外设地址寄存器（DMA\_CxPADDR））  
数据传输的初始外设地址，在传输过程中不会被改变。
2. 设置存储器地址（DMA通道x存储器地址寄存器（DMA\_CxMADDR））  
数据传输的初始存储器地址，在传输过程中不会被改变。
3. 配置数据传输量（DMA通道x数据传输量寄存器（DMA\_CxDTCNT））  
可编程的传输数据长度最大为65535。在传输过程中，该传输数据量的值会逐渐递减。
4. 配置通道设定（DMA通道x配置寄存器（DMA\_CxCTRL））  
包含通道优先级，数据传输的方向、宽度，地址增量模式、循环模式和中断方式。
  - 通道优先级 (CHPL)  
分为4个等级，最高优先级、高优先级、中等优先级和低优先级。  
若有2个通道优先级设定相同，则较低编号的通道有较高的优先权。举例，通道1优先于通道2。
  - 数据传输方向 (DTD)  
分为存储器到外设 (M2P)，外设到存储器 (P2M)。
  - 地址增量模式 (PINCM/MINCM)  
当设置为增量模式时，下一笔传输的地址将是前一笔传输地址加上传输宽度 (PWIDTH/MWIDTH)。
  - 循环模式 (LM)  
当通道配置设定为循环模式时，在最后一次传输后 DMA\_CxDTCNT 寄存器的内容会恢复成初始值。
  - 存储器到存储器模式 (M2M)  
存储器到存储器模式是 DMA 在没有外设请求的情况下进行数据传输。  
循环模式与存储器到存储器模式不能同时使用。
5. 非M2M模式下，需配置弹性映射模式（通道来源选择寄存器（DMA\_SRC\_SEL0/1））  
相应通道对应的bit位写入DMA请求ID号。
6. 使能该通道的DMA传输（DMA\_CxCTRL寄存器的CHEN位）

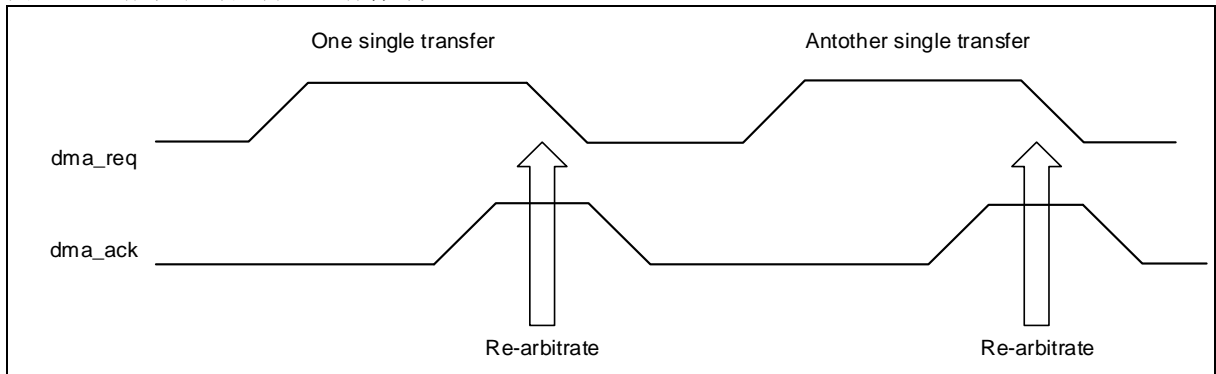
### 9.3.2 握手机制

在 P2M 和 M2P 传输模式，外设需要向 DMA 控制器发送请求信号。该通道将发出外设传输（单次），直到请求信号被应答为止。外设传输完成后，DMA 控制器将应答信号发送到外设。外设从 DMA 控制器获得应答信号后立即释放其请求。一旦外设取消了请求，DMA 控制器将释放应答信号。

### 9.3.3 仲裁

当同时启用多个通道时，仲裁器将在主控制器完全传输数据后重新进行仲裁。优先级最高的通道将在目前的通道完全传输数据后，具有主控制器优先级。每当通道以外设主控制器的优先级完成一个单次传输后，外设主控制器就会重新仲裁以服务其他通道。

图 9-2 请求/应答对后重新仲裁



### 9.3.4 可编程数据传输宽度

通过 DMA 通道 x 配置寄存器 (DMA\_CxCTRL) 中的 PWIDTH 和 MWIDTH 位可以对源数据和目标数据的数据宽度进行编程, 当 PWIDTH 不等于 MWIDTH 时, 会依据 PWIDTH/MWIDTH 设定将资料对齐。

图 9-3 PWIDTH: 字节, MWIDTH: 半字

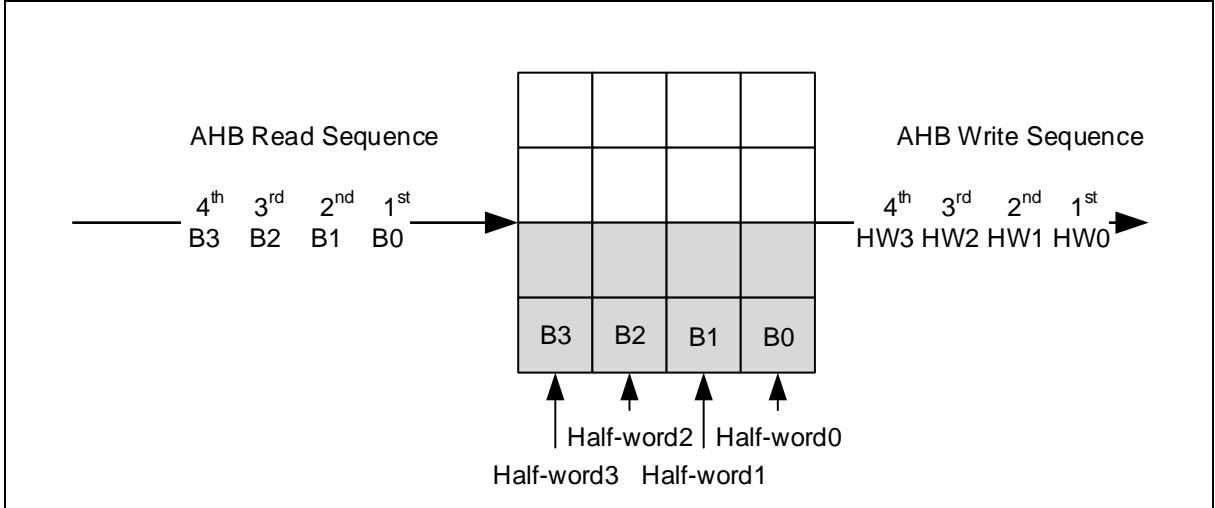


图 9-4 PWIDTH: 半字, MWIDTH: 字

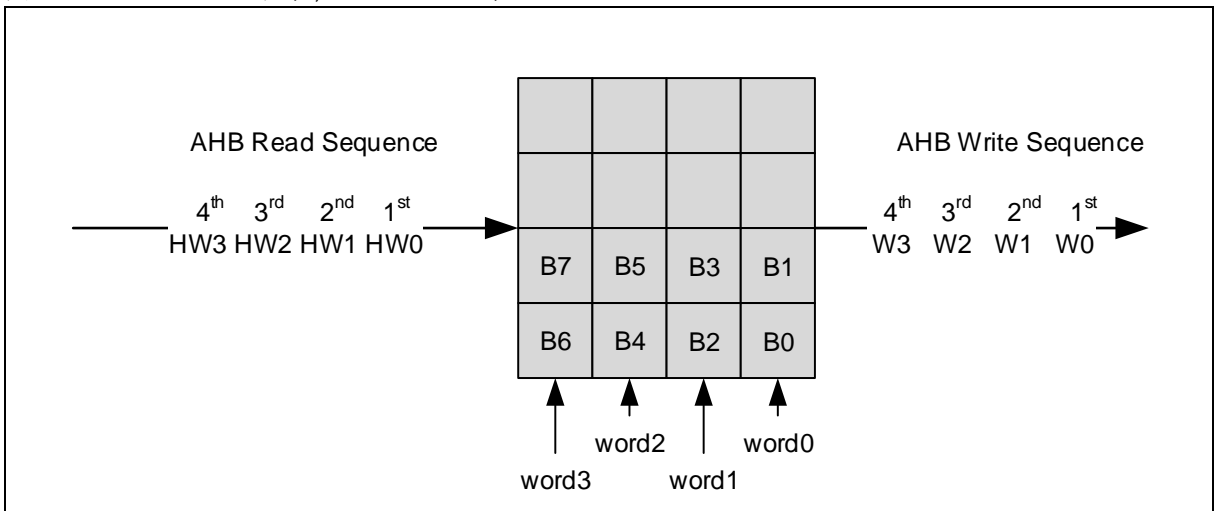
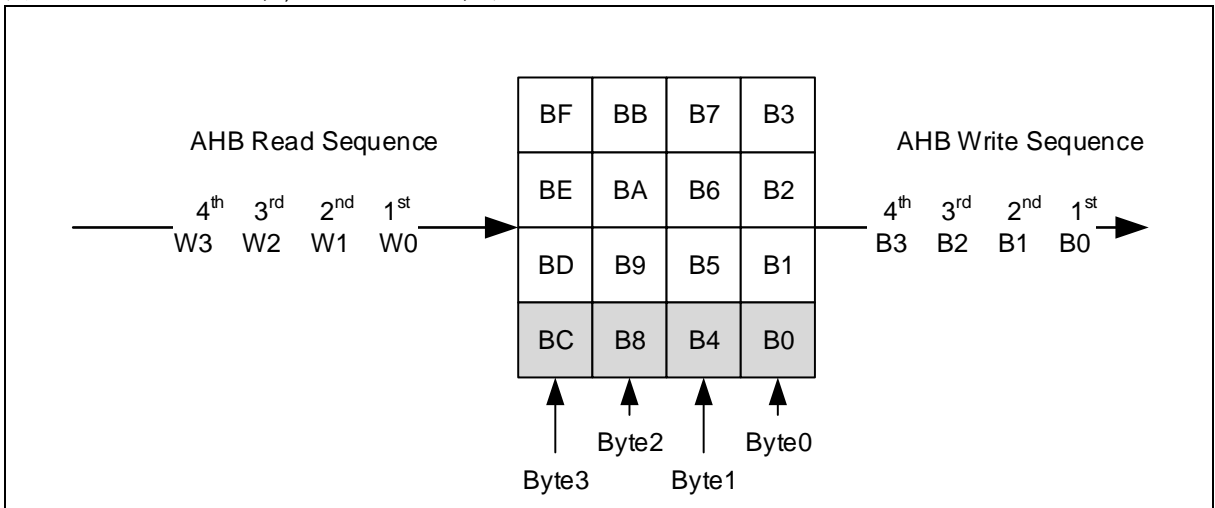


图 9-5 PWIDTH: 字, MWIDTH: 字节





### 9.3.5 错误事件

表 9-1 DMA错误事件

错误事件	
传输错误	DMA读/写访问期间发生AHB响应错误

### 9.3.6 中断

DMA 可在传输过半、传输完成和传输错误时产生中断。每个通道的中断都有专用标志，清除和使能位

如下表所示。

表 9-2 DMA中断

中断事件	事件标志位	清除控制位	使能控制位
半传输	HDTF	HDTFC	HDTIEN
传输完成	FDTF	FDTFC	FDTIEN
传输错误	DTERRF	DTERRFC	DTERRIEN

### 9.3.7 DMA弹性请求映射

当设定弹性模式时（DMA\_FLEX\_EN = 1），每个通道的请求来源由 CHx\_SRC 来设定[x=1~5]。

使用例子：假如 DMA 通道 1 指定成 I2C1\_TX，通道 3 要指定成 I2C1\_RX，其他不使用，则设定上必须是 DMA\_FLEX\_EN=1，CH1\_SRC=11，CH3\_SRC=10，CH[2/4/5]\_SRC=0。

CHx\_SRC 设定值对应请求来源见下表：

表 9-3 DMA各通道的弹性请求

CHx_SRC	请求来源	CHx_SRC	请求来源	CHx_SRC	请求来源	CHx_SRC	请求来源
0	未选定	16	SPI1/I2S1_RX	32	TMR3_CH1	48	-
1	-	17	SPI1/I2S1_TX	33	TMR3_CH2	49	TMR17_ OVERFLOW
2	-	18	SPI2/I2S2_RX	34	TMR3_CH3	50	USART1_RX
3	-	19	SPI2/I2S2_TX	35	TMR3_CH4	51	USART1_TX
4	-	20	TMR1_CH1	36	TMR3_TRIG	52	USART2_RX
5	ADC1	21	TMR1_CH2	37	TMR3_ OVERFLOW	53	USART2_TX
6	-	22	TMR1_CH3	38	TMR6_ OVERFLOW	54	USART3_RX
7	-	23	TMR1_CH4	39	-	55	USART3_TX
8	-	24	TMR1_TRIG/ TMR1_HALL	40	TMR15_CH1	56	USART4_RX
9	-	25	TMR1_ OVERFLOW	41	TMR15_CH2	57	USART4_TX
10	I2C1_RX	26	-	42	TMR15_TRIG/ TMR15_HALL	58	-
11	I2C1_TX	27	-	43	TMR15_ OVERFLOW	59	-
12	I2C2_RX	28	-	44	TMR16_CH1	60	-
13	I2C2_TX	29	-	45	-	61	-
14	-	30	-	46	TMR16_ OVERFLOW	-	-
15	-	31	-	47	TMR17_CH1	-	-

## 9.4 DMA寄存器

下表列出了 DMA 寄存器的映像和复位值。

可以用字节（8 位）、半字（16 位）或字（32 位）的方式操作这些外设寄存器。

表 9-4 DMA寄存器的映像和复位值

寄存器简称	基址偏移量	复位值
DMA_STS	0x00	0x0000 0000
DMA_CLR	0x04	0x0000 0000
DMA_C1CTRL	0x08	0x0000 0000
DMA_C1DTCNT	0x0C	0x0000 0000
DMA_C1PADDR	0x10	0x0000 0000
DMA_C1MADDR	0x14	0x0000 0000
DMA_C2CTRL	0x1C	0x0000 0000
DMA_C2DTCNT	0x20	0x0000 0000
DMA_C2PADDR	0x24	0x0000 0000
DMA_C2MADDR	0x28	0x0000 0000
DMA_C3CTRL	0x30	0x0000 0000
DMA_C3DTCNT	0x34	0x0000 0000
DMA_C3PADDR	0x38	0x0000 0000
DMA_C3MADDR	0x3C	0x0000 0000
DMA_C4CTRL	0x44	0x0000 0000
DMA_C4DTCNT	0x48	0x0000 0000
DMA_C4PADDR	0x4C	0x0000 0000
DMA_C4MADDR	0x50	0x0000 0000
DMA_C5CTRL	0x58	0x0000 0000
DMA_C5DTCNT	0x5C	0x0000 0000
DMA_C5PADDR	0x60	0x0000 0000
DMA_C5MADDR	0x64	0x0000 0000
DMA_SRC_SEL0	0xA0	0x0000 0000
DMA_SRC_SEL1	0xA4	0x0000 0000

### 9.4.1 DMA状态寄存器（DMA\_STS）

访问：无等待状态，字，半字和字节访问

域	简称	复位值	类型	功能
31: 20	保留	0x0	resd	保持默认值。
位 19	DTERRF5	0x0	ro	通道 5 数据传输错误事件标志（data transfer error event flag） 0: 未发生错误传输事件 1: 发生错误传输事件
位 18	HDTF5	0x0	ro	通道 5 半数据传输事件标志（half data transfer event flag） 0: 未发生半传输事件 1: 发生半传输事件
位 17	FDTF5	0x0	ro	通道 5 数据传输完成事件标志（full data transfer event flag） 0: 未发生传输完成事件 1: 发生传输完成事件
位 16	GF5	0x0	ro	通道 5 全局事件标志（Global event flag） 0: 未发生传输错误、半传输完成或传输完成事件 1: 发生传输错误、半传输完成或传输完成事件
位 15	DTERRF4	0x0	ro	通道 4 数据传输错误事件标志（data transfer error event flag） 0: 未发生错误传输事件 1: 发生错误传输事件
位 14	HDTF4	0x0	ro	通道 4 半数据传输事件标志（half data transfer event flag） 0: 未发生半传输事件 1: 发生半传输事件
位 13	FDTF4	0x0	ro	通道 4 数据传输完成事件标志（full data transfer event flag） 0: 未发生传输完成事件 1: 发生传输完成事件
位 12	GF4	0x0	ro	通道 4 全局事件标志（Global event flag） 0: 未发生传输错误、半传输完成或传输完成事件 1: 发生传输错误、半传输完成或传输完成事件
位 11	DTERRF3	0x0	ro	通道 3 数据传输错误事件标志（data transfer error event flag） 0: 未发生错误传输事件 1: 发生错误传输事件
位 10	HDTF3	0x0	ro	通道 3 半数据传输事件标志（half data transfer event flag） 0: 未发生半传输事件 1: 发生半传输事件
位 9	FDTF3	0x0	ro	通道 3 数据传输完成事件标志（full data transfer event flag） 0: 未发生传输完成事件 1: 发生传输完成事件
位 8	GF3	0x0	ro	通道 3 全局事件标志（Global event flag） 0: 未发生传输错误、半传输完成或传输完成事件 1: 发生传输错误、半传输完成或传输完成事件
位 7	DTERRF2	0x0	ro	通道 2 数据传输错误事件标志（data transfer error event flag） 0: 未发生错误传输事件 1: 发生错误传输事件
位 6	HDTF2	0x0	ro	通道 2 半数据传输事件标志（half data transfer event flag） 0: 未发生半传输事件 1: 发生半传输事件
位 5	FDTF2	0x0	ro	通道 2 数据传输完成事件标志（full data transfer event

				flag) 0: 未发生传输完成事件 1: 发生传输完成事件
位 4	GF2	0x0	ro	通道 2 全局事件标志 (Global event flag) 0: 未发生传输错误、半传输完成或传输完成事件 1: 发生传输错误、半传输完成或传输完成事件
位 3	DTERRF1	0x0	ro	通道 1 数据传输错误事件标志 (data transfer error event flag) 0: 未发生错误传输事件 1: 发生错误传输事件
位 2	HDTF1	0x0	ro	通道 1 半数据传输事件标志 (half data transfer event flag) 0: 未发生半传输事件 1: 发生半传输事件
位 1	FDTF1	0x0	ro	通道 1 数据传输完成事件标志 (full data transfer event flag) 0: 未发生传输完成事件 1: 发生传输完成事件
位 0	GF1	0x0	ro	通道 1 全局事件标志 (Global event flag) 0: 未发生传输错误、半传输完成或传输完成事件 1: 发生传输错误、半传输完成或传输完成事件

### 9.4.2 DMA标志清除寄存器 (DMA\_CLR)

访问：无等待状态，字，半字和字节访问

域	简称	复位值	类型	功能
31: 20	保留	0x0	resd	保持默认值。
位 19	DTERRFC5	0x0	rw1c	清除通道 5 的数据传输错误标志 (data transfer error flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF5 标志
位 18	HDTFC5	0x0	rw1c	清除通道 5 的半数据传输标志 (half data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 HDTF5 标志
位 17	FDTFC5	0x0	rw1c	清除通道 5 的数据传输完成标志 (full data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 FDTF5 标志
位 16	GFC5	0x0	rw1c	清除通道 5 的全局中断标志 (Global flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF5、HDTF5、FDTF5 和 GF5 标志
位 15	DTERRFC4	0x0	rw1c	清除通道 4 的数据传输错误标志 (data transfer error flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF4 标志
位 14	HDTFC4	0x0	rw1c	清除通道 4 的半数据传输标志 (half data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 HDTF4 标志
位 13	FDTFC4	0x0	rw1c	清除通道 4 的数据传输完成标志 (full data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 FDTF4 标志
位 12	GFC4	0x0	rw1c	清除通道 4 的全局中断标志 (Global flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF4、HDTF4、FDTF4 和 GF4 标志

位 11	DTERRFC3	0x0	rw1c	清除通道 3 的数据传输错误标志 (data transfer error flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF7 标志
位 10	HDTFC3	0x0	rw1c	清除通道 3 的半数据传输标志 (half data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 HDTF7 标志
位 9	FDTFC3	0x0	rw1c	清除通道 3 的数据传输完成标志 (full data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 FDTF3 标志
位 8	GFC3	0x0	rw1c	清除通道 3 的全局中断标志 (Global flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF3、HDTF3、FDTF3 和 GF3 标志
位 7	DTERRFC2	0x0	rw1c	清除通道 2 的数据传输错误标志 (data transfer error flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF2 标志
位 6	HDTFC2	0x0	rw1c	清除通道 2 的半数据传输标志 (half data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 HDTF2 标志
位 5	FDTFC2	0x0	rw1c	清除通道 2 的数据传输完成标志 (full data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 FDTF2 标志
位 4	GFC2	0x0	rw1c	清除通道 2 的全局中断标志 (Global flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF2、HDTF2、FDTF2 和 GF2 标志
位 3	DTERRFC1	0x0	rw1c	清除通道 1 的数据传输错误标志 (data transfer error flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF1 标志
位 2	HDTFC1	0x0	rw1c	清除通道 1 的半数据传输标志 (half data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 HDTF1 标志
位 1	FDTFC1	0x0	rw1c	清除通道 1 的数据传输完成标志 (full data transfer flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 FDTF1 标志
位 0	GFC1	0x0	rw1c	清除通道 1 的全局中断标志 (Global flag clear) 0: 无效 1: 清除 DMA_STS 寄存器中 DTERRF1、HDTF1、FDTF1 和 GF1 标志

### 9.4.3 DMA通道x配置寄存器 (DMA\_CxCTRL) (x = 1…5)

访问: 无等待状态, 字, 半字和字节访问

域	简称	复位值	类型	功能
位 31: 15	保留	0x00000	resd	保持默认值。
位 14	M2M	0x0	rw	存储器到存储器模式 (Memory to memory mode) 0: 关闭 1: 开启
位 13: 12	CHPL	0x0	rw	通道优先级 (Channel preemptive level) 00: 低优先级

				01: 中优先级 10: 高优先级 11: 最高优先级
位 11: 10	MWIDTH	0x0	rw	存储器数据宽度 (Memory data bit width) 00: 8 bit 位宽 01: 16 bit 位宽 10: 32 bit 位宽 11: 保留
位 9: 8	PWIDTH	0x0	rw	外设数据宽度 (Peripheral data bit width) 00: 8 bit 位宽 01: 16 bit 位宽 10: 32 bit 位宽 11: 保留
位 7	MINCM	0x0	rw	存储器地址递增模式 (Memory address increment mode) 0: 关闭 1: 开启
位 6	PINCM	0x0	rw	外设地址递增模式 (Peripheral address increment mode) 0: 关闭 1: 开启
位 5	LM	0x0	rw	循环模式 (Loop mode) 0: 关闭 1: 开启
位 4	DTD	0x0	rw	数据传输方向 (Data transfer direction) 0: 外设为源 1: 存储器为源
位 3	DERRIEN	0x0	rw	允许数据传输错误中断 (data transfer error interrupt enable) 0: 禁止数据传输错误中断 1: 允许数据传输错误中断
位 2	HDTIEN	0x0	rw	允许半数据传输中断 (half data transfer interrupt enable) 0: 禁止半数据传输中断 1: 允许半数据传输中断
位 1	FDTIEN	0x0	rw	允许数据传输完成中断 (full data transfer interrupt enable) 0: 禁止数据传输完成中断 1: 允许数据传输完成中断
位 0	CHEN	0x0	rw	通道使能 (Channel enable) 0: 关闭 1: 开启

#### 9.4.4 DMA通道x数据传输量寄存器 (DMA\_CxDTCNT) (x = 1…5)

访问：无等待状态，字，半字和字节访问

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持默认值。
位 15: 0	CNT	0x0000	rw	DMA 通道数据传输个数 (Number of data to transfer) DMA 通道传输数据个数范围为 0x0~0xFFFF，在更改 DMA 通道传输数据个数时需要确保对应通道的 CHEN 位为 0，否则无法写入；DMA 控制器每传输完一笔数据，此值会硬件减 1。 注：此寄存器为传输数据个数，不是传输数据量大小；传输数据量大小需要根据数据宽度换算得到。

### 9.4.5 DMA通道x外设地址寄存器（DMA\_CxPADDR）（x = 1…5）

访问：无等待状态，字，半字和字节访问

域	简称	复位值	类型	功能
位 31: 0	PADDR	0x0000 0000	rw	外设端基地址（Peripheral base address） 外设数据寄存器的基地址，作为数据传输的源或目标。 注：确保对应通道的 CHEN 位为 0，否则无法写入。

### 9.4.6 DMA通道x存储器地址寄存器（DMA\_CxMADDR）（x = 1…5）

访问：无等待状态，字，半字和字节访问

域	简称	复位值	类型	功能
位 31: 0	MADDR	0x0000 0000	rw	存储器端基地址（Memory base address） 存储器地址作为数据传输的源或目标。 注：确保对应通道的 CHEN 位为 0，否则无法写入。

### 9.4.7 通道来源寄存器0（DMA\_SRC\_SEL0）

访问：无等待状态，字，半字和字节访问

域	简称	复位值	类型	功能
位 31: 24	CH4_SRC	0x00	rw	CH4 来源的选择位（CH4 source select） 当 DMA_FLEX_EN=1 时，由 CH4_SRC 选择通道 4 来源，详见 9.3.7DMA 弹性请求映射
位 23: 16	CH3_SRC	0x00	rw	CH3 来源的选择位（CH3 source select） 当 DMA_FLEX_EN=1 时，由 CH3_SRC 选择通道 3 来源，详见 9.3.7DMA 弹性请求映射
位 15: 8	CH2_SRC	0x00	rw	CH2 来源的选择位（CH2 source select） 当 DMA_FLEX_EN=1 时，由 CH2_SRC 选择通道 2 来源，详见 9.3.7DMA 弹性请求映射
位 7: 0	CH1_SRC	0x00	rw	CH1 来源的选择位（CH1 source select） 当 DMA_FLEX_EN=1 时，由 CH1_SRC 选择通道 1 来源，详见 9.3.7DMA 弹性请求映射

### 9.4.8 通道来源寄存器1（DMA\_SRC\_SEL1）

访问：无等待状态，字，半字和字节访问

域	简称	复位值	类型	功能
位 31: 25	保留	0x00	resd	保持默认值。
位 24	DMA_FLEX_EN:	0x0	rw	DMA 请求映像模式选择位。（DMA flexible mapping select enable） 0: DMA 请求映像模式为固定模式 1: DMA 请求映像模式为弹性模式
位 23: 8	保留	0x00	resd	保持默认值。
位 7: 0	CH5_SRC	0x00	rw	CH5 来源的选择位（CH5 source select） 当 DMA_FLEX_EN=1 时，由 CH5_SRC 选择通道 5 来源，详见 9.3.7DMA 弹性请求映射

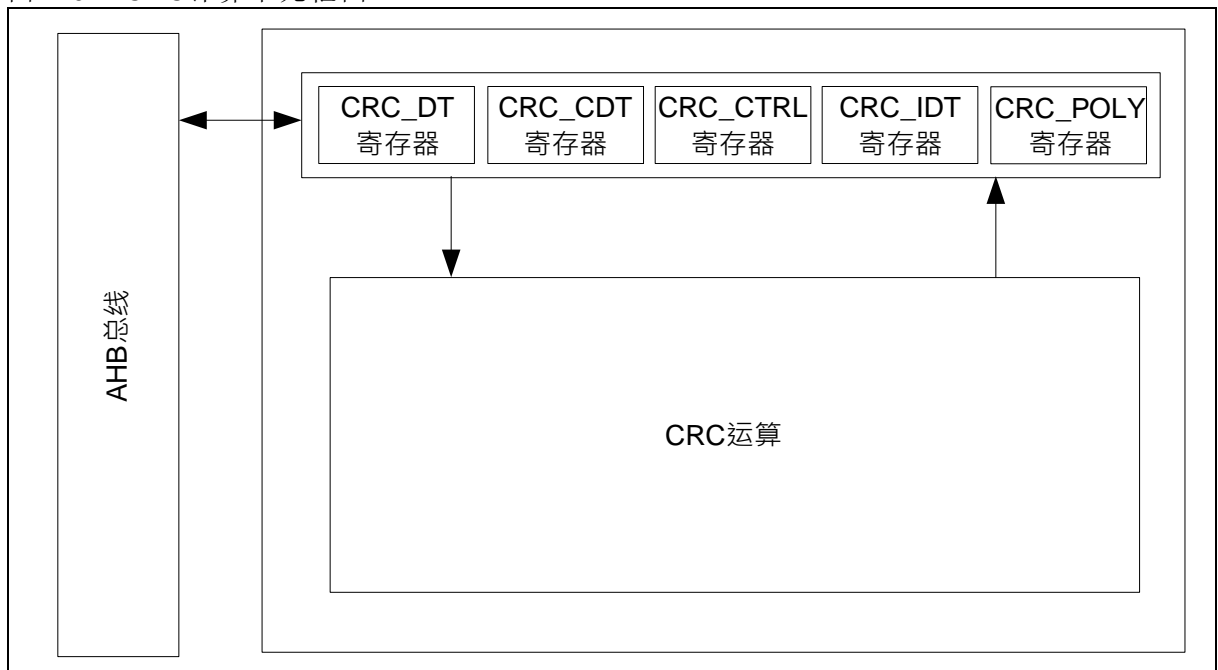


## 10 CRC 计算单元（CRC）

### 10.1 CRC介绍

CRC 计算单元是一个独立的具备 CRC 计算功能的外设，CRC 计算单元采用 CRC32/MPEG-2。用户可以通过软件编程配置 CRC\_CTRL 选择是否进行输出数据翻转（全字翻转，REVOD=1）或输入数据翻转（字节翻转，REVID=01；半字翻转，REVID=10；全字翻转，REVID=11），CRC 计算单元还提供初始化功能，每次 RESET 操作后，CRC 计算单元会将 CRC\_IDT 中的值搬入 CRC\_DT。CRC\_POLY 寄存器可让用户软件编程不同的生成多项式系数，并透过 CRC\_CTRL 的 POLY\_SIZE 将生成多项式的大小配置为 7/8/16/32 位。用户通过写和读 CRC\_DT 寄存器的方式，写入想要进行计算的值，读出计算的结果，注意每次的 CRC 计算结果是前一次计算结果与当前待计算值的组合。

图 10-1 CRC计算单元框图



#### CRC 主要特性：

- 预设采用 CRC-32 标准
- 可编程生成多项式
- 一次 CRC 计算需要 4 个 HCLK
- 输入输出数据格式可翻转
- 待计算值的写入和计算结果的读出都通过写和读 CRC\_DT 实现
- 配置 CRC\_IDT 写入初始化值，在每次 CRC 复位后该值会加载到 CRC\_DT

### 10.2 CRC功能说明

CRC 的计算原理是将输入数据做为被除数，与作为除数的生成多项式进行模二除法，得到的余数即为 CRC 值。

#### CRC 运算流程

- 输入翻转，即数据输入后，先依据 CRC\_CTRL 的 REVID 值进行输入数据翻转
- 初始化，首次计算会与 CRC\_IDT 设定的初始值做 XOR。若非首次计算，则初始值为上次的计算结果。
- CRC 计算，与生成多项式(0x4C11DB7)进行模二除法，所得余数为 CRC 值
- 输出翻转，依据 CRC\_CTRL 的 REVOD 决定是否将 CRC 值执行全字翻转后再输出。
- 对结果进行 XOR 运算，结果异或值固定为 0x0000 0000。



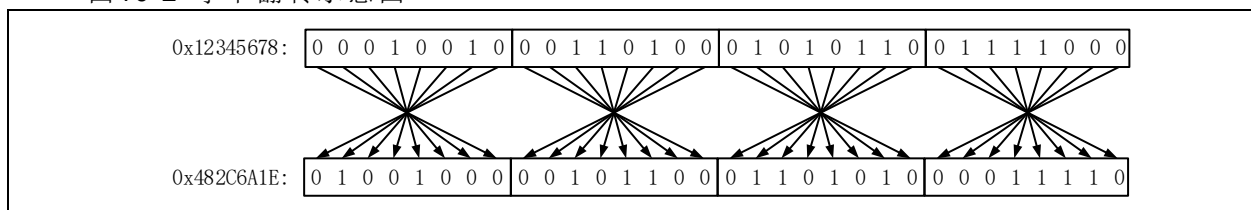
**CRC-32/MPEG-2 参数说明**

- 生成多项式:  $0x4C11DB7$ ,  
即  $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- 初始值:  $0xFFFF\ FFFF$ , 目的为避免待测数据为 1 字节  $0x00$  和多字节  $0x00$  的结果相同。
- 结果异或值:  $0x0000\ 0000$ , 此值表示不对 CRC 结果再进行一次 XOR 运算

**翻转功能说明**

- 选择以字节翻转, 则 8bit 为一组, 组内排列顺序颠倒。如下图所示, 若原数据为  $0x12345678$ , 翻转后为  $0x482C6A1E$ 。
- 选择以半字翻转, 则 16bit 为一组, 组内排列顺序颠倒。
- 选择以字翻转, 则 32bit 为一组, 组内排列顺序颠倒。

图 10-2 字节翻转示意图



## 10.3 CRC寄存器

除 CRC\_DT 可以用字节 (8 位)、半字 (16 位) 或字 (32 位) 的方式操作之外, 其他寄存器必须以字 (32 位) 的方式操作。

表 10-1 CRC计算单元寄存器映像

寄存器简称	基址偏移量	复位值
CRC_DT	0x00	0xFFFF FFFF
CRC_CDT	0x04	0x0000 0000
CRC_CTRL	0x08	0x0000 0000
CRC_IDT	0x10	0xFFFF FFFF
CRC_POLY	0x14	0x04C1 1DB7

### 10.3.1 数据寄存器 (CRC\_DT)

域	简称	复位值	类型	功能
位 31: 0	DT	0xFFFF FFFF	rw	数据寄存器位 (Data value) 写入 CRC 计算器的新数据时, 作为输入寄存器读取时返回 CRC 计算的结果。

### 10.3.2 通用数据寄存器 (CRC\_CDT)

域	简称	复位值	类型	功能
位 31: 8	保留	0x000000	resd	保持默认值。
位 7: 0	CDT	0x00	rw	通用 8 位数据寄存器位 (Common 8-bit data value) 可用于临时存放 1 字节的数据。寄存器 CRC_CTRL 的 RST 位产生的 CRC 复位对本寄存器没有影响。

### 10.3.3 控制寄存器（CRC\_CTRL）

域	简称	复位值	类型	功能
位 31: 8	保留	0x000000	resd	保持默认值。
位 7	REVOD	0	rw	输出数据翻转（Reverse output data） 由软件置起或清零。该位控制是否翻转输出数据。 0：不翻转； 1：全字翻转。
位 6: 5	REVID	0x0	rw	输入数据翻转（Reverse input data） 由软件置起或清零。该位控制如何翻转输入数据。 00：不翻转； 01：字节翻转； 10：半字翻转； 11：全字翻转。
位 4: 3	POLY_SIZE	0x0	rw	生成多项式位宽(Polynomial size) 该位控制生成多项式的位宽大小，与 CRC_POLY 寄存器相配合。 00：位宽为 32 位 01：位宽为 16 位 10：位宽为 8 位 11：位宽为 7 位
位 2: 1	保留	0x0	resd	保持默认值。
位 0	RST	0	wo	RESET 位（Reset CRC calculation unit） 由软件置起，由硬件自动清零。复位 CRC 计算单元，设置数据寄存器为 0xFFFF FFFF。 0：无作用； 1：复位。

### 10.3.4 初始化寄存器（CRC\_IDT）

域	简称	复位值	类型	功能
位 31: 0	IDT	0xFFFF FFFF	rw	初始化数据寄存器（Initial data value） 当 CRC_CTRL 寄存器的 RST 位产生的 CRC 复位时，初始化寄存器中的数值将作为 CRC_DT 寄存器的初始值写入。

### 10.3.5 生成多项式系数寄存器（CRC\_POLY）

域	简称	复位值	类型	功能
位 31: 0	POLY	0x04C1 1DB7	rw	生成多项式系数寄存器（polynomial coefficient） 生成多项式为 CRC 计算中的除数，预设使用 CRC32 参数模型，所以系数为 0x4C11DB7。用户亦可自行编程该生成多项式。

# 11 I<sup>2</sup>C 接口

## 11.1 I<sup>2</sup>C 简介

I<sup>2</sup>C总线接口处理微控制器和串行I<sup>2</sup>C总线之间的通信，支持主机和从机模式，最大通信速度为1Mbit/s(增强快速模式)。

## 11.2 I<sup>2</sup>C的主要特点

- I<sup>2</sup>C 总线
  - 主机和从机模式
  - 多主机功能
  - 标准模式 (standard mode, 最高 100kHz)、快速模式 (fast mode, 最高 400kHz) 和增强快速模式 (fast mode plus, 最高 1 MHz)
  - 7-bit 和 10-bit 地址模式
  - 两组 7 位从地址 (2 个地址, 其中一个可屏蔽)
  - 广播呼叫
  - 可编程数据建立和保持时间
  - 时钟延展功能
- 支持 DMA 功能
- 可编程数字噪声滤波器
- 可用地址匹配事件从 deep sleep mode 唤醒
- 支持 SMBus 2.0 版协议
  - PEC 产生和检查
  - 命令和数据的应答控制
  - ARP(地址解析协议)
  - 主机功能
  - 设备功能
  - SMBus 提醒功能
  - 超时检测
  - 空闲检测
- PMBus

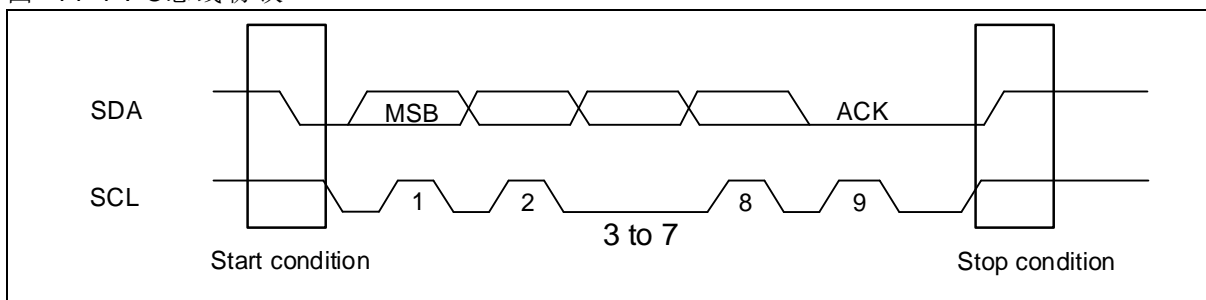
## 11.3 I<sup>2</sup>C总线特性

I<sup>2</sup>C 总线是由数据线 SDA 和时钟线 SCL 构成，在标准模式下通信速度可达到 100kHz，快速模式下则可以达到 400kHz，增强快速模式可达到 1MHz。一帧数据传输从开始信号开始，在结束信号后停止，在收到开始信号后总线被认为是繁忙的，当收到结束信号后，总线被认为再次空闲。

开始信号：SCL 为高电平时，SDA 由高电平变为低电平；

结束信号：SCL 为高电平时，SDA 由低电平变为高电平。

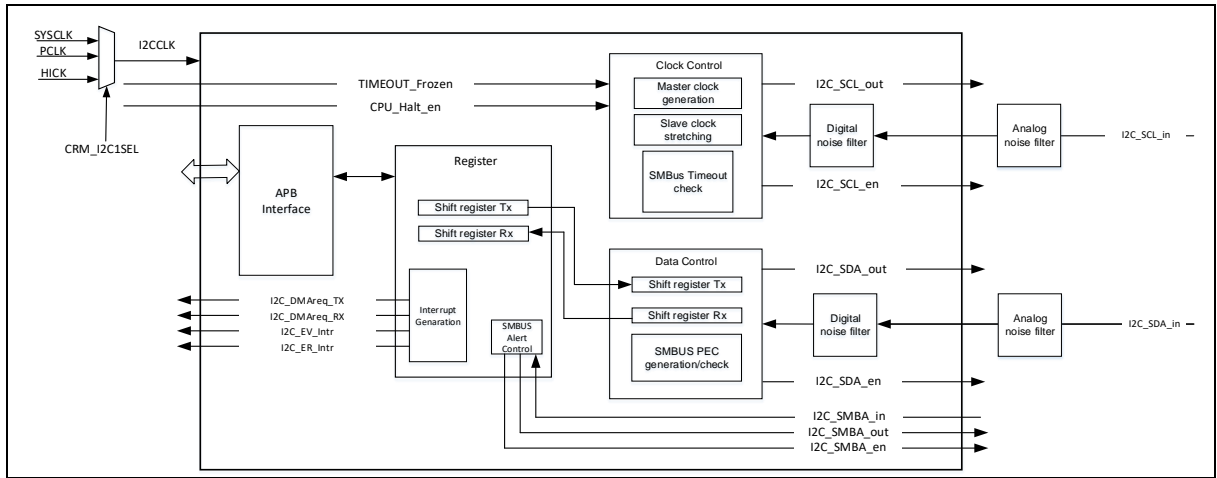
图 11-1 I<sup>2</sup>C总线协议



## 11.4 I<sup>2</sup>C接口

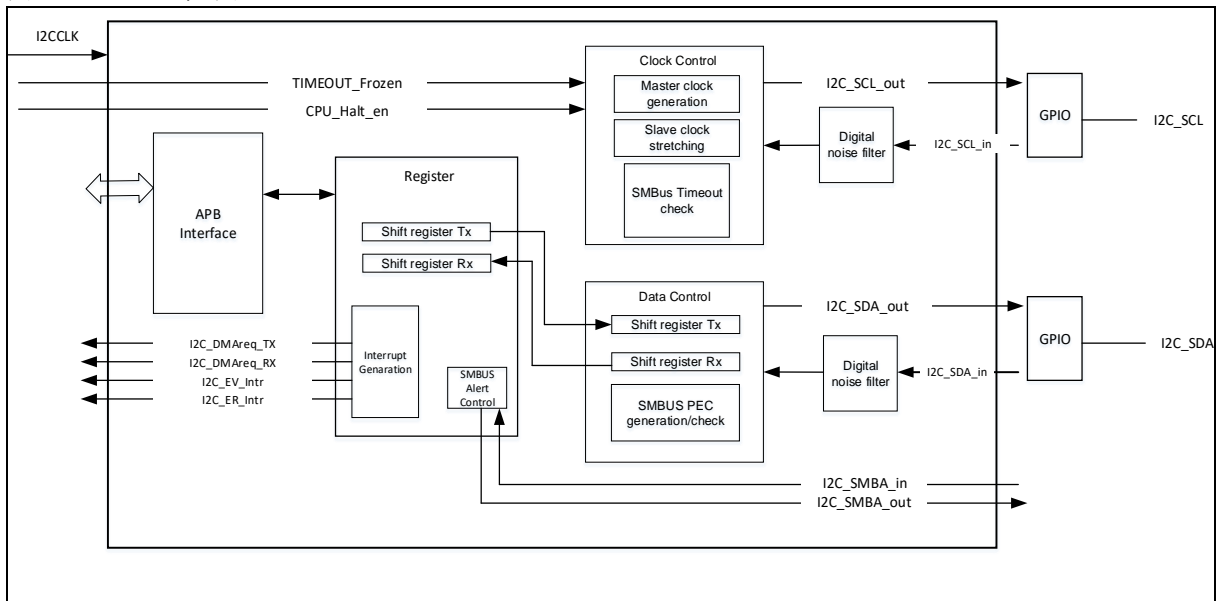
I<sup>2</sup>C 接口的功能框图示于下图：

图 11-2 I<sup>2</sup>C1框图



I2C1 可透过配置 CRM 中 MISC2 寄存器的 I2C1SEL 位，时钟来源可选择来自 SYSCLK,PCLK 和 HICK，并且支持从 Deepsleep mode 唤醒，I2C1 有模拟滤波器，可以滤掉 50ns 内的噪声。

图 11-3 I<sup>2</sup>C2框图



I2C2 时钟来源为 PCLK，不支持 Deepsleep mode 唤醒并且没有模拟滤波器。

### 1. 接口工作模式

I<sup>2</sup>C 总线接口可以工作在主机模式与从机模式，并且可以相互切换。默认情况下处于从机模式，当产生了一个起始信号后，I<sup>2</sup>C 总线接口切换成主模式，当数据传输完成之后，也就是结束信号产生了之后，I<sup>2</sup>C 总线接口自动返回为从机模式。

### 2. 通信流程

#### ● 主机模式通信流程：

1. 产生开始信号
2. 发送地址
3. 发送或接收数据
4. 产生结束信号
5. 通信结束

- 从机模式通信流程：
  1. 等待地址匹配
  2. 发送或接收数据
  3. 等待结束信号产生
  4. 通信结束

### 3. 数字滤波功能

SCL 和 SDA 总线上均有数字滤波器，数字滤波器可以有效降低总线上的干扰，通过配置 I2C\_CTRL1 的 DFLT[3: 0]位（范围 0~15），可以启用数字滤波器，滤波时间为  $DLFT \times t_{I2C\_CLK}$ ，当 I<sup>2</sup>C 启用时不允许更改数字滤波器的配置。

### 4. 地址控制

主机和从机都支持 7 位和 10 位地址模式

#### 从机地址模式：

- 7 位地址模式（ADDR1MODE=0）
  - 单地址模式 ADDR1EN=1，ADDR2EN=0：此时只匹配 OADDR1；
  - 双地址模式 ADDR1EN=1，ADDR2EN=1：此时匹配 OADDR1 和 OADDR2。
- 10 位地址模式（ADDR1MODE=1）
  - 只支持单地址模式 ADDR1EN=1，ADDR2EN=0，匹配 OADDR1

#### 从机地址屏蔽功能

从机地址 2（OADDR2）支持地址屏蔽功能，通过设置 ADDR2MASK[2: 0]启用地址屏蔽功能

- 0：匹配地址位[7: 1]；
- 1：只匹配地址位[7: 2]；
- 2：只匹配地址位[7: 3]；
- 3：只匹配地址位[7: 4]；
- 4：只匹配地址位[7: 5]；
- 5：只匹配地址位[7: 6]；
- 6：只匹配地址位[7]；
- 7：所有非 I<sup>2</sup>C 保留地址都会响应。

#### 从机特殊地址支持：

- 广播地址（0b0000000x）：当 GCAEN=1 时该地址启用；
- SMBus 设备默认地址（0b1100001x）：当在 SMBus 设备模式下（DEVADDREN = 1）该地址启用，该地址用于 SMBus 地址解析协议；
- SMBus 主机默认地址（0b0001000x）：当在 SMBus 主机模式下（HADDREN = 1）该地址启用，该地址用于 SMBus 主机通知协议；
- SMBus 提醒地址（0b0001100x）：当在 SMBus 在设备模式下，并且拉低 SMBbus ALERT 引脚（SMBALERT = 1）下该地址启用，该地址用于 SMBus 提醒响应协议。

关于 SMBus 协议更详细的信息请参考 SMBus2.0 协议。

#### 从机地址匹配流程：

- 收到开始信号
- 匹配地址
- 若地址成功匹配，从机回一个 ACK
- 此时 ADDRDF 置 1，SDIR 指示传输方向
  - 如果 SDIR=0 从机进入接收模式，开始接收数据
  - 如果 SDIR=1 从机进入发送模式，开始发送数据

### 5. 时钟延展功能

在默认情况下，从机的时钟延展功能是打开的，即 I2C\_CTRL1 的 STRETCH 位为 0，从机可以根据需要将 SCL 信号拉低，延长 SCL 信号的低电平时间以便执行软件的操作，如果主机不支持时钟延展功能，则 I2C\_CTRL1 的 STRETCH 位需配置为 1。需要注意的是 I<sup>2</sup>C 从机的时钟延展模式必须在在使能 I<sup>2</sup>C 外设之前配置。

#### 从机时钟延展

I<sup>2</sup>C 从机在以下情况下延展 SCL 时钟：

- 地址接收阶段：从机接收到的地址与启用的本机地址匹配（I2C\_STS 的 ADDR<sub>F</sub>=1）时会将 SCL 线拉低，直到软件将 I2C\_CLR 的 ADDR<sub>C</sub> 位置 1 清除 ADDR<sub>F</sub> 时释放时钟延展；
- 数据接收阶段：I2C\_RXDT 寄存器的数据尚未被读取，移位寄存器也接收到一个新的数据，这时会将 SCL 线拉低直到 I2C\_RXDT 寄存器的数据被读取；
- 数据发送阶段：ADDR<sub>F</sub> 被清除后未写入数据时，I2C\_STS 的 TD<sub>BE</sub>= 1，这时会将 SCL 线拉低直到数据写入 I2C\_TXDT；
- 数据发送阶段：上一笔的数据传输已完成，尚未有新的数据写到 I2C\_TXDT，这时会将 SCL 线拉低直到数据写入 I2C\_TXDT；
- 当启用从机字节控制模式(I2C\_CTRL1 的 SCTRL 为 1)且 I2C\_CTRL2 的 RL<sub>DEN</sub> 位为 1，如果 TCRLD = 1，代表此时最后一个数据字节已经传输完成，直到向 I2C\_CTRL2 的 CNT 位写入一个非零值，硬件自动将 TCRLD 清 0，从机释放 SCL 线。  
从机不带时钟延展

当 I2C\_CTRL1 的 STRETCH 位为 1 时，I<sup>2</sup>C 从机不会延展 SCL 信号，需要特别注意下列情况：

- 地址接收阶段：从机接收到的地址与启用的本机地址匹配（I2C\_STS 的 ADDR<sub>F</sub>=1）时 SCL 时钟不会延展；
- 数据接收阶段：下一个字节的 ACK 发生前，尚未将数据从 I2C\_RXDT 寄存器读走，会发生上溢，I2C\_STS 的 OUF 位会被置 1；
- 数据发送阶段：上一笔的数据传输已完成，尚未有新的数据写到 I2C\_TXDT，会发生下溢，I2C\_STS 的 OUF 位会被置 1。

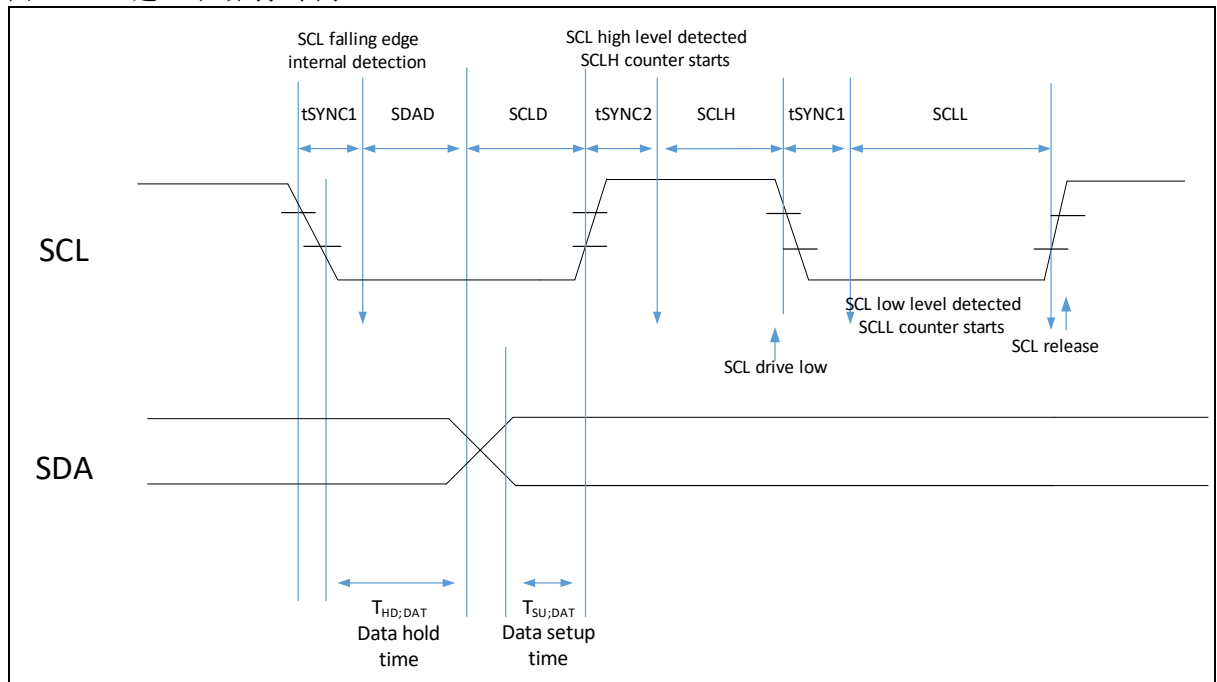
### 11.4.1 I<sup>2</sup>C 时序控制

I<sup>2</sup>C 内核由 I2C\_CLK 提供时钟，I2C\_CLK 由 PCLK1 提供，PCLK1 周期需满足小于 4/3 SCL 周期。通过 I2C\_CLKCTRL 寄存器的各个位，配置各个时序。

- DIV[7: 0]：I<sup>2</sup>C 时钟分频；
- SDAD[3: 0]：数据保持时间（t<sub>HD;DAT</sub>）；
- SCLD[3: 0]：数据建立时间（t<sub>SU;DAT</sub>）；
- SCLH[7: 0]：SCL 高电平时间；
- SCLL[7: 0]：SCL 低电平时间。

注：当 I<sup>2</sup>C 启用时不允许更改时序配置。

图 11-4 建立和保持时间



通过配置 I2C\_CLKCTRL 的 DIV[7: 0]、SDAD[3: 0]、SCLD[3: 0]，可以灵活的配置数据保持时间

( $t_{HD;DAT}$ )

和数据建立时间 ( $t_{SU;DAT}$ )

- 数据保持时间 ( $t_{HD;DAT}$ ) : SCL 下降沿到 SDA 输出的延时

$$t_{HD;DAT} = t_{SDAD} + t_{SYNC}$$

$$t_{SDAD} = SDAD \times (DIV + 1) \times t_{I2C\_CLK}$$

$$t_{SYNC} = (DLFT + 3) \times t_{I2C\_CLK} - t_r$$

$t_{SYNC}$  由以下几部分组成

- SCL下降沿时间  $t_f$
- 数字滤波器的输入延迟 ( $DLFT \times t_{I2C\_CLK}$ )
- SCL和I2C\_CLK的同步延时 (2~3个I2C\_CLK)

- 数据建立时间 ( $t_{SU;DAT}$ ) : SDA 输出后到 SCL 上升沿的延时

$$t_{SU;DAT} = SCLD \times (DIV+1) \times t_{I2C\_CLK} - t_r$$

在主机模式下, 通过配置 I2C\_CTRL 的 DIV[7: 0]、SCLH[7: 0]、SCLL[7: 0], 可以灵活的配置 SCL 高电平宽度和低电平宽度

低电平控制: 当检测到 SCL 总线为低电平时, 内部 SCLL 计数器开始计数, 当计数值达到 SCLL 值时, 释放 SCL 线, SCL 线变为高电平。

高电平控制: 当检测到 SCL 总线为高电平时, 内部 SCLH 计数器开始计数, 当计数值达到 SCLH 值时, 拉低 SCL 线, SCL 线变为低电平, 当在高电平期间, 如果被外部总线拉低, 那么内部 SCLH 计数器停止计数, 并开始低电平计数, 这为时钟同步提供了条件。

- 高电平宽度:

$$t_{HIGH} = (SCLH + 1) \times (DIV + 1) \times t_{I2C\_CLK}$$

- 低电平宽度:

$$T_{Low} = (SCLL + 1) \times (DIV + 1) \times t_{I2C\_CLK}$$

表 11-1 I<sup>2</sup>C 时间规范

参数		标准模式		快速模式		增强快速模式 Fast mode plus		SMBus 模式	
		Standard mode		Fast mode					
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值
fSCL (kHz)	SCL 时钟频率	100		400		1000		100	
tLOW (us)	SCL 时钟低电平	4.7		1.3		0.5		4.7	
tHIGH (us)	SCL 时钟高电平	4.0		0.6		0.26		4.0	50
tHD;DAT (us)	数据保持时间	0		0	0.9	0	0.45	300	
tSU;DAT (ns)	数据建立时间	250		100		50		250	
t <sub>r</sub> (ns)	SCL、SDA 上升沿		1000		300		120		1000
t <sub>f</sub> (ns)	SCL、SDA 下降沿		300		300		120		300

## 11.4.2 数据传输管理

I<sup>2</sup>C 内部有一个管理数据传输的计数器, 用来管理通信流程, 主要应用于以下地方:

- NACK发送: 主机接收模式;
- STOP发送: 主机接收/发送模式;
- RESTART产生: 主机接收/发送模式;
- ACK控制: 从机模式 (SMBus下);
- PEC发送/接收: 主机/从机模式。

通常字节传输管理计数器 (I2C\_CTRL2 的 CNT[7:0]位配置) 应用于主模式, 在从机模式下是关闭的, 只有在 SMBus 模式下, 从机为了对每一个字节进行 ACK 的控制和 PEC 的接收, 才会使用此计数器, 在 SMBus 模式下从机可以通过 I2C\_CTRL2 的 SCTRL 位来启用字节计数器功能。

### 主机字节控制

I2C\_CTRL2 的 CNT[7:0]用于配置发送字节个数, 配置范围为 1~255, 当一次传输的数据超过 255 个以上需要将 I2C\_CTRL2 的 RL DEN 位置 1, 使能重载模式, 所以发送数据个数分为 ≤255 字节和 >255 字节两种情况:



- $\leq 255$ 字节，例如要传输数据个数为100个字节
  - 步骤 1: 配置 RLDEN=0, 关闭重载模式;
  - 步骤 2: 配置 CNT[7:0]=100;
- $> 255$ 字节，例如要传输数据个数为600个字节
  - 步骤 1: 配置 RLDEN=1, 使能重载模式;
  - 步骤 2: 配置 CNT[7:0]=255, 此时还剩下  $600-255=345$  字节;
  - 步骤 3: 当这 255 字节传输完成后, I2C\_STS 的 TCRLD 位置 1, 然后配置 CNT[7:0]=255, 继续传输, 此时还剩下  $345-255=90$ ;
  - 步骤 4: 当这 255 字节传输完成后, I2C\_STS 的 TCRLD 位置 1, 然后配置 RLDEN=0, 禁止重载模式, 再配置 CNT[7:0]=90, 继续传输。

当是最后一笔数据传输时 (重载模式禁止, RLDEN=0), 有两种结束数据传输模式

- 自动结束模式 (I2C\_CTRL2 的 ASTOPEN=1)
  - 当发送了 CNT[7:0]个字节后, 主机自动发送 STOP 条件。
- 软件结束模式 (I2C\_CTRL2 的 ASTOPEN=0)
  - 当发送了 CNT[7:0]个字节后, I2C\_STS 的 TDC 位置 1, 此时 SCL 被拉低, 如果使能了 TDCIEN, 那么可以产生一个中断, 此时软件可以设置 I2C\_CTRL2 的 GENSTOP=1 产生一个 STOP 条件, 也可以设置 I2C\_CTRL2 的 GENSTART=1 产生一个 RESTART 条件, 然后软件清除 TDC 标志。

#### 从机字节控制

通过 I2C\_CTRL2 的 SCTRL 位来启用从机字节控制功能, 该功能可以让从机对接收到的每一个字节进行单独的 ACK/NACK 控制。

- 使用步骤:
  - 设置 SCTRL=1, 启用从机字节控制功能;
  - 在从机地址匹配后 (ADDRF=1), 使能重载模式 (RLDEN=1), 并设置 CNT[7:0]=1;
  - 当接收到一个字节后, I2C\_STS 的 TCRLD 置 1, 从机在 SCL 的第 8 个和第 9 个时钟沿中间拉低 SCL 总线, 此时用户读取 RXDT 寄存器, 然后根据需要配置 I2C\_CTRL2 的 NACKEN 位, 来产生一个 ACK 或 NACK;
  - 如果产生一个 NACK, 那么通信结束;
  - 如果产生一个 ACK, 通信继续, 此时写入 CNT[7:0]=1, 硬件自动清除 TCRLD 标志, 从机释放 SCL 总线, 继续接收下一个字节。

当然 CNT[7:0]值不仅仅局限于 1, 例如想接收 8 个数据, 但只想控制第 8 个数据的 ACK/NACK, 此时就可以设置 CNT[7:0]=8, 那么从机就会连续接收 7 个数据, 并且回复 ACK, 在第 8 个数据接收完后, 从机拉低总线, 然后同上述步骤, 决定 ACK/NACK 的回复。

需要注意的是: 要使用从机字节控制模式必须要使能时钟延展 (I2C\_CTRL1 的 STRETCH 位=0)。

表 11-2 I<sup>2</sup>C 配置表

功能	RLDEN	ASTOPEN	SCTRL
主机发送/接收 RESTART	0	0	×
主机发送/接收 STOP	0	1	×
从机接收 (每个字节 ACK/NACK 控制)	1	×	1
从机发送/接收 (所有字节响应 ACK)	×	×	0

### 11.4.3 I<sup>2</sup>C 主机通信流程

#### 1. I<sup>2</sup>C 时钟初始化 (配置 I2C\_CLKCTRL 寄存器)

- I<sup>2</sup>C 时钟分频: DIV[7: 0]
- 数据保持时间 (t<sub>HD;DAT</sub>): SDAD[3: 0]
- 数据建立时间 (t<sub>SU;DAT</sub>): 设置 SCLD[3: 0]
- SCL 高电平时间: 设置 SCLH[7: 0]
- SCL 低电平时间: 设置 SCLL[7: 0]

该寄存器的配置可以使用 Artery\_I2C\_Timing\_Configuration 时钟配置工具计算。

#### 2. 设置传输字节数

- $\leq 255$  字节  
配置 I2C\_CTRL2 的 RLDEN=0, 关闭重载模式



- 配置 I2C\_CTRL2 的 CNT[7:0]=N
- > 255 字节
- 配置 I2C\_CTRL2 的 RLDEN=1, 使能重载模式
- 配置 I2C\_CTRL2 的 CNT[7:0]=255
- 剩余传输字节数 N=N-255
- 3. 设置传输结束模式**
  - ASTOPEN=0: 软件结束模式, 当数据传输完成后, I2C\_STS 的 TDC 标志置 1, 软件设置 GENSTOP=1 或者 GENSTART=1, 发送 STOP 条件或者 START 条件。
  - ASTOPEN=1: 自动结束模式, 当数据传输完成后, 自动发送 STOP 条件。
- 4. 设置从机地址**
  - 设置寻址的从机地址值 (I2C\_CTRL2 的 SADDR)
  - 设置从机地址模式 (I2C\_CTRL2 的 ADDR10):
    - ADDR10=0: 7 位地址模式
    - ADDR10=1: 10 位地址模式
- 5. 设置传输方向 (I2C\_CTRL2 的 DIR)**
  - DIR=0: 主机接收数据
  - DIR=1: 主机发送数据
- 6. 开始传输**

设置 I2C\_CTRL2 的 GENSTART=1, 主机开始在总线上发送 START 条件和从机地址, 当从机响应了地址之后, 主机的 I2C\_STS 的 ADDR10=1, 设置 I2C\_CLR 的 ADDR10=1 清除 ADDR10 标志后, 开始数据传输。
- 7. 主机发送数据**
  1. I2C\_TXDT 数据寄存器为空, 移位寄存器为空, I2C\_STS 的 TDIS=1;
  2. 向 TXDT 数据寄存器写入数据 1, 然后数据将被立即放进移位寄存器;
  3. 此时 TXDT 数据寄存器为空, TDIS 又置 1;
  4. 向 TXDT 数据寄存器写入数据 2, TDIS 被清 0;
  5. 重复 2、3 步骤直到发送 CNT[7:0] 个数据;
  6. 如果此时 I2C\_STS 的 TCRLD=1 (重载模式), 分为以下两种情况:
    - 剩余字节数 N>255: 向 CNT 写入 255, N=N-255, TCRLD 被自动清 0, 传输继续;
    - 剩余字节数 N≤255: 关闭重载模式 (RLDEN=0), 向 CNT 写入 N, TCRLD 被自动清 0, 传输继续。
- 8. 主机接收数据**
  1. 当正确匹配了从机地址之后, 主机的 I2C\_STS 的 ADDR10=1, 设置 I2C\_CLR 的 ADDR10=1 清除 ADDR10 标志后, 开始数据传输;
  2. 当收到数据后, RDBF=1, 读取 RXDT 数据寄存器, RDBF 被自动清零;
  3. 重复步骤 2 直到接收 CNT[7:0] 个数据;
  4. 如果此时 I2C\_STS 的 TCRLD=1 (重载模式), 分为以下两种情况:
    - 剩余字节数 N>255: 向 CNT 写入 255, N=N-255, TCRLD 被自动清 0, 传输继续;
    - 剩余字节数 N≤255: 关闭重载模式 (RLDEN=0), 向 CNT 写入 N, TCRLD 被自动清 0, 传输继续;
  5. 当在接收到最后一个字节时, 主机会自动发送一个 NACK。
- 9. 结束时序**
  - 停止条件产生:
    - 软件结束模式 (ASTOPEN=0): 此时 I2C\_STS 的 TDC 置 1, 设置 GENSTOP=1 产生 STOP 条件;
    - 自动结束模式 (ASTOPEN=1): 自动产生 STOP 条件。
  - 等待产生 STOP 条件, 当 STOP 条件产生时, I2C\_STS 的 STOPF 置 1, 将 I2C\_CLR 的 STOPC 写 1, 清除 STOPF 标志, 传输结束。

主机在传输过程中, 如果收到了 NACK, 那么此时 I2C\_STS 的 ACKFAIL 置 1, 并自动发送 STOP 条件结束通信, 无论当前是软件结束模式 (ASTOPEN=0) 还是自动结束模式 (ASTOPEN=1)。

## 主机发送流程

图 11-5 I<sup>2</sup>C主机发送流程图

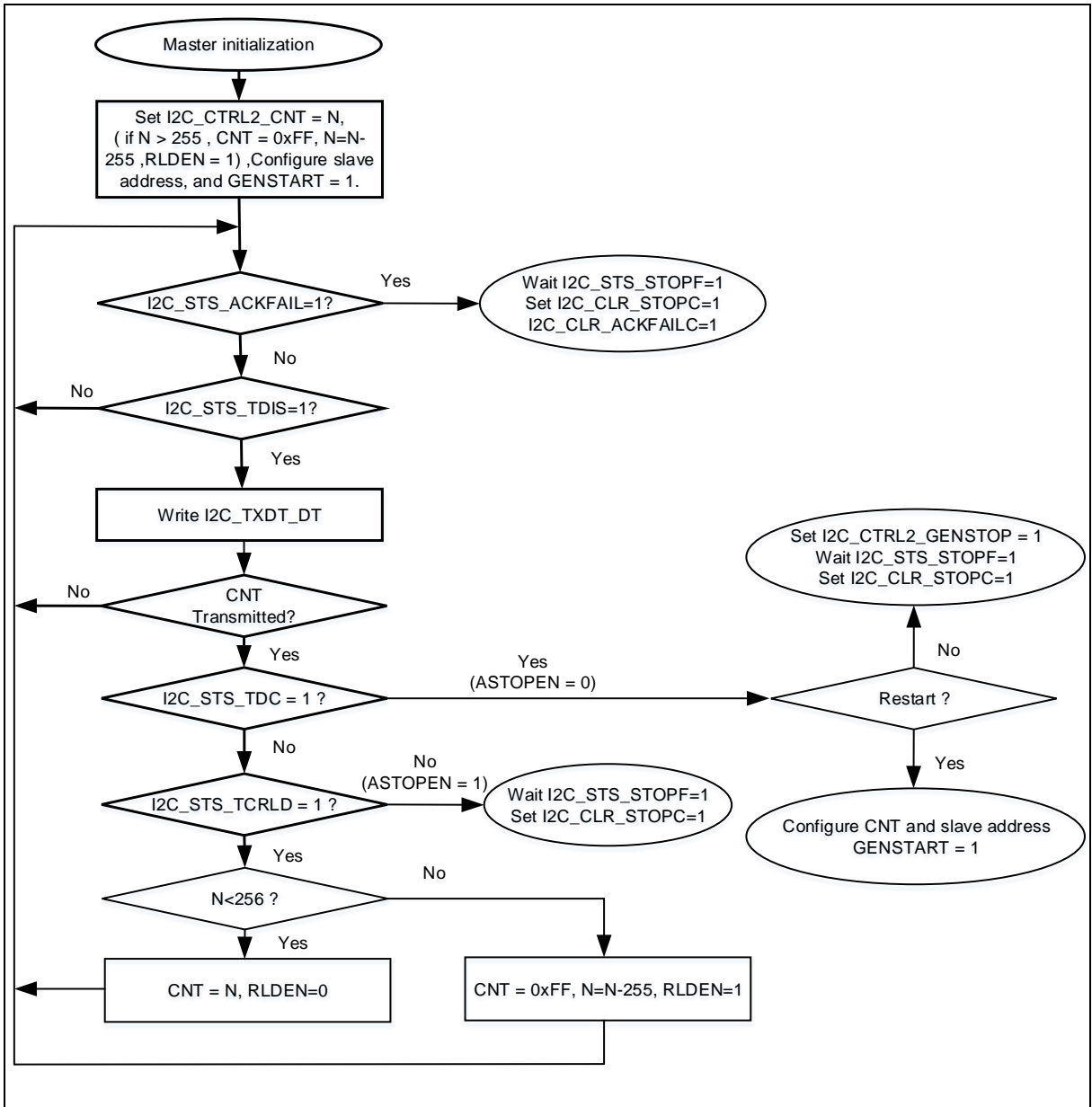
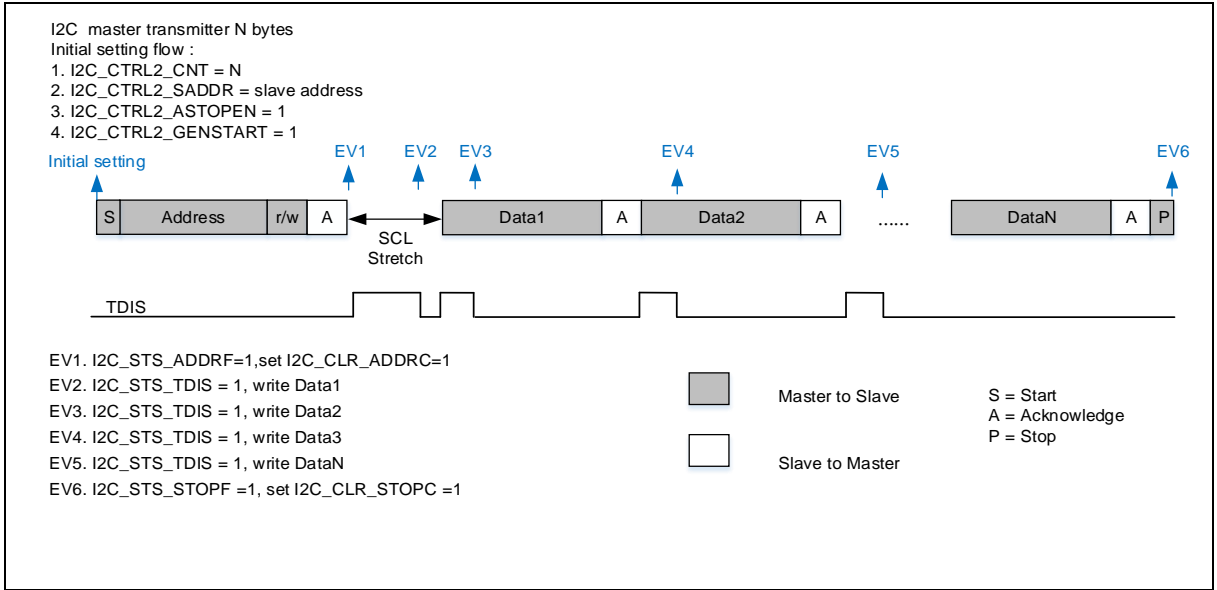


图 11-6 I<sup>2</sup>C主机发送时序图



## 主机接收流程

图 11-7 I<sup>2</sup>C主机接收流程图

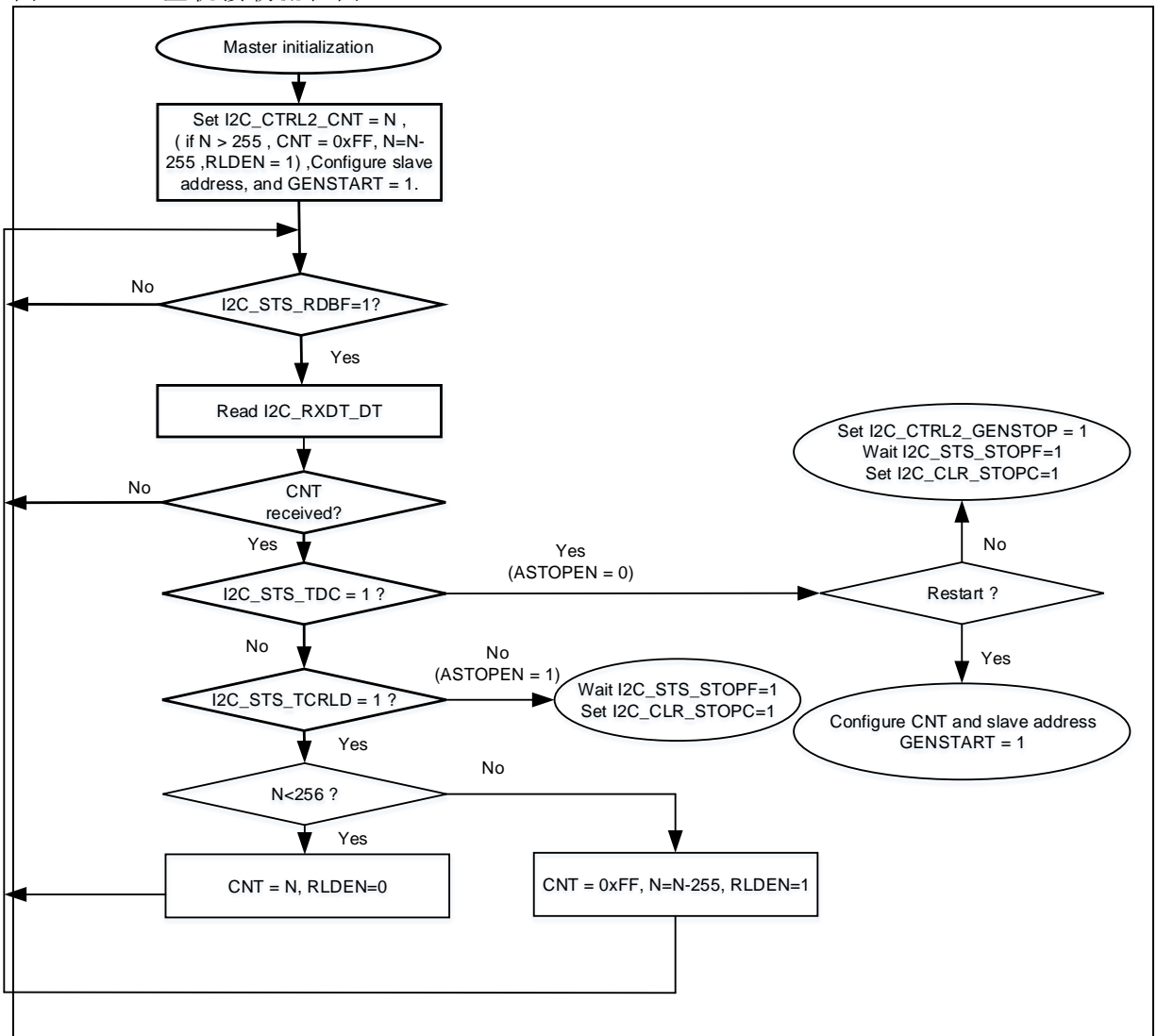
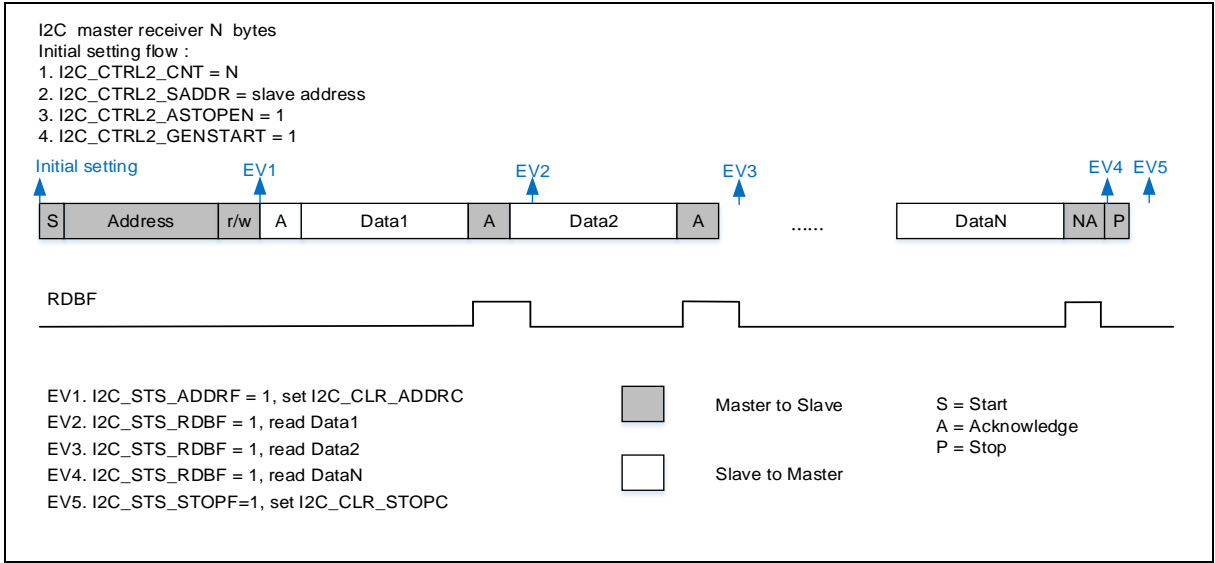


图 11-8 I<sup>2</sup>C主机接收时序图



### 主机特殊传输时序支持

在 10 位地址传输模式下，I2C\_CTRL2 的 READH10 用于产生特殊时序，当 READH10=1 时，支持如下传输序：主机先发送数据给从机，然后再从从机读取数据，传输时序图如下图所示：

使用方法：

主机在软件结束模式（ASTOPEN = 0）下，发送数据到从机，当数据发送完成后设置 READH10=0，然后再从从机接收数据。

图 11-9 10位地址读访问READH10=1

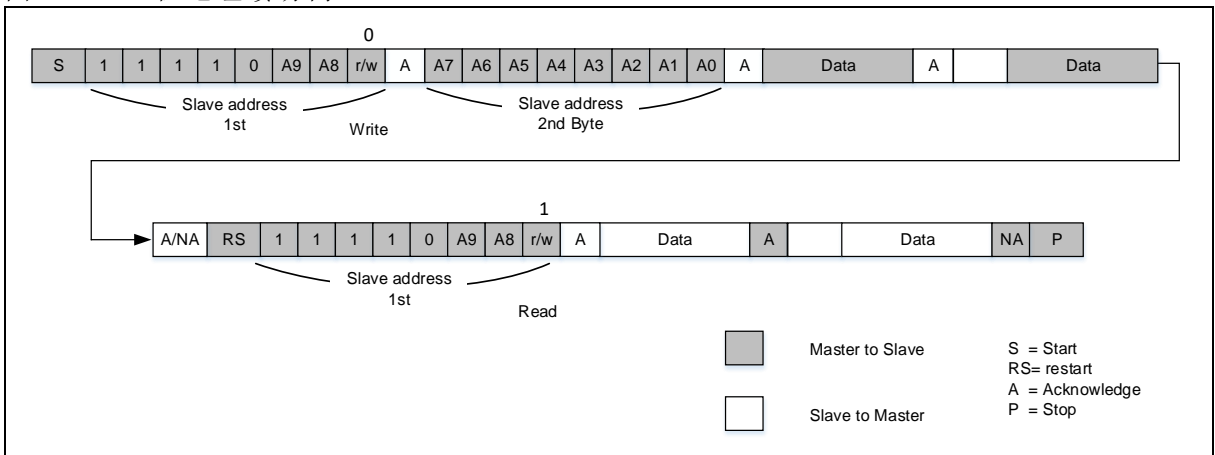
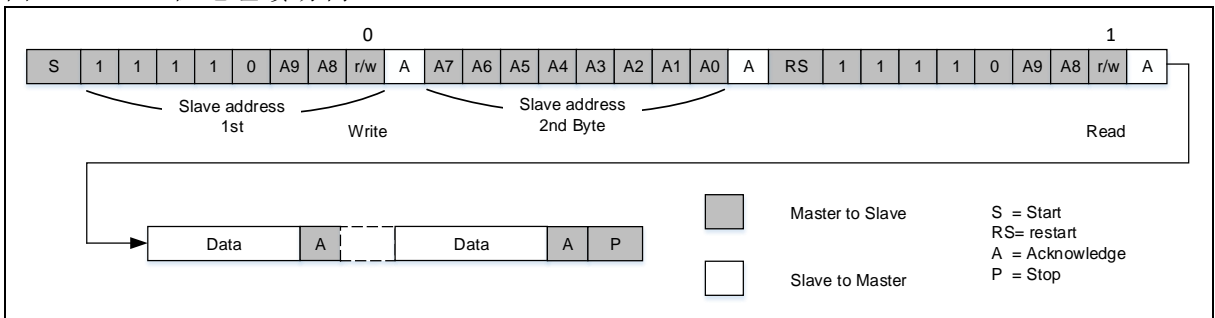


图 11-10 10位地址读访问READH10=0



### 11.4.4 I<sup>2</sup>C从机通信流程

#### 1. I<sup>2</sup>C时钟初始化（配置I2C\_CLKCTRL寄存器）

- I<sup>2</sup>C 时钟分频：DIV[7: 0]
- 数据保持时间（ $t_{HD;DAT}$ ）：SDAD[3: 0]
- 数据建立时间（ $t_{SU;DAT}$ ）：设置 SCLD[3: 0]

该寄存器的配置可以使用Artery\_I2C\_Timing\_Configuration时钟配置工具计算。

#### 2. 设置本机地址1

- 设置地址模式：
  - 7 位地址：设置 I2C\_OADDR1 的 ADDR1MODE = 0
  - 10 位地址：设置 I2C\_OADDR1 的 ADDR1MODE = 1
- 设置地址 1：设置 I2C\_OADDR1 的 ADDR1
- 使能地址 1：设置 I2C\_OADDR1 的 ADDR1EN=1

#### 3. 设置本机地址2

- 设置地址 2：设置 I2C\_OADDR2 的 ADDR2
- 设置地址 2 屏蔽位：设置 I2C\_OADDR2 的 ADDR2MASK
- 使能地址 2：设置 I2C\_OADDR2 的 ADDR2EN=1

需要注意的是，地址 2 只支持 7 位地址模式，并且可以通过 ADDR2MASK 位来灵活的屏蔽一些地址位，使从机响应一些特定的地址，关于 ADDR2MASK 位的详细用法，请参照章节 14.2。

在只使用一个地址的情况下，此地址不用配置，只需要配置地址 1。

#### 4. 等待地址匹配

当接收到本机地址后，I2C\_STS的ADDRF标志置1，此时可以读取I2C\_STS的SDIR位，得到数据传输方向，当SDIR=0时数据传输方向为从机接收数据，当SDIR=1时，数据方向为从机发送数据，通过读取I2C\_STS的ADDR[6:0]标志，可以知道接收到的地址是多少，这在双地址模式以及使用了地址2的屏蔽功能模式下，比较有用。

当通过设置I2C\_CLR的ADDRC=1清除ADDRF标志后，开始数据传输。

#### 5. 传输数据（从机发送，开启时钟延展，STRETCH=0）

当在地址匹配后：

1. I2C\_TXDT 数据寄存器为空，移位寄存器为空，I2C\_STS 的 TDIS=1；
2. 向 TXDT 数据寄存器写入数据 1，然后数据将被立即放进移位寄存器；
3. 此时 TXDT 数据寄存器为空，TDIS 又置 1；
4. 向 TXDT 数据寄存器写入数据 2，TDIS 被清 0；
5. 重复 3、4 步骤直到数据发送完成；
6. 等待收到 NACK 条件，当收到 NACK 条件时，I2C\_STS 的 ACKFAILF 置 1，将 I2C\_CLR 的 ACKFAILC 写 1，清除 ACKFAILF 标志；
7. 等待收到 STOP 条件，当收到 STOP 条件时，I2C\_STS 的 STOPF 置 1，将 I2C\_CLR 的 STOPC 写 1，清除 STOPF 标志，传输结束。

需要注意的是，在时钟延展关闭（STRETCH=1）的情况下，如果在将要传输数据的第一个 Bit 位开始发送之前，也就是 SDA 边沿产生之前，如果数据还未写入 TXDT 数据寄存器，那么会发生欠载错误，此时 I2C\_STS 的 OUF 将会置 1，并将 0xFF 发送到总线。

为了能及时的写入数据，可以在通信开始前，先将数据写入到 DT 寄存器，写入的方式有如下两种：

- 直接写入：软件先将 TDBE 置 1，目的是为了清空 TXDT 寄存器的数据，然后将第一个数据写入 TXDT 寄存器，此时 TDBE 清零；
- 通过中断或者 DMA 写入：软件先将 TDBE 置 1，目的是为了清空 TXDT 寄存器的数据，再将 TDIS 置 1，目的是为了产生一个 TDIS 事件，TDIS 事件可以产生一个中断或者 DMA 请求，此时就可以通过 DMA 或者在中断函数内将数据写入 TXDT 寄存器。

#### 6. 传输数据（从机接收，开启时钟延展，STRETCH=0）

当在地址匹配后：

1. I2C\_RXDT 数据寄存器为空，移位寄存器为空，I2C\_STS 的 RDBF=0；
2. 当收到数据后，RDBF=1，读取 RXDT 数据寄存器，RDBF 被自动清零；

3. 重复步骤 2 直到所有数据接收完成；
4. 等待收到 STOP 条件,当收到 STOP 条件时,I2C\_STS 的 STOPF 置 1,将 I2C\_CLR 的 STOPC 写 1, 清除 STOPF 标志, 传输结束。

在从机接收模式下,可以选择使用从机字节控制模式 (SCTRL=1) 接收数据, 在从机字节控制模式下,可以对每一个接收到的字节进行 ACK/NACK 的控制, 这种模式通常使用在 SMBus 协议中, 关于从机字节控制模式的详细用法, 请参照 11.4.2 数据传输管理章节。

需要注意的是,在时钟延展关闭 (STRETCH=1) 的情况下, 在收到数据后从机应该及时的将数据读走, 如果在已经收到 1 个字节后, 在下一个字节接收完成之前, 如果还未将数据读走, 从机将产生过载错误, 此时 I2C\_STS 的 OUF 将会置 1, 并自动回复 NCAK。

上述提到的标志, 均可通过相应的中断使能位, 产生中断, 具体的对应关系, 请见中断章节。

### 从机发送流程

图 11-11 I<sup>2</sup>C从机发送流程图

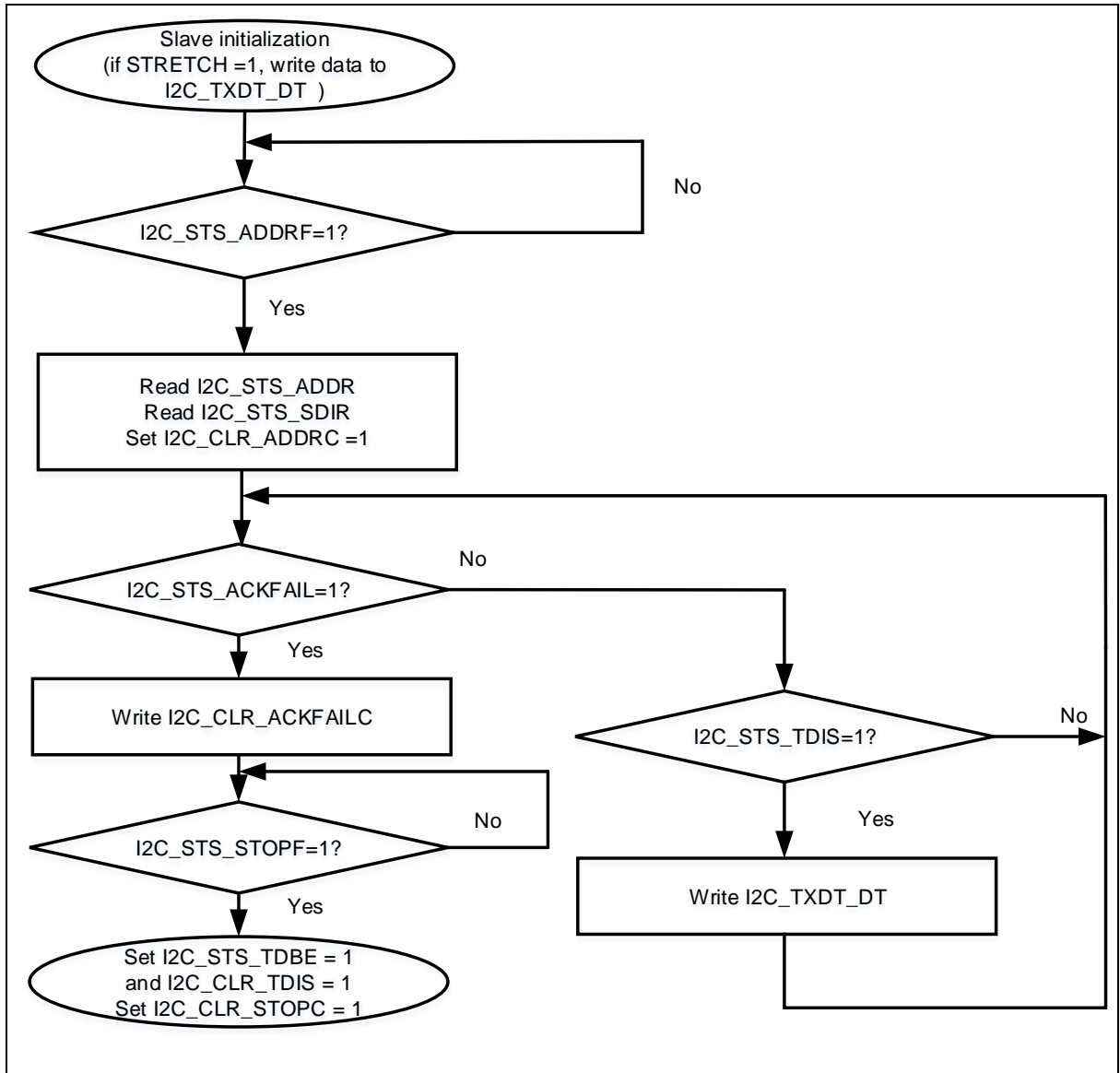
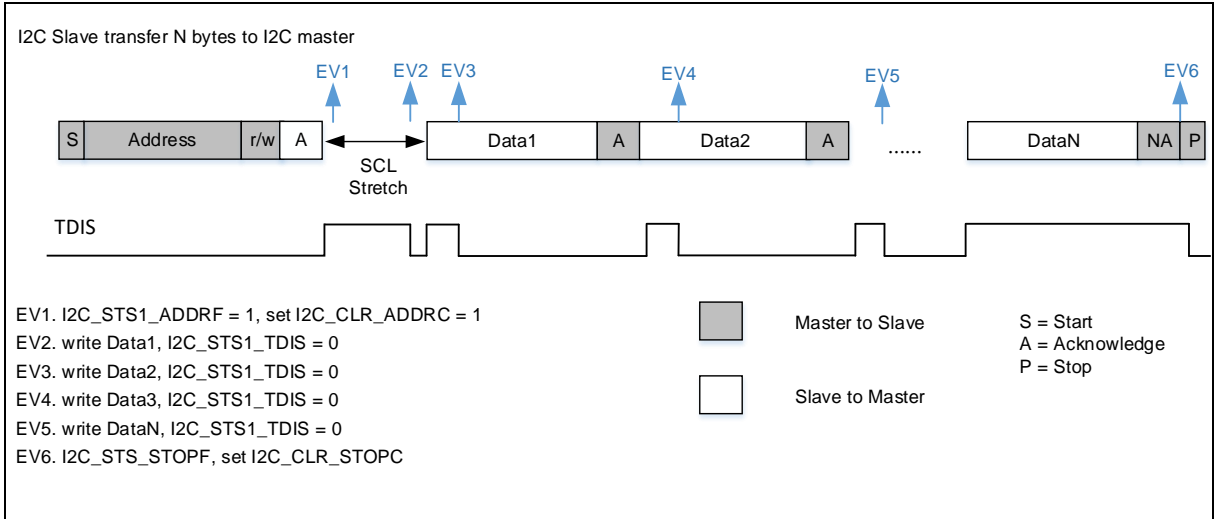


图 11-12 I<sup>2</sup>C从机发送时序图



从机接收流程

图 11-13 I<sup>2</sup>C从机接收流程图

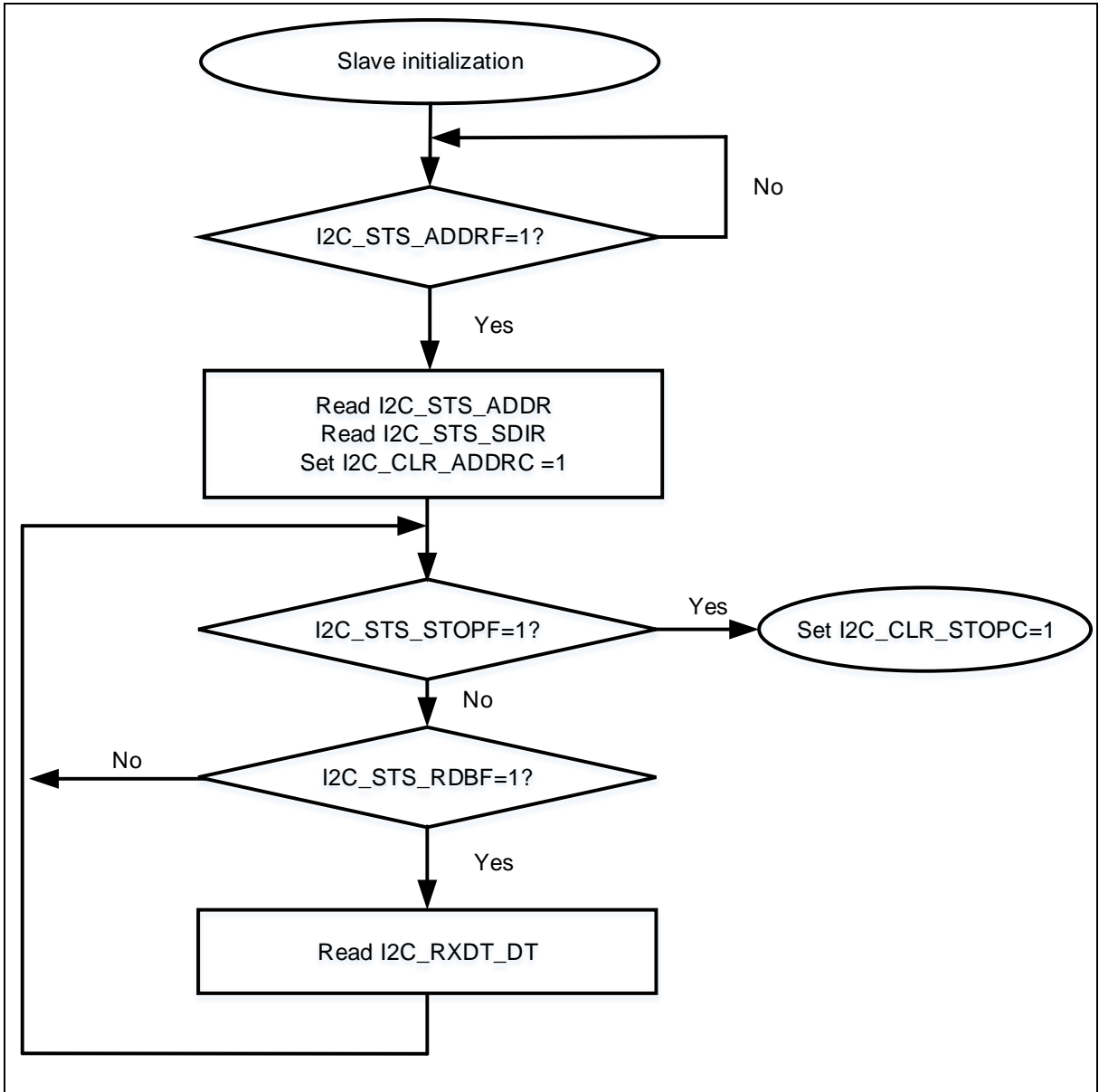
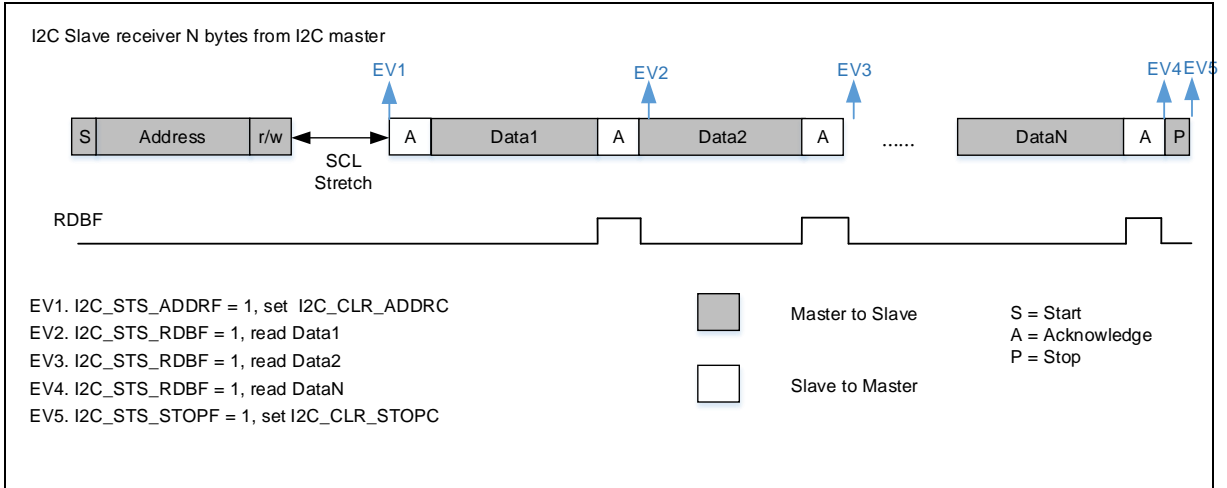




图 11-14 I<sup>2</sup>C从机接收时序图



### 11.4.5 SMBus功能

SMBus即系统管理总线是一双线制总线，基于I<sup>2</sup>C的操作原理，系统中各设备之间通过SMBus总线传送和接收讯息，通过SMBus总线，设备可以提供制造商信息，告诉系统型号，报告不同类型错误，接受控制参数等。关于SMBus更加详细的信息请参考SMBus2.0协议。

#### SMBus 和 I<sup>2</sup>C 的差异

1. SMBus需维持最低10kHz以上的运作频率主要为了管理监控，只要在保持一定传速运作的情况下加入参数，就可轻松获知总线目前是否处于闲置（Idle）中，省去逐一侦测传输过程中的停断（STOP）信号，或持续保有停断侦测并辅以额外参数侦测，I<sup>2</sup>C则无
2. SMBus传输速度从最小10kHz到最大100kHz，I<sup>2</sup>C则是无最小传输速度，根据不同模式有不同的最大传输速度，分为标准模式(100kHz)和快速模式(400kHz)
3. SMBus有超时机制，I<sup>2</sup>C则无超时机制

#### SMBus 地址解析协议(ARP)

通过 ARP 协议可以给总线上的设备动态的分配一个唯一的新地址，解决地址冲突问题。关于 ARP 协议更详细的信息请参考 SMBus2.0 协议。

通过使能 I2C\_CTRL1 寄存器的 DEVADDREN 位，可以使能 I<sup>2</sup>C 接口对设备默认地址(0b1100001x)的识别，但是像唯一设备标识（UDID）以及具体的协议实现过程，需要由软件来处理。

#### SMBus 主机通知协议

通过 SMBus 主机通知协议，可让从设备发送数据到主设备，例如从机可以通过此协议通知主机进行 ARP。关于 SMBus 主机通知协议更详细的信息请参考 SMBus2.0 协议。

当在主机模式（HADDREN = 1）下，I<sup>2</sup>C 接口使能对主机默认地址（0b0001000x）的识别。

#### SMBus 提醒协议（SMBus Alert）

SMBALERT 是一个可选信号，连接主机和从机的 ALERT 引脚，用于从机通知主机访问从机，SMBALERT 是一个线与信号。关于 SMBus 提醒协议更详细的信息请参考 SMBus2.0 协议。

操作流程如下：

##### SMBus 主机

1. 启用SMBus提醒模式（SMBALERT=1）；
2. 根据实际需求启用ALERT中断；
3. 当ALERT引脚上产生了提醒事件时（ALERT引脚电平由高变低）；
4. 如果使能了中断，主机将产生ALERT中断；
5. 主机处理该中断并向从机发送提醒响应地址ARA（Alert Response Address）地址（0001100x），访问所有设备，获取取从机地址，只有那些将SMBALERT拉低的设备才



会应答；

6. 主机通过获取到的从机地址进行下一步操作。

#### SMBus 从机

1. 产生提醒事件，ALERT引脚由高变低（SMBALERT=1），此时从机响应ARA（Alert Response Address）地址（0001100x）；
2. 等待主机通过发送ARA地址获取从机地址；
3. 上报自己的地址，如果发生了仲裁丢失，继续等待；
4. 地址上报成功，释放ALERT引脚（SMBALERT=0）。

#### 包错误检查

包错误校验(PEC)用于保证数据传输的正确性和完成性，使用CRC-8进行校验，多项式为：

$$C(x) = x^8 + x^2 + x + 1$$

PEC计算：当I2C\_CTRL1的PECEN=1时启动PEC计算，检验数据包括地址以及数据。

#### PEC 传输：

- 主机：当I2C\_CTRL2的PECTEN=1时，启动PEC传输使能，当数据传输个数达到N-1（CNT=N）了之后，主机会自动发送PEC；
- 从机：当I2C\_CTRL2的PECTEN=1时，启动PEC传输使能，当数据传输个数达到N-1（CNT=N）了之后，从机会自动将第N个数据作为PEC检验，如果PEC校验不正确将回复NACK，并且I2C\_STS的PECERR标志将会置1，当在从机发送模式下，无论校验是否正确，都将回复NACK。

#### SMBus 超时

在SMBus协议里面，主要有三种超时检测：

- 低电平超时 $t_{\text{TIMEOUT}}$ ：时钟线SCL单次低电平时间（主机从机都会检测，主动被动拉低都会计算）；
- 从机低电平累积超时 $t_{\text{LOW:SEXT}}$ ：从机在START条件到STOP条件之间的主动拉低SCL时间总和；
- 主机低电平累积超时 $t_{\text{LOW:MEXT}}$ ：主机在上一个字节的ACK到下一次数据的第8个BIT位之间（单个字节），主动拉低拉低SCL时间总和。

需要注意的是 $t_{\text{LOW:SEXT}}$ 和 $t_{\text{LOW:MEXT}}$ 和只计算自己主动拉低的时间，外部拉低的时间不计算在内，而 $t_{\text{TIMEOUT}}$ 主动、被动拉低都会计算。

表 11-3 SMBus超时规范

超时类型	最小值	最大值	单位
低电平超时 $t_{\text{TIMEOUT}}$	25	35	ms
从机低电平累积超时 $t_{\text{LOW:SEXT}}$	-	25	ms
主机低电平累积超时 $t_{\text{LOW:MEXT}}$	-	10	ms

I<sup>2</sup>C外设内置两个计数器用于检测超时，在I2C\_TIMEOUT寄存器中配置，当发生超时事件时I2C\_STS的TMOUT置1，将I2C\_CLR的TMOUTC置1可清0。

- EXTTIME：用于主机、从机低电平累积超累计超时检测  
超时时间 = (EXTTIME + 1) × 2048 × T<sub>I2C\_CLK</sub>
- TOTIME：时钟电平超时检测，可以通过TOMODE位来选择检测电平  
TOMODE=0：低电平超时检测，超时时间 = (TOTIME + 1) × 2048 × T<sub>I2C\_CLK</sub>  
TOMODE=1：高电平超时检测，超时时间 = (TOTIME + 1) × 4 × T<sub>I2C\_CLK</sub>

表 11-4 SMBus超时检测配置

超时类型	其他配置	使能	超时时间计算
低电平超时 $t_{\text{TIMEOUT}}$	TOMODE=0	TOEN=1	(TOTIME + 1) × 2048 × T <sub>I2C_CLK</sub>
从机低电平累积超时 $t_{\text{LOW:SEXT}}$	-	EXTEN=1	(EXTTIME + 1) × 2048 × T <sub>I2C_CLK</sub>
主机低电平累积超时 $t_{\text{LOW:MEXT}}$	-	EXTEN=1	(EXTTIME + 1) × 2048 × T <sub>I2C_CLK</sub>

#### 从机字节控制

在从机接收模式下，如果需要对接收到的每一个字节进行 ACK/NACK 的控制，可以选择从机接收数据控制模式（SCTRL=1）接收数据，关于从机字节控制模式的用法，请参照 11.4.2 数据传输管理章节。

表 11-5 SMBus模式配置表

传输模式	PECEN	PECTEN	RLDEN	ASTOPEN	SCTRL
主机发送/接收+STOP	1	1	0	1	-
主机发送/接收+RESTART	1	1	0	0	-
从机接收	1	1	1	-	1
从机发送	1	1	0	-	-

### SMBus 使用流程

1. 设置SMBus默认地址响应：  
如果HADDREN=1：响应主机默认地址（0b0001000x）；  
如果DEVADDREN=1：响应设备默认地址（0b1100001x）。
2. PEC配置；
3. 如果是从机，可以根据需要使能从机字节控制模式（I2C\_CTRL1的SCTRL）；
4. 其他配置和I<sup>2</sup>C使用配置一样。

需要注意的是各种 SMBus 协议需要由软件来实现，I<sup>2</sup>C 接口只提供了这些协议的地址识别。

## 11.4.6 SMBus主机通信流程

SMBus 主机通信流程和 I<sup>2</sup>C 主机通信流程类似。

### 1. I<sup>2</sup>C时钟初始化（配置I2C\_CLKCTRL寄存器）

- I<sup>2</sup>C 时钟分频：DIV[7: 0]
- 数据保持时间（t<sub>HD;DAT</sub>）：SDAD[3: 0]
- 数据建立时间（t<sub>SU;DAT</sub>）：设置 SCLD[3: 0]
- SCL 高电平时间：设置 SCLH[7: 0]
- SCL 低电平时间：设置 SCLL[7: 0]

该寄存器的配置可以使用Artery\_I2C\_Timing\_Configuration时钟配置工具计算。

### 2. SMBus相关初始化

- 选择为 SMBus 主机：设置 HADDREN=1，响应主机默认地址（0b0001000x）
- 使能 PEC 计算：设置 I2C\_CTRL1 的 PECEN=1
- 使能 PEC 传输：设置 I2C\_CTRL2 的 PECTEN=1

### 3. 设置传输字节数

- 配置 I2C\_CTRL2 的 RLDEN=0，关闭重载模式
- 配置 I2C\_CTRL2 的 CNT[7:0]=N

SMBus模式下单次传输字节数<255

### 4. 设置传输结束模式

- ASTOPEN=0：软件结束模式，当数据传输完成后，I2C\_STS 的 TDC 标志置 1，软件设置 GENSTOP=1 或者 GENSTART=1，发送 STOP 条件或者 START 条件。
- ASTOPEN=1：自动结束模式，当数据传输完成后，自动发送 STOP 条件。

### 5. 设置从机地址

- 设置寻址的从机地址值（I2C\_CTRL2 的 SADDR）
- 设置从机地址模式为 7 位地址模式（I2C\_CTRL2 的 ADDR10=0）

### 6. 设置传输方向（I2C\_CTRL2的DIR）

- DIR=0：主机接收数据
- DIR=1：主机发送数据

### 7. 开始传输

设置I2C\_CTRL2的GENSTART=1，主机开始在总线上发送START条件和从机地址，当从机响应了地址之后，主机的I2C\_STS的ADDRF=1，设置I2C\_CLR的ADDRC=1清除ADDRF标志后，开始数据传输。

### 8. 主机发送数据

1. I2C\_TXDT 数据寄存器为空，移位寄存器为空，I2C\_STS 的 TDIS=1；
  2. 向 TXDT 数据寄存器写入数据 1，然后数据将被立即放进移位寄存器；
  3. 此时 TXDT 数据寄存器为空，TDIS 又置 1；
  4. 向 TXDT 数据寄存器写入数据 2，TDIS 被清 0；
  5. 重复 2、3 步骤直到发送 N-1 个数据；
  6. 此时主机将自动发送第 N 个数据，也就是 PEC。
- 9. 主机接收数据**
1. 当收到数据后，RDBF=1，读取 RXDT 数据寄存器，RDBF 被自动清零；
  2. 重复步骤 1 直到接收 N 个数据，第 N 个数据为 PEC，在接收第 N 个字节，也就是 PEC 时，无论 PEC 是否正确，主机会自动发送一个 NACK。
- 10. 结束时序**
- 停止条件产生：  
软件结束模式（ASTOPEN=0）：此时 I2C\_STS 的 TDC 置 1，设置 GENSTOP=1 产生 STOP 条件；  
自动结束模式（ASTOPEN=1）：自动产生 STOP 条件。
  - 等待产生 STOP 条件，当 STOP 条件产生时，I2C\_STS 的 STOPF 置 1，将 I2C\_CLR 的 STOPC 写 1，清除 STOPF 标志，传输结束。

### SMBus 主机发送流程

图 11-15 SMBus 主机发送流程图

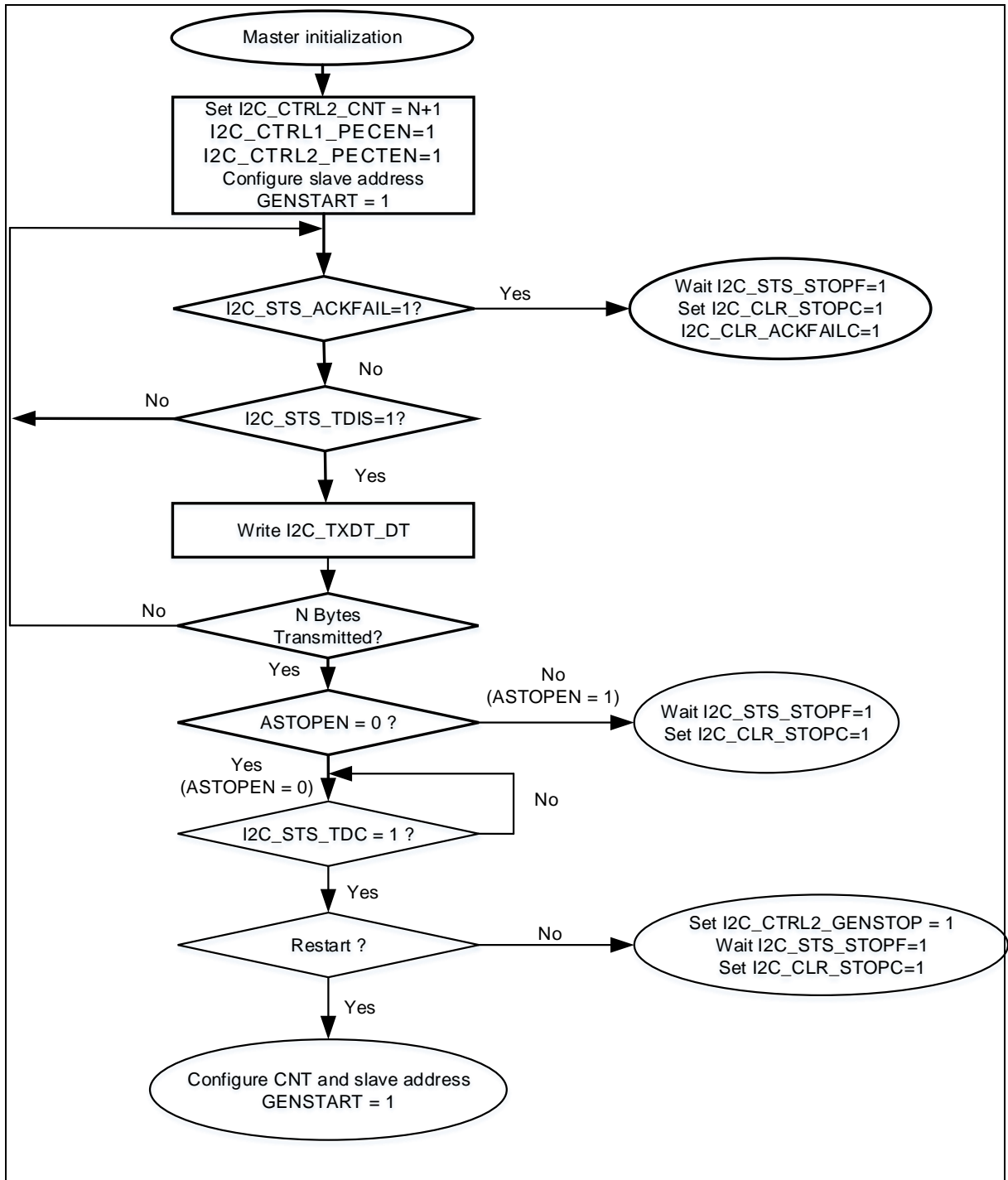
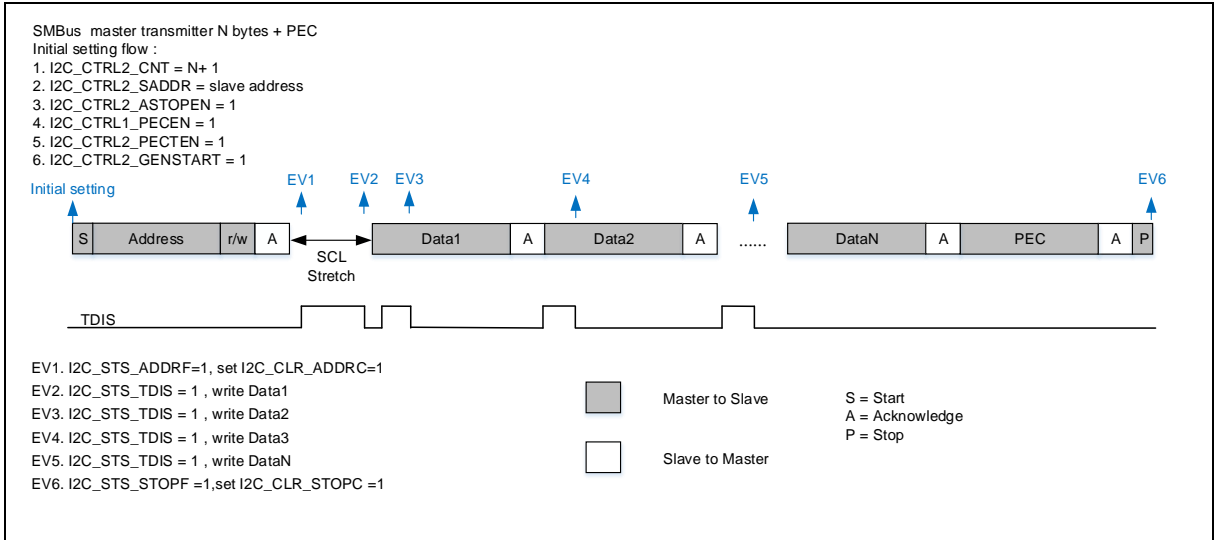


图 11-16 SMBus主机发送时序图



SMBus 主机接收流程

图 11-17 SMBus主机接收流程图

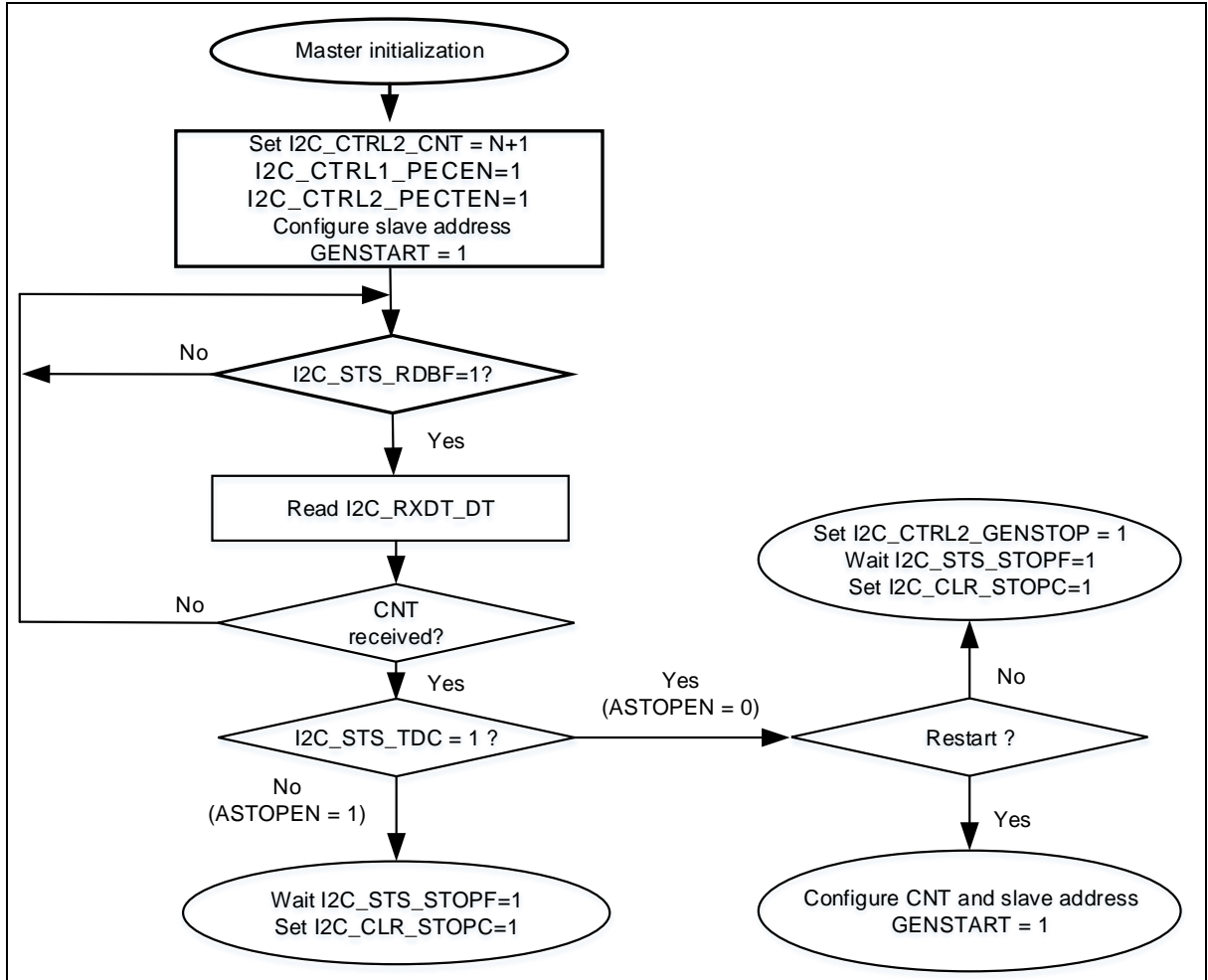
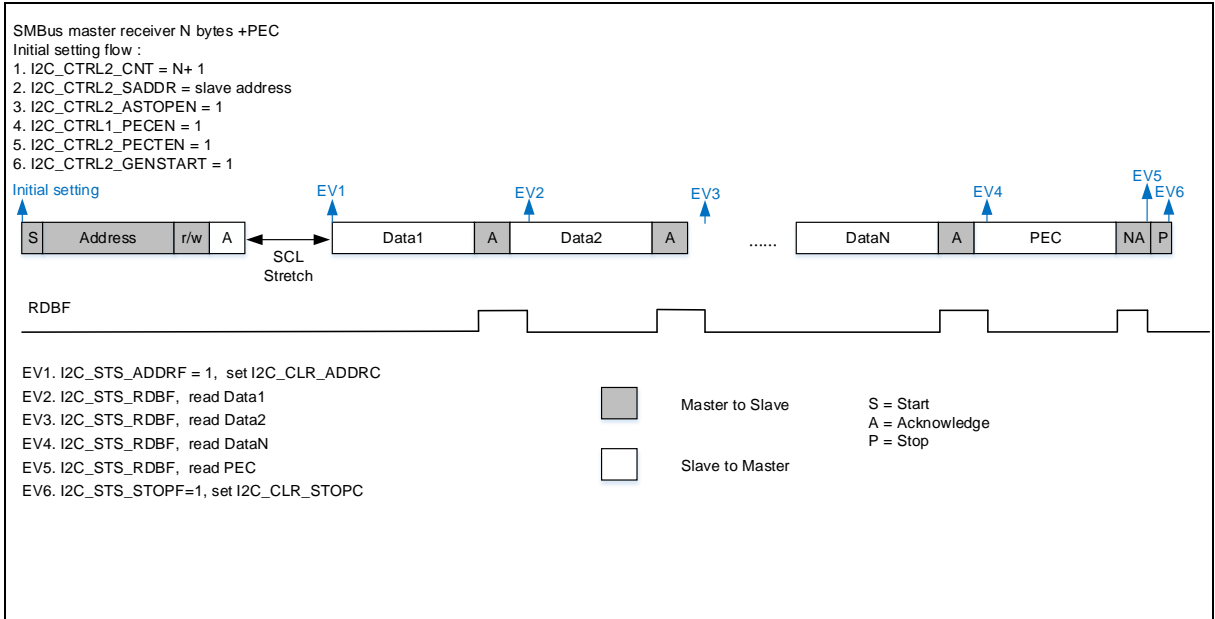


图 11-18 SMBus主机接收时序图



### 11.4.7 SMBus从机通信流程

SMBus 从机通信流程和 I<sup>2</sup>C 从机通信流程类似。

#### 1. I<sup>2</sup>C时钟初始化（配置I2C\_CLKCTRL寄存器）

- I<sup>2</sup>C 时钟分频：DIV[7: 0]；
- 数据保持时间（t<sub>HD;DAT</sub>）：SDAD[3: 0]；
- 数据建立时间（t<sub>SU;DAT</sub>）：设置 SCLD[3: 0]；

该寄存器的配置可以使用Artery\_I2C\_Timing\_Configuration时钟配置工具计算。

#### 2. 设置本机地址

- 设置地址模式为 7 位：设置 I2C\_OADDR1 的 ADDR1MODE = 0；
- 设置地址 1：设置 I2C\_OADDR1 的 ADDR1；
- 使能地址 1：设置 I2C\_OADDR1 的 ADDR1EN=1。

#### 3. SMBus相关初始化

- 选择为 SMBus 设备：设置 DEVADDREN=1，响应设备默认地址（0b1100001x）；
- 使能 PEC 计算：设置 I2C\_CTRL1 的 PECEN=1；
- 设置从机字节控制模式：  
从机发送：关闭字节控制模式，设置 I2C\_CTRL1 的 SCTRL=0；  
从机接收：使能字节控制模式，设置 I2C\_CTRL1 的 SCTRL=1。

#### 4. 等待地址匹配

当接收到本机地址后，I2C\_STS的ADDRF标志置1，此时可以读取I2C\_STS的SDIR位，得到数据传输方向，当SDIR=0时数据传输方向为从机接收数据，当SDIR=1时，数据方向为从机发送数据，通过读取I2C\_STS的ADDR[6:0]标志，可以知道接收到的地址是多少。

使能PEC传输：设置I2C\_CTRL2的PECTEN=1。

设置传输个数：

- 从机发送：设置I2C\_CTRL2的CNT=N；
- 从机接收：设置I2C\_CTRL2的CNT=1；

重载模式设置：

- 从机发送：设置I2C\_CTRL2的RLDEN=0；
- 从机接收：设置I2C\_CTRL2的RLDEN=1；

设置I2C\_CLR的ADDRC=1，清除ADDRF标志，开始数据传输。

#### 5. 传输数据（从机发送，开启时钟延展，STRETCH=0）

当在地址匹配后：

1. I2C\_TXDT 数据寄存器为空，移位寄存器为空，I2C\_STS 的 TDIS=1；

2. 向 TXDT 数据寄存器写入数据 1，然后数据将被立即放进移位寄存器；
  3. 此时 TXDT 数据寄存器为空，TDIS 又置 1；
  4. 向 TXDT 数据寄存器写入数据 2，TDIS 被清 0；
  5. 重复 3、4 步骤直到数据发送 N-1 个数据；
  6. 此时从机将自动发送第 N 个数据，也就是 PEC；
  7. 等待收到 NACK 条件，当收到 NACK 条件时，I2C\_STS 的 ACKFAILF 置 1，将 I2C\_CLR 的 ACKFAILC 写 1，清除 ACKFAILF 标志；
  8. 等待收到 STOP 条件，当收到 STOP 条件时，I2C\_STS 的 STOPF 置 1，将 I2C\_CLR 的 STOPC 写 1，清除 STOPF 标志，传输结束。
6. 传输数据（从机接收，开启时钟延展，STRETCH=0）
- 当在地址匹配后：
1. I2C\_RXDT 数据寄存器为空，移位寄存器为空，I2C\_STS 的 RDBF=0；
  2. 当收到一个字节后，RDBF=1，TCRLD 置 1，从机拉住 SCL 总线；
  3. 读取 RXDT 数据寄存器，RDBF 被自动清零；
  4. 根据需要配置 I2C\_CTRL2 的 NACKEN 位，来产生一个 ACK 或 NACK；  
如果产生一个 NACK，通信结束；  
如果产生一个 ACK，通信继续，此时写入 CNT=1，硬件自动清除 TCRLD 标志，从机释放 SCL 总线，继续接收下一个字节；
  5. 重复步骤 2、3、4 直到接收 N-1 个数据；
  6. 设置 I2C\_CTRL2 的 RLDEN=0，关闭重载模式，设置 CNT=1，重复 2、3 步骤接收 PEC  
如果 PEC 校验错误，PECERR 标志将会置 1；
  7. 等待收到 STOP 条件，当收到 STOP 条件时，I2C\_STS 的 STOPF 置 1，将 I2C\_CLR 的 STOPC 写 1，清除 STOPF 标志，传输结束。

SMBus 从机发送

图 11-19 SMBus从机发送流程图

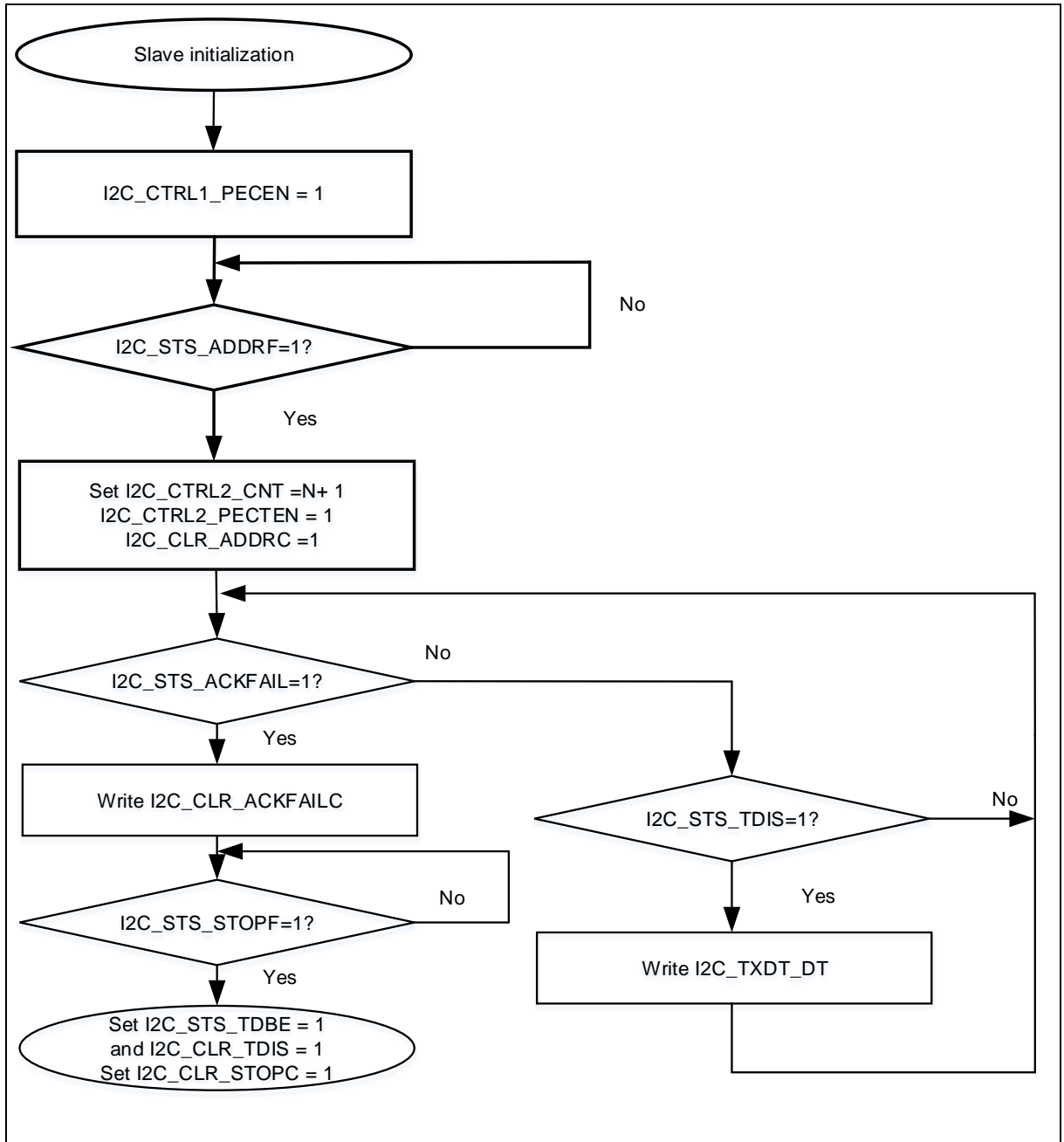
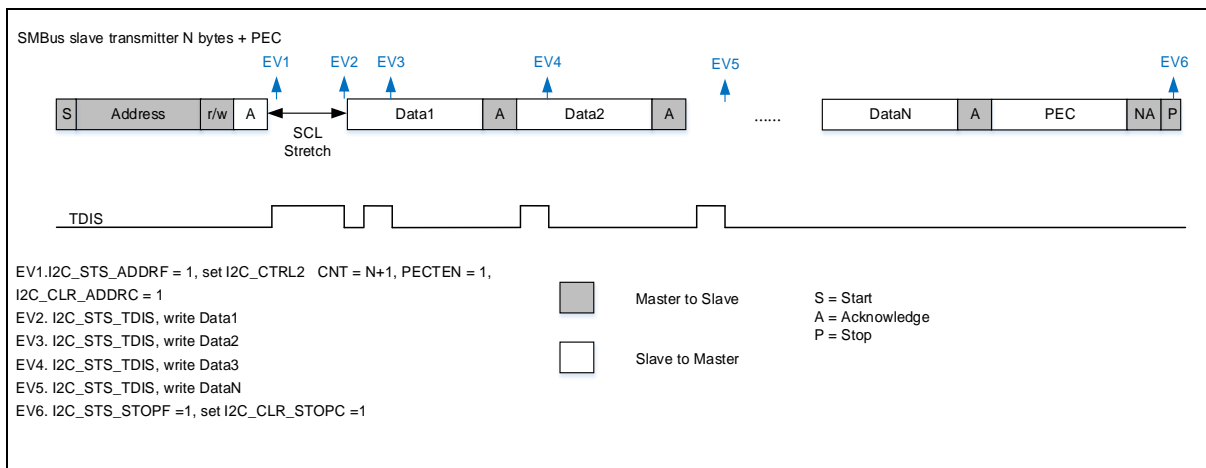


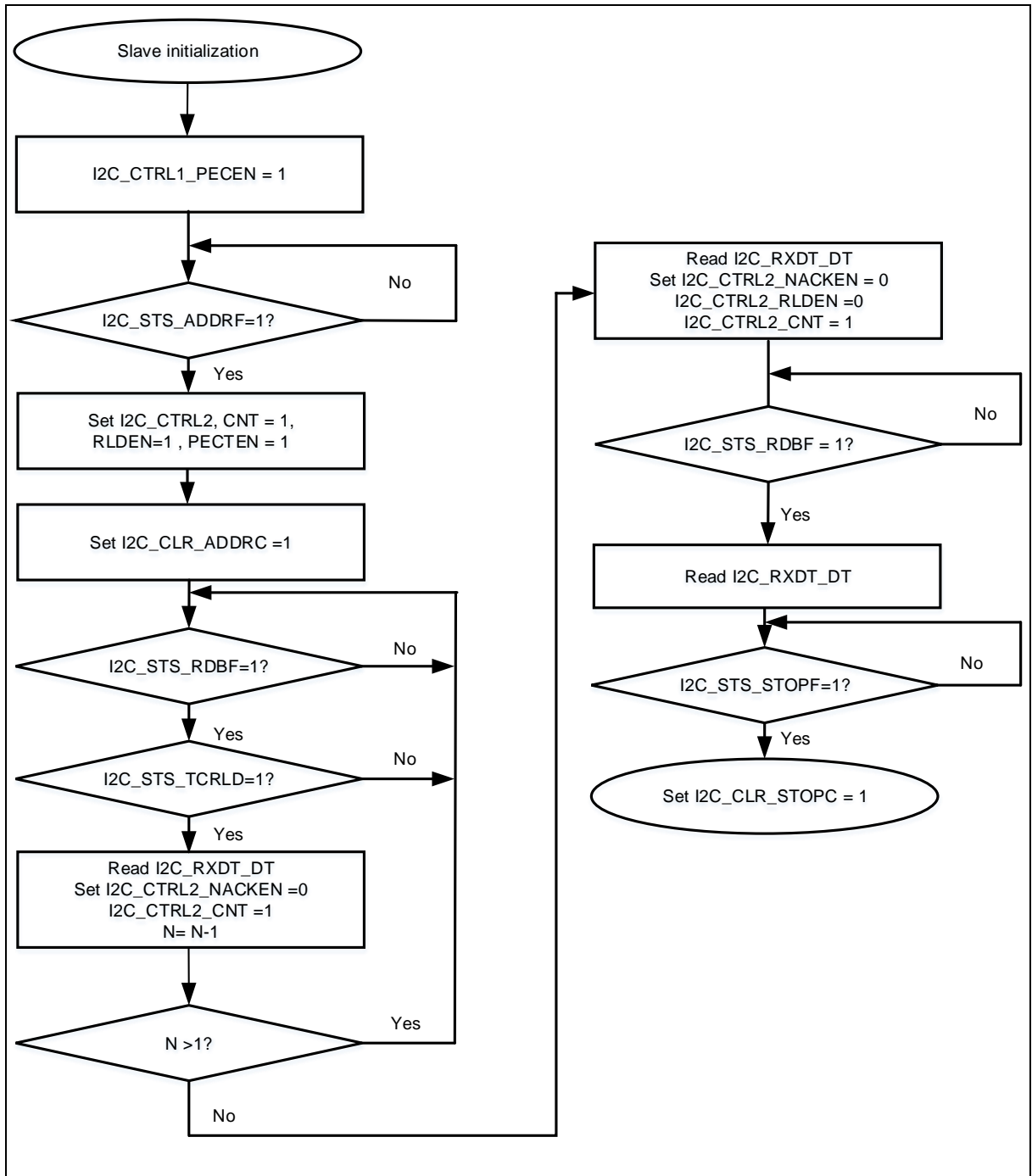
图 11-20 SMBus从机发送时序图

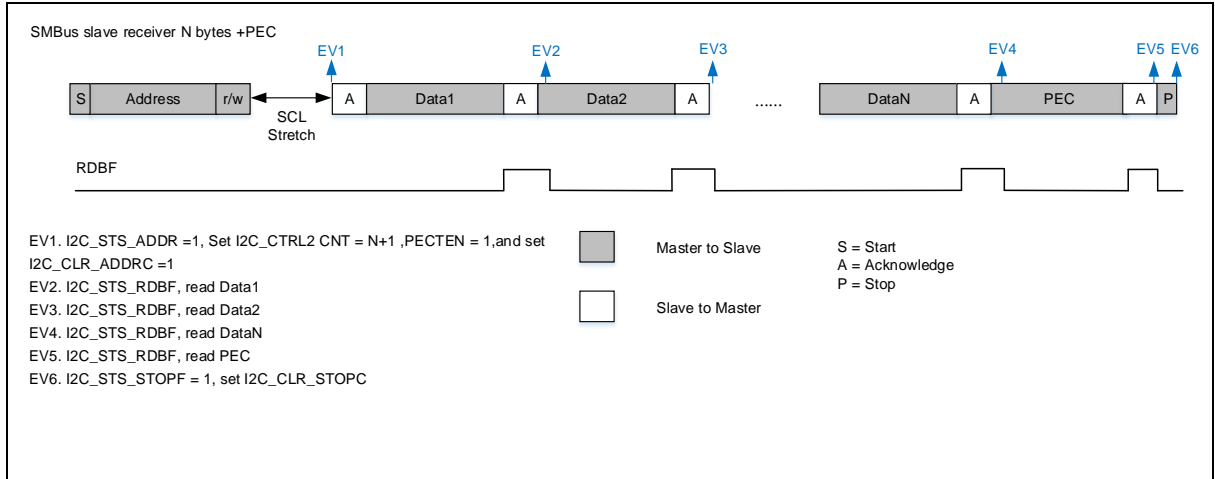




**SMBus 从机接收**

图 11-21 SMBus从机接收流程图



**图 11-22 SMBus从机接收时序图**


### 11.4.8 DMA传输

I<sup>2</sup>C 可以使用 DMA 进行数据传输，降低 CPU 负担，在使用 DMA 传输时，TDIEN 和 RDIEN 应该保持关闭。

#### DMA 发送 (DMATEN=1)

1. 设置外设地址 (DMA通道x外设地址寄存器 (DMA\_CxPADDR)=数据寄存器 (I2C\_TXDT) 地址)
2. 设置数据存储地址 (DMA通道x存储器地址寄存器 (DMA\_CxMADDR) =数据存储地址)
3. 设置传输方向为内存到外设 (DMA\_CHCTRL的DTD=1)
4. 设置传输字节数 (DMA通道x数据传输量寄存器 (DMA\_CxDTCNT))
5. 设置DMA通道的其他配置，例如：优先级、存储器数据宽度、外设数据宽度、中断等 (DMA\_CHCTRL)
6. 使能DMA通道 (DMA通道x配置寄存器 (DMA\_CxCTRL) 的CHEN=1)。
7. 使能I<sup>2</sup>C DMA请求 (控制寄存器2 (I2C\_CTRL2) 的DMAEN=1)，当状态寄存器1 (I2C\_STS) 的TDIS位被置1时，DMA将数据从内存地址传输到数据寄存器 (I2C\_TXDT)
8. 等待传输字节数DMA通道x数据传输量寄存器 (DMA\_CxDTCNT) =0时，数据传输完成，(可以通过DMA传输完成中断来等待)。
9. 主机发送模式：停止时序见I<sup>2</sup>C主机通信流程章节。  
从机发送模式：停止时序见I<sup>2</sup>C从机通信流程章节。

#### DMA 接收 (DMAREN=1)

1. 设置外设地址 (DMA通道x外设地址寄存器 (DMA\_CxPADDR)=数据寄存器 (I2C\_RXDT) 地址)；
2. 设置数据存储地址 (DMA通道x存储器地址寄存器 (DMA\_CxMADDR) =数据存储地址)；
3. 设置传输方向为外设到内存 (DMA\_CHCTRL的DTD=0)；
4. 设置传输字节数 (DMA通道x数据传输量寄存器 (DMA\_CxDTCNT))；
5. 设置DMA通道的其他配置，例如：优先级、存储器数据宽度、外设数据宽度、中断等 (DMA\_CHCTRL)；
6. 使能DMA通道 (DMA通道x配置寄存器 (DMA\_CxCTRL) 的CHEN=1)；
7. 使能I<sup>2</sup>C DMA请求 (控制寄存器2 (I2C\_CTRL2) 的DMAEN=1)，当状态寄存器1 (I2C\_STS) 的RDBF位被置1时，DMA将数据从I2C\_DT寄存器传输到数据存储地址；
8. 等待传输字节数DMA\_TCNTx=0时，数据传输完成，(可以通过DMA传输完成中断来等待)；
9. 主机接收模式：停止时序见I<sup>2</sup>C主机通信流程章节。  
从机接收模式：停止时序见I<sup>2</sup>C从机通信流程章节。

### 11.4.9 错误管理

I<sup>2</sup>C 内部有多种错误管理，可以极大的提高通信的可靠性，支持错误管理的事件如下：

表 11-6 I<sup>2</sup>C 错事件

错误事件	事件标志	中断使能位	事件清除位
SMBus 提醒	ALERTF	ERRIEN	ALERTC
超时错误	TMOUT	ERRIEN	TMOUTC
PEC 错误	PECERR	ERRIEN	PECERRC
过载/欠载	OUF	ERRIEN	OUF C
仲裁丢失	ARLOST	ERRIEN	ARLOSTC
总线错误	BUSERR	ERRIEN	BUSERRC

#### 过载或者欠载 (OUF)

只有在从机模式下，且关闭时钟延展 (I2C\_CTRL1 的 STRETCH=1) 时，才有可能出现欠载或者过载错误。

**从机发送模式：**如果在将要传输数据的第一个 bit 位开始发送之前，也就是 SDA 边沿产生之前，如果数据还未写入 TXDT 数据寄存器，那么会发生欠载错误，此时 I2C\_STS 的 OUF 将会置 1，并将 0xFF 发送到总线。

**从机接收模式：**在收到数据后从机应该及时的将数据读走，如果在已经收到 1 个字节后，在下一个字节接收完成之前，如果还未将数据读走，从机将产生过载错误，此时 I2C\_STS 的 OUF 将会置 1，并自动回复 NCAK。

#### 仲裁丢失 (ARLOST)

当设备控制 SDA 线输出高电平，但是总线上实际输出低电平时，发生仲裁丢失事件。

- 主机发送数据：仲裁可以发生在地址传输、数据传输阶段；
- 主机接收数据：仲裁可以发生在地址传输、响应 ACK 阶段；
- 从机发送数据：仲裁可以发生在数据传输阶段；
- 从机接收数据：仲裁可以发生在响应 ACK 阶段。

当在发生仲裁丢失后，硬件自动将 I2C\_STS 的 ARLOST 置 1，无论是主机还是从机，都将会立即释放 SCL、SDA 总线，并自动回到从机状态。

#### 总线错误 (BUSERR)

在数据传输阶段，在 SCL 高周期区间 SDA 线必须保持稳定，当 SCL 信号为低时，SDA 才能改变，否则将会出现总线错误，当 SCL 为高电平时：

- SDA 从 1 变成 0：错误的开始条件；
- SDA 从 0 变成 1：错误的停止条件；

以上两种情况都会触发总线错误，硬件自动将 I2C\_STS 的 BUSERR 置 1。

#### PEC 错误 (PECERR)

只有在 SMBus 模式下才存在 PEC，当在主机接收模式和从机接收模式下，如果接收到的 PEC 和内部计算的 PEC 不相等时，会出现 PEC 错误，此时硬件自动将 I2C\_STS 的 PECERR 置 1。

在从机接收模式下，如果 PEC 不正确，从机将回复 NACK；

当在主机接收模式下，无论 PEC 是否正确，主机都将回复 NACK。

#### SMBus 提醒 (ALERTF)

在 SMBus 主机模式下 (HADDREN=1) 且启用了 SMBus 提醒模式 (SMBALERT=1) 时，SMBus 提醒功能可以使用，当 ALERT 引脚上产生了提醒事件时 (ALERT 引脚电平由高变低)，硬件自动将 I2C\_STS 的 ALERTF 置 1。

#### 超时错误 (TMOUT)

超时错误是 SMBus 协议所定义的，用来提高系统稳定性的机制，用来避免主机或者从机出现故障时一直拉低总线，导致总线无法使用的情况。当发生了超时事件时 (SMBus 章节所定义的)，硬件自动将 I2C\_STS 的 TMOUT 置 1。如果是在从机模式下发生超时事件时，从机将立即释放 SCL 和 SDA

总线：如果是主机发生超时事件时，主机将自动发送一个 STOP 条件结束通信。

### 11.4.10 地址匹配事件从Deepsleep mode唤醒

I2C1 支持在被寻址到时将系统从 Deepsleep mode 唤醒,要开启此项功能需在进入 Deepsleep mode 前设置内部寄存器

- I2C1\_CTRL1的WAKEUPEN位置1
- I2C1\_CTRL1的DFLT位设为0
- I2C1\_CTRL1的STRETCH位设为0
- CRM\_PICLKS的I2C1SEL位选择HICK

Deepsleep mode 唤醒流程：

1. 设置好上述位后系统进入Deepsleep mode，此时HICK是关闭的
2. 当检测到I2C总在线的开始条件，I2C接口启动HICK并将SCL总线拉低
3. 待HICK打开后开始接收地址
  - 地址匹配：唤醒系统，在系统唤醒期间I2C接口会持续将SCL总线拉低，直到系统处理地址匹配中断并清除ADDRF标志
  - 地址不匹配：关闭HICK，系统也不会被唤醒
4. SCL总线被释放，进入正常传输状态
  - 禁止I2C在作为主机传输数据或作为从机被寻址到后进入Deepsleep mode

## 11.5 I<sup>2</sup>C中断

下表列出了所有的 I<sup>2</sup>C 中断请求。

表 11-7 I<sup>2</sup>C 中断请求

中断事件	事件标志	中断使能位
地址匹配	ADDRF	ADDRIEN
应答失败	ACKFAIL	ACKFAILIEN
停止条件产生完成	STOPF	STOPIEN
发送中断状态	TDIS	TDIEN
接收数据缓冲器满	RDBF	RDIEN
传输完成等待加载数据	TCRLD	TDCIEN
数据传输完成	TDC	
SMBus 提醒	ALERTF	ERRIEN
超时错误	TMOUT	
PEC 错误	PECERR	
过载/欠载	OUF	
仲裁丢失	ARLOST	
总线错误	BUSERR	

## 11.6 I<sup>2</sup>C调试模式

当微控制器进入调试模式(Cortex<sup>®</sup>-M0+ 核心处于停止状态)时，根据 DEBUG 模块中的 I2Cx\_SMBUS\_TIMEOUT 配置位，SMBUS 超时控制可以继续正常工作或者可以停止。

## 11.7 I<sup>2</sup>C寄存器

下表给出了 I<sup>2</sup>C 寄存器映像和复位值。  
必须以字（32 位）的方式操作这些外设寄存器。

表 11-8 寄存器映像和复位值

寄存器简称	基址偏移量	复位值
I2C_CTRL1	0x00	0x00000000
I2C_CTRL2	0x04	0x00000000
I2C_OADDR1	0x08	0x00000000
I2C_OADDR2	0x0C	0x00000000
I2C_CLKCTRL	0x10	0x00000000
I2C_TIMEOUT	0x14	0x00000000
I2C_STS	0x18	0x00000000
I2C_CLR	0x1C	0x00000000
I2C_PEC	0x20	0x00000000
I2C_RXDT	0x24	0x00000000
I2C_TXDT	0x28	0x00000000

### 11.7.1 控制寄存器1 (I2C\_CTRL1)

域	简称	复位值	类型	功能
位 31: 24	保留	0x00	res	保持默认值。
位 23	PECEN	0x0	rw	PEC 计算使能 (PEC calculation enable) 0: 关闭; 1: 开启。
位 22	SMBALERT	0x0	rw	SMBus 提醒功能使能/引脚设置 (SMBus alert enable / pin set) SMBus 主机, 提醒功能使能: 0: 关闭; 1: 开启。 SMBus 从机, 提醒地址使能: 0: 置高; 1: 置低, 响应 0001100x。
位 21	DEVADDREN	0x0	rw	SMBus 设备默认地址使能 (SMBus device default address enable) 0: 关闭; 1: 开启, 响应设备默认地址 1100001x。
位 20	HADDREN	0x0	rw	SMBus 主机地址使能 (SMBus host address enable) 0: 关闭; 1: 开启, 响应主机地址 0001000x。
位 19	GCAEN	0x0	rw	广播地址使能 (General call address enable) 0: 关闭; 1: 开启, 响应地址 0000000x。
位 18	WAKEUPEN	0x0	rw	从 Deepsleep mode 唤醒使能 (Deepsleep mode wakeup enable) 0: 关闭; 1: 开启。
位 17	STRETCH	0x0	rw	时钟延展模式 (Clock stretching mode) 0: 开启; 1: 关闭。 注: 只在从机模式下有效。
位 16	SCTRL	0x0	rw	从机接收数据控制 (Slave receiving data control) 0: 关闭;

位 15	DMAREN	0x0	rw	1: 开启。 DMA 数据接收使能 (DMA receive data request enable) 0: 关闭; 1: 开启。
位 14	DMATEN	0x0	rw	DMA 数据发送使能 (DMA Transmit data request enable) 0: 关闭; 1: 开启。
位 13	保留	0x0	res	保持默认值。
位 12	ANGNFOFF	0x0	rw	模拟滤波关闭(Analog filter off) 0: 开启; 1: 关闭。
位 11: 8	DFLT	0x0	rw	数字滤波值 (Digital filter value) SCL 总线上小于此宽度的毛刺将被滤除, 滤波时间 = $DFLT \times T_{I2C\_CLK}$ 。
位 7	ERRIEN	0x0	rw	错误中断使能 (Error interrupt enable) 0: 关闭; 1: 开启。
位 6	TDCIEN	0x0	rw	数据传输完成中断使能 (Transfer data complete interrupt enable) 0: 关闭; 1: 开启。
位 5	STOPIEN	0x0	rw	停止条件产生完成中断使能 (Stop generation complete interrupt enable) 0: 关闭; 1: 开启。
位 4	ACKFAILIEN	0x0	rw	应答失败中断使能 (Acknowledge fail interrupt enable) 0: 关闭; 1: 开启。
位 3	ADDRIEN	0x0	rw	地址匹配中断使能 (Address match interrupt enable) 0: 关闭; 1: 开启。
位 2	RDIEN	0x0	rw	数据接收中断使能 (Receive data interrupt enable) 0: 关闭; 1: 开启。
位 1	TDIEN	0x0	rw	数据发送中断使能 (Transmit data interrupt enable) 0: 关闭; 1: 开启。
位 0	I2CEN	0x0	rw	I2C 外设使能 (I2C peripheral enable) 0: 关闭; 1: 开启。

### 11.7.2 控制寄存器2 (I2C\_CTRL2)

域	简称	复位值	类型	功能
位 31: 27	保留	0x00	res	保持默认值。
位 26	PECTEN	0x0	rw	请求 PEC 传输使能 (Request PEC transmission enable) 0: 停止传输; 1: 启动传输。
位 25	ASTOPEN	0x0	rw	自动发送停止条件使能 (Automatically send stop condition enable) 0: 关闭 (软件结束模式); 1: 开启 (自动结束模式)。
位 24	RLDEN	0x0	rw	发送数据重载模式使能 (Send data reload mode enable) 0: 关闭; 1: 开启。



位 23: 16	CNT[7: 0]	0x00	rw	发送数据个数 (Transmit data counter)
位 15	NACKEN	0x0	rw	不应答使能 (Not acknowledge enable) 0: 应答; 1: 不应答。
位 14	GENSTOP	0x0	rw	产生停止条件 (Generate stop condition) 0: 未产生; 1: 产生。
位 13	GENSTART	0x0	rw	产生起始条件 (Generate start condition) 0: 未产生; 1: 产生。
位 12	READH10	0x0	rw	10 位地址头读取时序使能 (10-bit address header read enable) 0: 关闭; 1: 开启。
位 11	ADDR10	0x0	rw	主机发送 10 位地址模式使能 (Host send 10-bit address mode enable) 0: 7 位地址; 1: 10 位地址。
位 10	DIR	0x0	rw	主机数据传输方向 (Master data transmission direction) 0: 发送; 1: 接收。
位 9: 0	SADDR[9: 0]	0x000	rw	主机发送的从机地址 (The slave address sent by the master) 当在 7 位地址模式下时 BIT0 以及 BIT[9: 8]不关心。

### 11.7.3 地址寄存器1 (I2C\_OADDR1)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	res	保持默认值。
位 15	ADDR1EN	0x0	rw	本机地址 1 使能 (Own Address 1 enable) 0: 关闭; 1: 开启。
位 14: 11	保留	0x0	res	保持默认值。
位 10	ADDR1MODE	0x0	rw	本机地址 1 模式 (Own Address mode) 0: 7 位地址; 1: 10 位地址。
位 9: 0	ADDR1[9: 0]	0x000	rw	本机地址 1 (Own address 1) 当在 7 位地址模式下时 BIT0 以及 BIT[9: 8]不关心。

### 11.7.4 地址寄存器2 (I2C\_OADDR2)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	res	保持默认值。
位 15	ADDR2EN	0x0	rw	本机地址 2 使能 (Own address 2 enable) 0: 关闭; 1: 开启。
位 14: 11	保留	0x0	res	保持默认值。
位 10: 8	ADDR2MASK[2: 0]	0x0	rw	本机地址 2 位屏蔽 (Own address 2-bit mask) 000: 匹配地址位[7: 1]; 001: 只匹配地址位[7: 2]; 010: 只匹配地址位[7: 3]; 011: 只匹配地址位[7: 4]; 100: 只匹配地址位[7: 5]; 101: 只匹配地址位[7: 6]; 110: 只匹配地址位[7]; 111: 所有非 I2C 保留地址都会响应。
位 7: 1	ADDR2[7: 1]	0x00	rw	本机地址 2 (Own address 2) 7 位地址。
位 0	保留	0x0	res	保持默认值。



## 11.7.5 时序寄存器 (I2C\_CLKCTRL)

域	简称	复位值	类型	功能
位 31: 28	DIVL[3: 0]	0x0	rw	时钟分频值低 4 位 (Low 4 bits of clock divider value)
位 27: 24	DIVH[7: 4]	0x0	rw	时钟分频值高 4 位 (High 4 bits of clock divider value) DIV = (DIVH << 4) + DIVL。
位 23: 20	SCLD[3: 0]	0x0	rw	SCL 输出延时 (SCL output delay) TSCLD = (SCLD + 1) x (DIV + 1) x T <sub>I2C_CLK</sub> 。
位 19: 16	SDAD[3: 0]	0x0	rw	SDA 输出延时 (SDA output delay) TSDAD = (SDAD + 1) x (DIV + 1) x T <sub>I2C_CLK</sub> 。
位 15: 8	SCLH[7: 0]	0x00	rw	SCL 高电平 (SCL high level) TSCLH = (SCLH + 1) x (DIV + 1) x T <sub>I2C_CLK</sub> 。
位 7: 0	SCLL[7: 0]	0x00	rw	SCL 低电平 (SCL low level) TSCLL = (SCLL + 1) x (DIV + 1) x T <sub>I2C_CLK</sub> 。

## 11.7.6 超时寄存器 (I2C\_TIMEOUT)

域	简称	复位值	类型	功能
位 31	EXTEN	0x0	rw	累计时钟延展超时使能 (Cumulative clock low extend timeout enable) 0: 关闭; 1: 开启。 SMBus 协议里面的 T <sub>LOW:SEXT</sub> / T <sub>LOW:MEXT</sub> 。
位 30: 28	保留	0x0	res	保持默认值。
位 27: 16	EXTTIME[11:0]	0x000	rw	累计时钟延展超时时间 (Cumulative clock low extend timeout value) 超时时间 = (EXTTIME + 1) x 2048 x T <sub>I2C_CLK</sub> 。
位 15	TOEN	0x0	rw	时钟电平超时检测使能 (Detect clock low/high timeout enable) 0: 关闭; 1: 开启。 SMBus 协议里面的 TTIMEOUT。
位 14: 13	保留	0x0	res	保持默认值。
位 12	TOMODE	0x0	rw	时钟电平超时检测模式 (Clock timeout detection mode) 0: 检测低电平; 1: 检测高电平。
位 11: 0	TOTIME[11:0]	0x000	rw	时钟电平超时检测时间 (Clock timeout detection time) 当检测低电平 (TOMODE = 0) 时: 超时时间 = (TOTIME + 1) x 2048 x T <sub>I2C_CLK</sub> 。 当检测高电平 (TOMODE = 1) 时: 超时时间 = (TOTIME + 1) x 4 x T <sub>I2C_CLK</sub> 。

## 11.7.7 状态寄存器 (I2C\_STS)

域	简称	复位值	类型	功能
位 31: 24	保留	0x00	res	保持默认值。
位 23: 17	ADDR[6: 0]	0x00	r	从机地址匹配值 (Slave address matching value) 7 位地址下: 从机接收到的地址。 10 位地址下: 从机接收到的 10 位地址头。
位 16	SDIR	0x0	r	从机数据传输方向 (Slave data transmit direction) 0: 接收数据; 1: 发送数据。
位 15	BUSYF	0x0	r	总线忙标志 (Bus busy flag transmission mode) 0: 空闲; 1: 忙。 当检测到 START 条件置起, 检测到停止条件自动清零。

位 14	保留	0x00	res	保持默认值。
位 13	ALERTF	0x0	r	<p>SMBus 提醒标志 (SMBus alert flag)</p> <p>SMBus 主机: 指示提醒信号接收 (ALERT 引脚由高变低)</p> <p>0: 未收到;</p> <p>1: 收到。</p> <p>SMBus 从机: 指示设备默认地址接收 (0001100x)</p> <p>0: 未收到;</p> <p>1: 收到。</p>
位 12	TMOUT	0x0	r	<p>SMBus 超时标志 (SMBus timeout flag)</p> <p>0: 未超时;</p> <p>1: 超时。</p>
位 11	PECERR	0x0	r	<p>PEC 接收错误标志 (PEC receive error flag)</p> <p>0: 正确;</p> <p>1: 错误。</p>
位 10	OUF	0x0	r	<p>过载或者欠载标志 (Overflow or underflow flag)</p> <p>当传输方向为发送数据时:</p> <p>0: 正常;</p> <p>1: 欠载。</p> <p>当传输方向为接收数据时:</p> <p>0: 正常;</p> <p>1: 过载。</p>
位 9	ARLOST	0x0	r	<p>仲裁丢失标志 (Arbitration lost flag)</p> <p>0: 正常;</p> <p>1: 仲裁丢失。</p>
位 8	BUSERR	0x0	r	<p>总线错误标志 (Bus error flag)</p> <p>0: 正常;</p> <p>1: 错误。</p>
位 7	TCRLD	0x0	r	<p>传输完成, 等待加载数据 (Transmission is complete, waiting to load data)</p> <p>0: 未完成;</p> <p>1: 已完成。</p> <p>当数据被发送完成 (CNT = 1), 并且使能了重载模式 (RLDEN=1) 时被置起, 当写入 CNT 值时自动清零。在主机模式或者当从机在 SCTRL=1 时使用。</p>
位 6	TDC	0x0	r	<p>数据传输完成标志 (Transmit data complete flag)</p> <p>0: 未完成 (移位寄存器还有数据);</p> <p>1: 已完成 (移位寄存器空, 数据已经完全发送到总线上)。</p> <p>当在软件结束模式, 并且数据传输完成后置起 (ASTOPEN = 0, RLDEN = 0, CNT = 0)。</p> <p>收到 START 或者 STOP 条件后自动清零。</p>
位 5	STOPF	0x0	r	<p>停止条件产生完成标志 (Stop condition generation complete flag)</p> <p>0: 未产生;</p> <p>1: 已产生。</p>
位 4	ACKFAILF	0x0	r	<p>应答失败标志 (Acknowledge failure flag)</p> <p>0: 正常;</p> <p>1: 失败。</p>
位 3	ADDRF	0x0	r	<p>地址匹配标志 (0~7 bit address match flag)</p> <p>0: 未匹配;</p> <p>1: 已匹配。</p>
位 2	RDBF	0x0	r	<p>接收数据缓冲器满 (Receive data buffer full flag)</p> <p>0: 数据寄存器 (DT) 未接收到数据;</p> <p>1: 数据寄存器 (DT) 接收到数据。</p>
位 1	TDIS	0x0	rw1s	<p>发送中断状态 (Transmit data interrupt status)</p> <p>0: 数据已写入 I2C_TXDT;</p> <p>1: 数据已从 I2C_TXDT 发送到移位寄存器,</p>

				I2C_TXDT 为空，这时必须把要发的数据写到 I2C_TXDT 寄存器。 在禁止时钟延展模式下，可以向此位写 1，以生成一个 TDIS 事件以便提前写数据到 I2C_TXDT 寄存器。
位 0	TDBE	0x0	rw1s	发送数据寄存器空标志 (Transmit data buffer empty flag) 0: I2C_TXDT 有数据，不为空； 1: I2C_TXDT 无数据，为空。 该位只用以表示当前 I2C_TXDT 的状态，并可以通过软件写 1，清除 I2C_TXDT 寄存器里的数据。

### 11.7.8 状态清除寄存器 (I2C\_CLR)

域	简称	复位值	类型	功能
位 31: 14	保留	0x00000	res	保持默认值。
位 13	ALERTC	0x0	w	清除 SMBus 提醒标志 (Clear SMBus alert flag) 写 1 清除。
位 12	TMOUTC	0x0	w	清除 SMBus 超时标志 (Clear SMBus timeout flag) 写 1 清除。
位 11	PECERRC	0x0	w	清除 PEC 接收错误标志 (Clear PEC receive error flag) 写 1 清除。
位 10	OUFC	0x0	w	清除溢出标志 (Clear overload / underload flag) 写 1 清除。
位 9	ARLOSTC	0x0	w	清除仲裁丢失标志 (Clear arbitration lost flag) 写 1 清除。
位 8	BUSERRC	0x0	w	清除总线错误标志 (Clear bus error flag) 写 1 清除。
位 7: 6	保留	0x0	res	保持默认值。
位 5	STOPC	0x0	w	清除停止条件产生完成标志 (Clear stop condition generation complete flag) 写 1 清除。
位 4	ACKFAILC	0x0	w	清除应答失败标志 (Clear acknowledge failure flag) 写 1 清除。
位 3	ADDRC	0x0	w	清除地址匹配标志 (Clear 0~7 bit address match flag) 写 1 清除。
位 2: 0	保留	0x0	res	保持默认值。

### 11.7.9 PEC寄存器 (I2C\_PEC)

域	简称	复位值	类型	功能
位 31: 8	保留	0x000000	res	保持默认值。
位 7: 0	PECVAL[7: 0]	0x00	r	PEC 值 (PEC value)

### 11.7.10 接收寄存器 (I2C\_RXDT)

域	简称	复位值	类型	功能
位 31: 8	保留	0x000000	res	保持默认值。
位 7: 0	DT[7: 0]	0x00	r	接收数据寄存器 (Receive data register)

### 11.7.11 发送寄存器 (I2C\_TXDT)

域	简称	复位值	类型	功能
位 31: 8	保留	0x000000	res	保持默认值。
位 7: 0	DT[7: 0]	0x00	rw	发送数据寄存器 (Transmit data register)

## 12 通用同步异步收发器（USART）

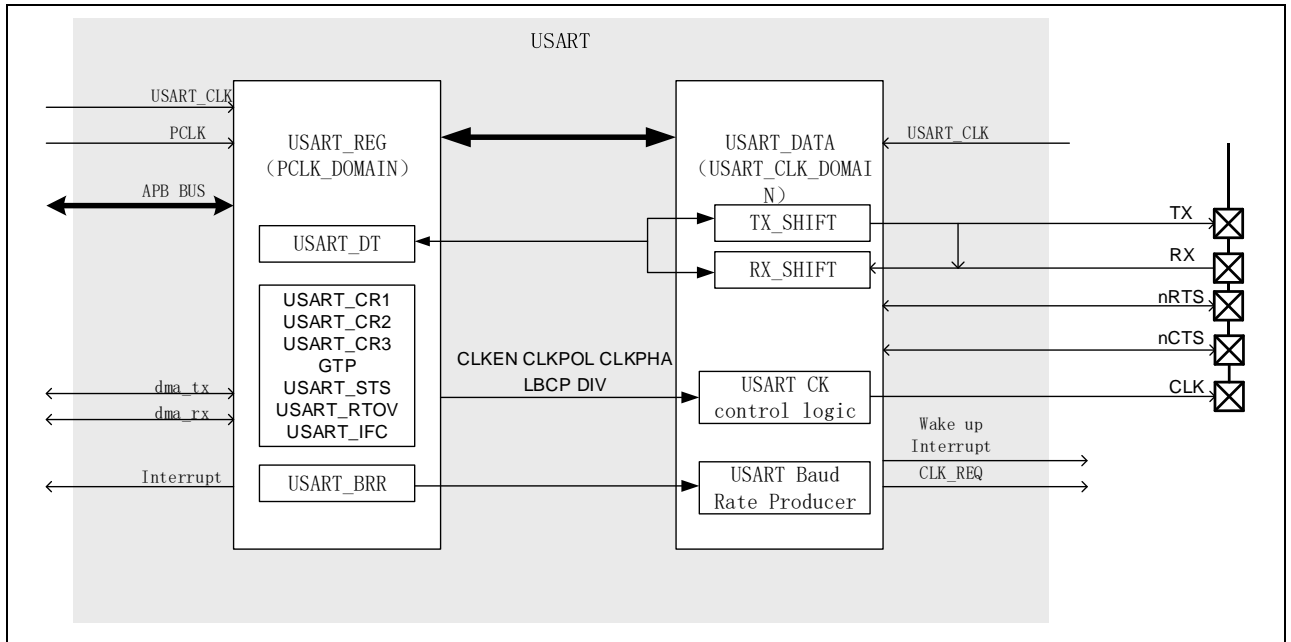
### 12.1 USART介绍

通用同步异步收发器（USART）是一个能通过多种不同的配置与使用不同的数据格式的外设进行通信的通用接口，同时支持异步全双工，异步半双工以及同步传输。USART 提供了可编程的波特率发生器，根据系统频率以及分频系数的不同，可产生高达 5Mbits/s 的波特率，用户可以通过配置系统时钟以及分频系数以此产生所需要的特定通信频率。

USART 除了支持标准的 NRZ 异步以及同步收发通信协议外，还支持一些常用的其他类型的串行通信协议，如 LIN(局域互联网)，IrDA（红外数据组织）SIRENDEC 规范，ISO7816-3 标准的异步智能卡协议，以及 CTS/RTS（Clear To Send/Request To Send）硬件流操作，RS485 和 Modbus。

USART 还支持多处理器通信，以及可配置通过空闲帧或地址匹配唤醒的静默模式，以此搭建 USART 网络，并且同时支持使用 DMA 进行数据的收发，以此实现高速通信。USART 支持双时钟域，PCLK 有系统时钟分频后得到，USART\_CLK 来源可以是 PCLK 或 HICK 或 LEXT，这使得 USART 可以工作在 DEEPSLEEP 模式，并支持低功耗唤醒功能。

图 12-1 USART框图



USART 主要特性如下所列：

- 可编程配置的全双工或半双工通信
  - 全双工异步通信
  - 单线半双工通信
- 可编程配置的通信模式
  - NRZ 标准格式（Mark/Space）
  - LIN（局域互联网）
  - IrDA SIR（串行红外）
  - ISO7816-3 标准里定义的异步智能卡协议：智能卡模式支持 0.5 或 1.5 个停止位
  - RS-232 CTS/RTS（Clear To Send/Request To Send）硬件流操作
  - RS-485
  - 通过静默模式实现多处理器通信（具有地址匹配和总线空闲两种可编程配置的唤醒方式）
  - 同步模式
- 可编程配置的波特率发生器
  - 发送和接收共用的可编程波特率，最高达 5Mbits/s
- 可编程配置的帧格式
  - 可编程的数据位位数（7 位或 8 位或 9 位）

- 可编程的停止位数-支持 1 或 2 个停止位
- 可编程的校验控制：发送方具备发送校验位的能力，接收方具备对接收到的数据进行校验的能力
- 可编程配置的数据发送顺序（MSB/LSB）
- 可编程配置的 Tx/Rx 引脚极性
- 可编程配置的 DT 数据极性
- 可编程配置的DMA多缓冲器通信
- 可编程配置的独立的发送器和接收器使能位
- 可编程配置的输出CLK的相位和极性以及频率
- 检测标志
  - 接收缓冲器满
  - 发送缓冲器空
  - 传输结束标志
- 四个错误检测标志
  - 溢出错误
  - 噪音错误
  - 帧错误
  - 校验错误
- 可编程配置的 13 个带标志的中断源
  - CTSF 改变
  - LIN 断开符检测
  - 发送数据寄存器空
  - 发送完成
  - 接收数据寄存器满
  - 检测到总线为空闲
  - 溢出错误
  - 帧错误
  - 噪音错误
  - 校验错误
  - 接收器超时检测
  - 字节匹配检测
  - 低功耗唤醒

## 12.2 全双工半双工选择器简述和配置流程

USART 全双工半双工选择器通过软件编程配置相应寄存器的方式，使得 USART 可以采用全双工或半双工的方式和外设进行数据交换。

USART 默认选择使用双线单向全双工时，TX 引脚用于数据输出，RX 引脚用于数据输入，USART 接收器和发送器相互独立，这使得 USART 可以同时进行数据发送和数据接收，以此实现全双工通信。USART 在 HALFSEL 位置 1 时选择使用单线双向半双工的方式进行数据通信，在此条件下，LINEN 位，CLKEN 位，SCMEN 位以及 IRDAEN 位需置 0，此时在 USART 内部，RX 引脚无效，TX 引脚和 SW\_RX 引脚互连，对 USART 来说，TX 引脚用于数据输出，SW\_RX 用于数据输入，对外设来说，数据都从 TX 引脚映射的 IO 双向传输。

## 12.3 模式选择器简述和配置流程

### 12.3.1 模式选择器简述

USART 模式选择器通过软件编程配置相应寄存器的方式，使得 USART 可以根据软件的不同配置工作在不同的工作模式下，以此能与使用不同通信协议的外设之间实现数据交换。

USART 默认支持 NRZ 标准格式（Mark/Space），根据 USART 模式选择器配置的不同，USART 还可以支持 LIN（局域互联网），IrDA SIR（串行红外），ISO7816-3 标准里定义的异步智能卡协议，RS-232 CTS/RTS（Clear To Send/Request To Send）硬件流操作以及静默模式和同步模式。



### 12.3.2 模式选择器配置方法

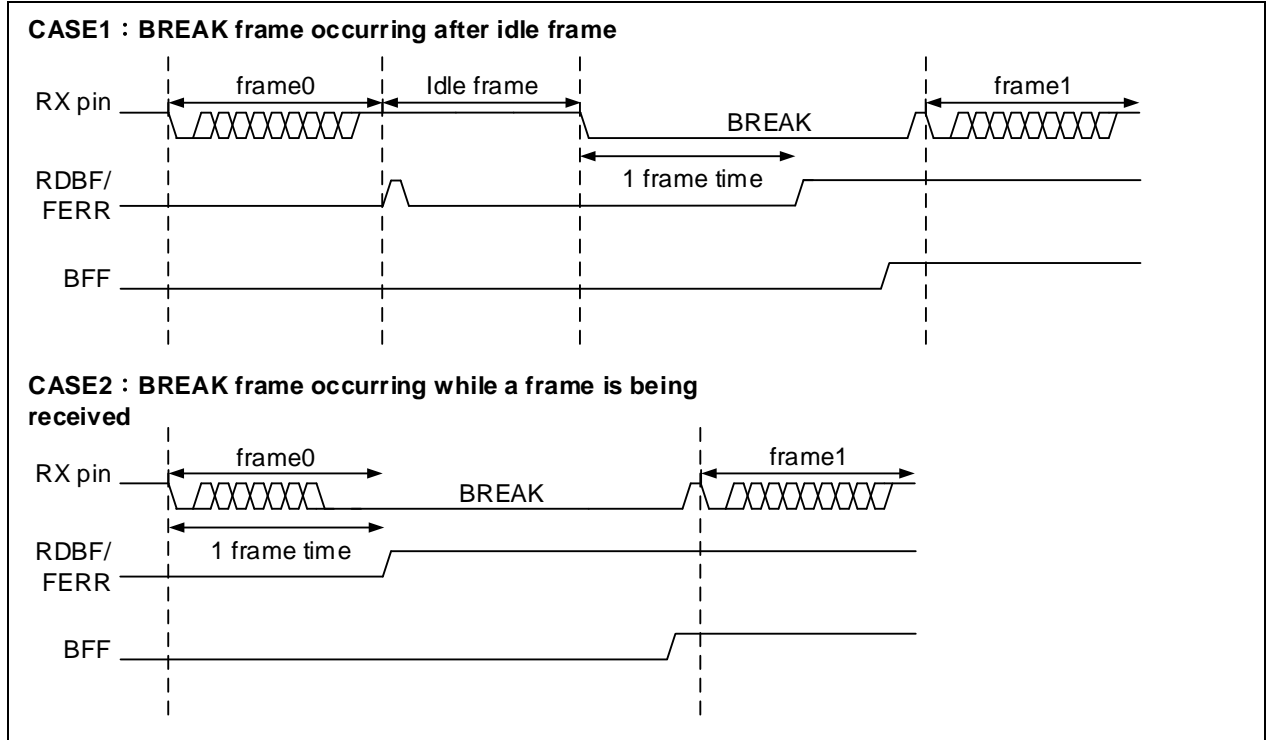
用户可以通过不同的配置以此选择不同的工作模式，配置方法分列如下所列，请将如下配置方法配合本章后述的接收器和发送器配置方法结合使用以完成 USART 初始化配置。

#### 1. LIN模式

基础设置：LINEN位置1，CLKEN位置0，STOPBN[1: 0]位置0，SCMEN位置0，SLBEN位置0，IRDAEN位置0，DBN[1: 0]=00。

LIN主机有发送间隔帧的能力，可以使用SFB位置1发送13位低电平的LIN同步间隔帧。同时LIN从机也有检测间隔帧的能力，可以选择BFBN位置1或0来选择是11位还是10位间隔帧检测。

图 12-2 LIN模式下的BFF检测与FERR检测



#### 2. 智能卡模式

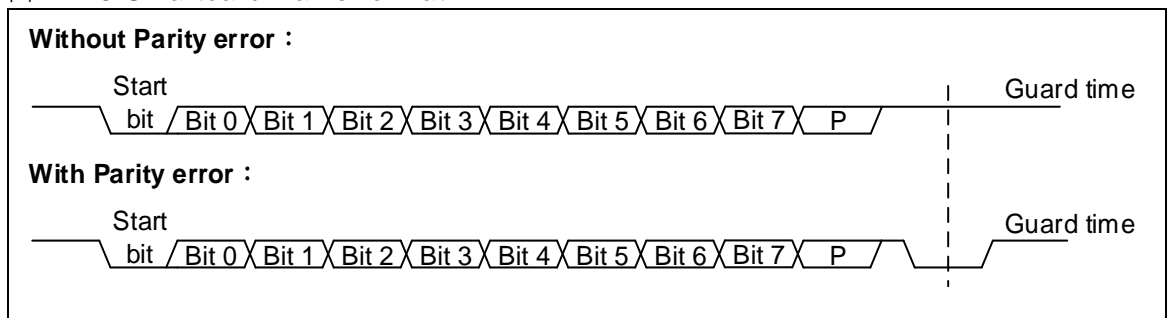
基础设置：SCMEN位置1，LINEN位置0，SLBEN位置0，IRDAEN位置0，CLKEN位置1，DBN[1: 0]=01，PEN位置1，STOPBN[1: 0]=11。

可以选择配置CLKPOL位和CLKPHA位以及LBCP位以满足不同的时钟极性以及时钟相位和时钟脉冲个数，具体可见同步模式部分。

通过配置SCGT[7: 0]位选择保护时间，使TDC标志的置起可以得到延时，直到保护时间计数器向上计数到SCGT[7: 0]的值，TDC才得以置起。

而智能卡属于单线双向半双工通信，可以通过配置SCNACKEN位选择是否在校验出错时发送NACK，以告知数据没有被正确接收。

图 12-3 Smartcard frame format



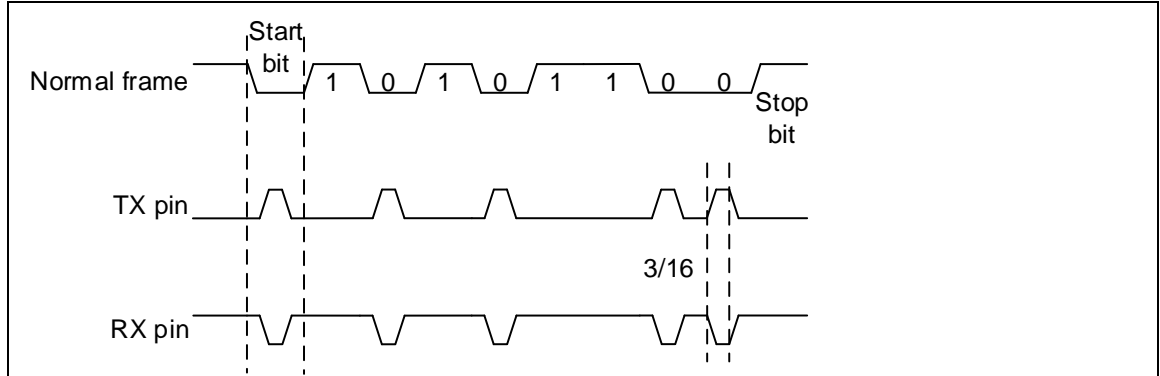


### 3. 红外模式

基础设置: IRDAEN位置1, CLKEN位置0, STOPBN[1: 0]位置0, SCMEN位置0, SLBEN位置0。

可以选择IRDALP位置1以开启红外低功耗模式, 在普通模式下持续时间为3/16位, 在红外低功耗模式下位持续时间可调, 并配合ISDIV[7: 0]配置想要产生的低功耗频率。

图 12-4 IrDA DATA(3/16)-普通模式



### 4. Modbus

USART仅提供实现Modbus/RTU和Modbus/ASCII所需的基础的硬件支持, 这意味着协议的控制部分必须由软件完成, USART只是提供块结束侦测。

在Modbus/RTU中, 块结束侦测通过可编程的超时功能识别接收线为空闲状态的时间大于2个字节时间实现, 用户可以通过配置RTOV寄存器设定需要的超时值(时间单位是1bit位宽), 通过RTODEN位置1开启超时检测, 当USART接收器检测到接收线为空闲的时间等于设定的超时值时, USART会置起RTODF, 如果RTODIE位置1, 产生中断, 可以通过RTODCF位写1清除RTODF位; 在Modbus/ASCII中, 块结束的侦测通过字节匹配功能识别特殊的字节序列(CR/LF), 通过软件编程将LF ASCII码写入ID[7: 0], 通过CMDIE位置1开启字节匹配功能, 当USART接收器接收到的数据和ID[7: 0]匹配时, USART会置起CMDF, 如果CMDIE位置1, 产生中断, 可以通过CMDCF位写1清除CMDF位。

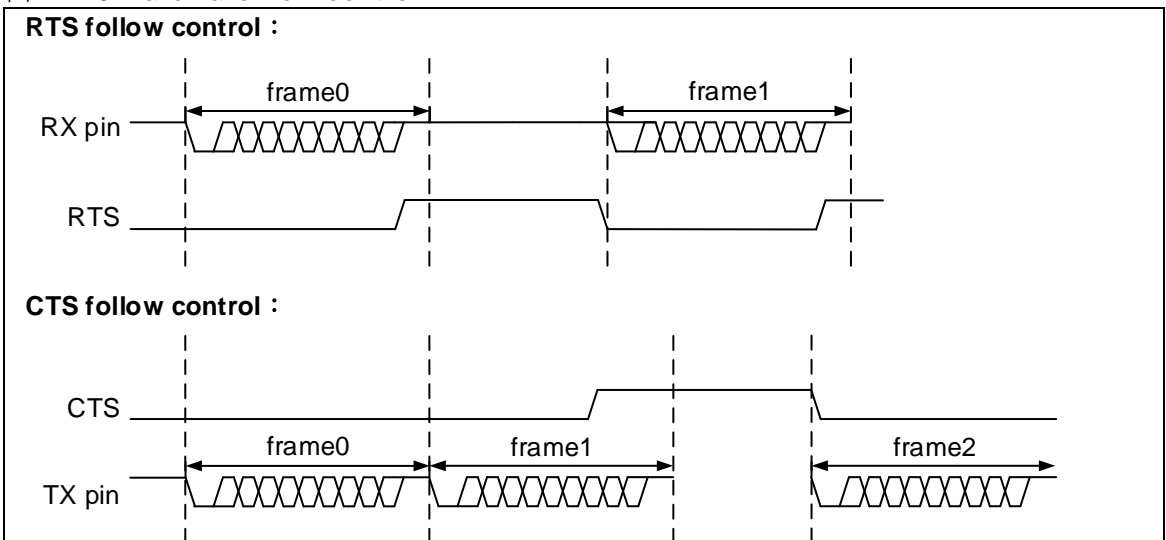
### 5. 硬件流控制模式

RTSEN位置1和CTSEN位置1可以分别开启RTS和CTS流控制。

**RTS流控制:** USART接收器准备好接收新的数据, RTS就变成有效(下拉为低电平)。当接收寄存器内有数据到达时(在每个stop位开始时), RTS被置位, 由此表明希望在当前帧结束时停止数据传输。

**CTS流控制:** USART发送器在发送下一帧前检查CTS输入。如果CTS有效(也即CTS为低电平), 则下一个数据被发送; 若CTS在传输期间被变成无效(也即CTS为高电平), 当前的传输完成后停止发送。

图 12-5 Hardware flow control



6. RS485模式

RS485EN位置1开启RS485模式，驱动使能信号从RTS引脚输出，用户可以通过配置DEP位选择DE信号的极性，用户可以通过分别配置TSDT[4: 0]和TCDT[4: 0]设置发送器开始发送起始位前延迟的时间，和发送器发送完最后一笔数据的停止位后置起TC标志前延迟的时间。

7. 静默模式

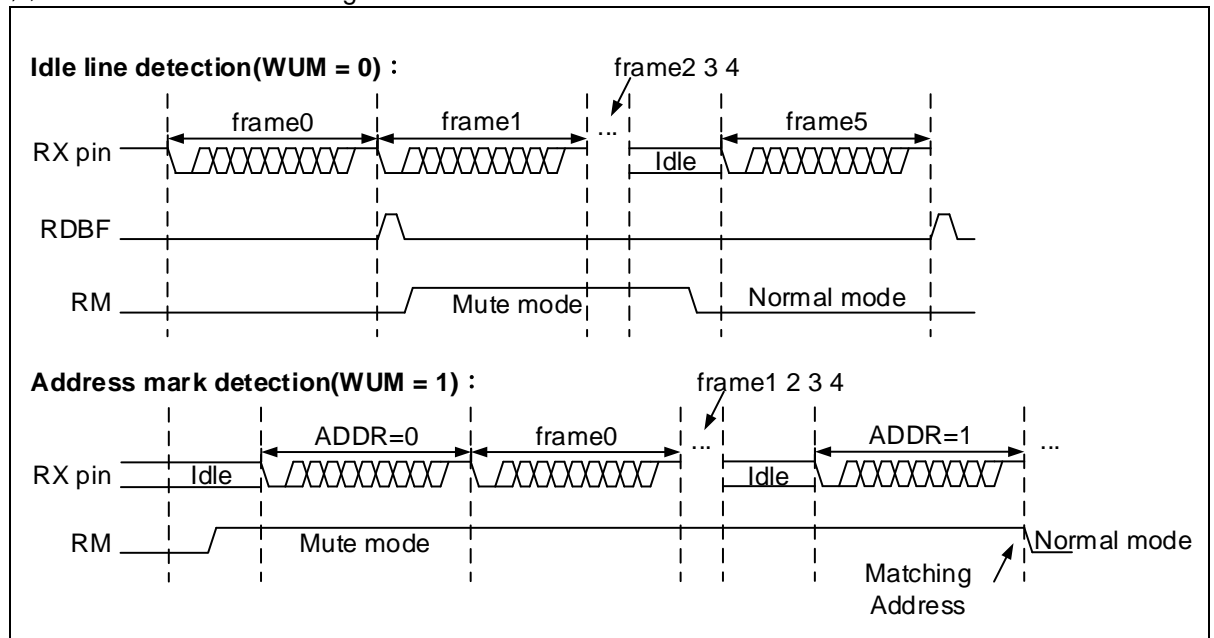
RM位置1进入静默模式，根据WUM位置1和置0，可以分别通过ID匹配和空闲总线从静默模式中唤醒，其中ID号ID[7: 0]可编程配置，并且可以通过配置IDBN选择使用ID[7: 0]或ID[3: 0]，当选择ID匹配时，数据位的MSB为1表示当前数据是ID。

关闭奇偶校验功能时，当DBN[1: 0]=10时，MSB是USART\_DT[6]，当DBN[1: 0]=00时，MSB是USART\_DT[7]，当DBN[1: 0]=01时，MSB是USART\_DT[8]。

开启奇偶校验功能时，当DBN[1: 0]=10时，MSB是USART\_DT[5]，当DBN[1: 0]=00时，MSB是USART\_DT[6]，当DBN[1: 0]=01时，MSB是USART\_DT[7]。

当选择ID[3: 0]时，数据位的4个LSB表示ID值；当选择ID[7: 0]时，数据位除上述奇偶校验位以及MSB位以外，所有的LSB位表示ID值。

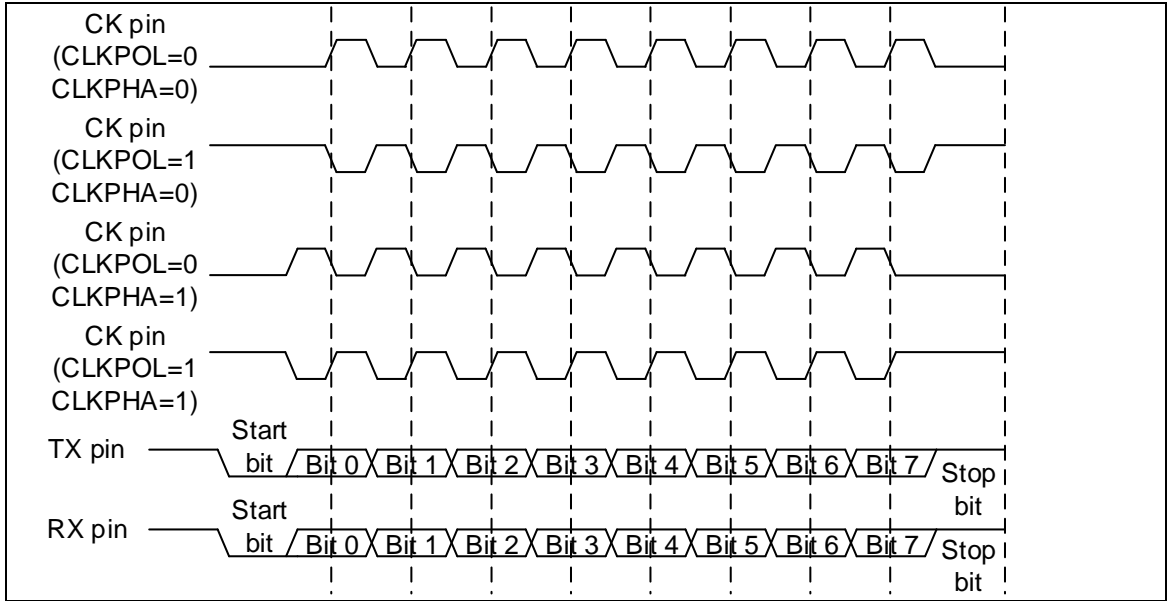
图 12-6 Mute mode using Idle line or Address mark detection



8. 同步模式

CLKEN位置1开启同步模式并使能时钟引脚输出，通过配置CLKPOL位置1或0可以选择空闲状态下CK引脚上的电平为高或低，通过配置CLKPHA位置1或0可以选择在时钟的第二个或第一个边沿开始采样数据，通过配置LBCP位置1或0可以选择最后一位数据是否输出时钟，通过配置ISDIV[4: 0]可以选择想要输出的时钟频率。

图 12-7 8-bit format USART同步模式



## 12.4 USART帧格式简述和配置流程

USART 一笔数据帧由起始位，数据位，停止位依次组成,最后一位数据位可以作为校验位。

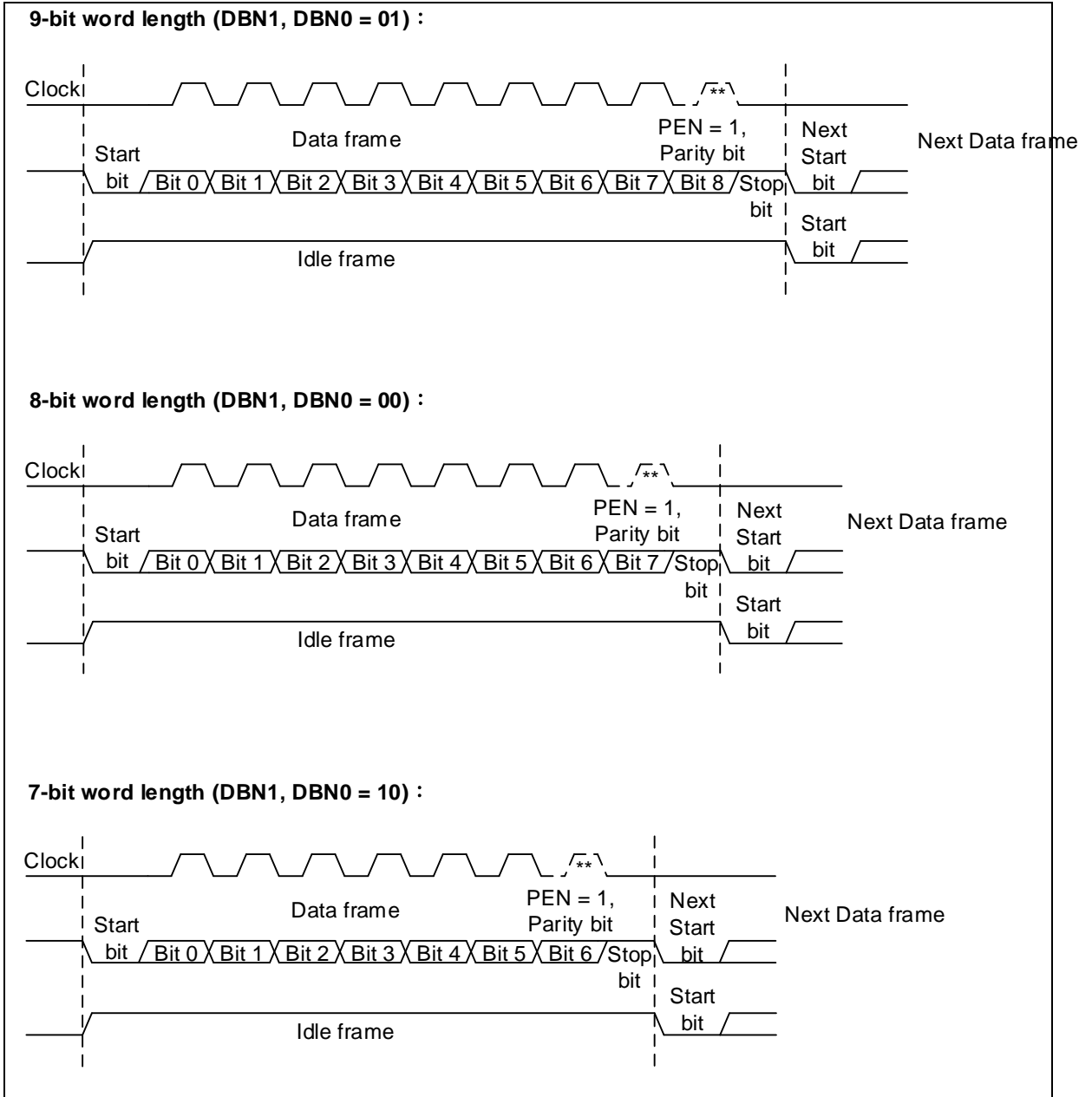
USART 一笔空闲帧的长度等于当前配置下数据帧的长度，但所有位都为 1。

USART 一笔断开帧的长度等于当前配置下数据帧的长度加上停止位,停止位之前的所有位都等于 0。

需要特别注意的是,在非 LIN 模式下,发送和检测断开帧的长度都需遵守此规则,例  $DBN[1:0]=00$ ,那么发送和检测的断开帧长度就是 10 位低电平加停止位。LIN 模式请参考模式选择器简述和配置流程部分。

通过  $DBN1$  位和  $DBN0$  配置 7 位 ( $DBN[1:0]=10$ ) 8 位 ( $DBN[1:0]=00$ ) 或 9 位 ( $DBN[1:0]=01$ ) 数据位。

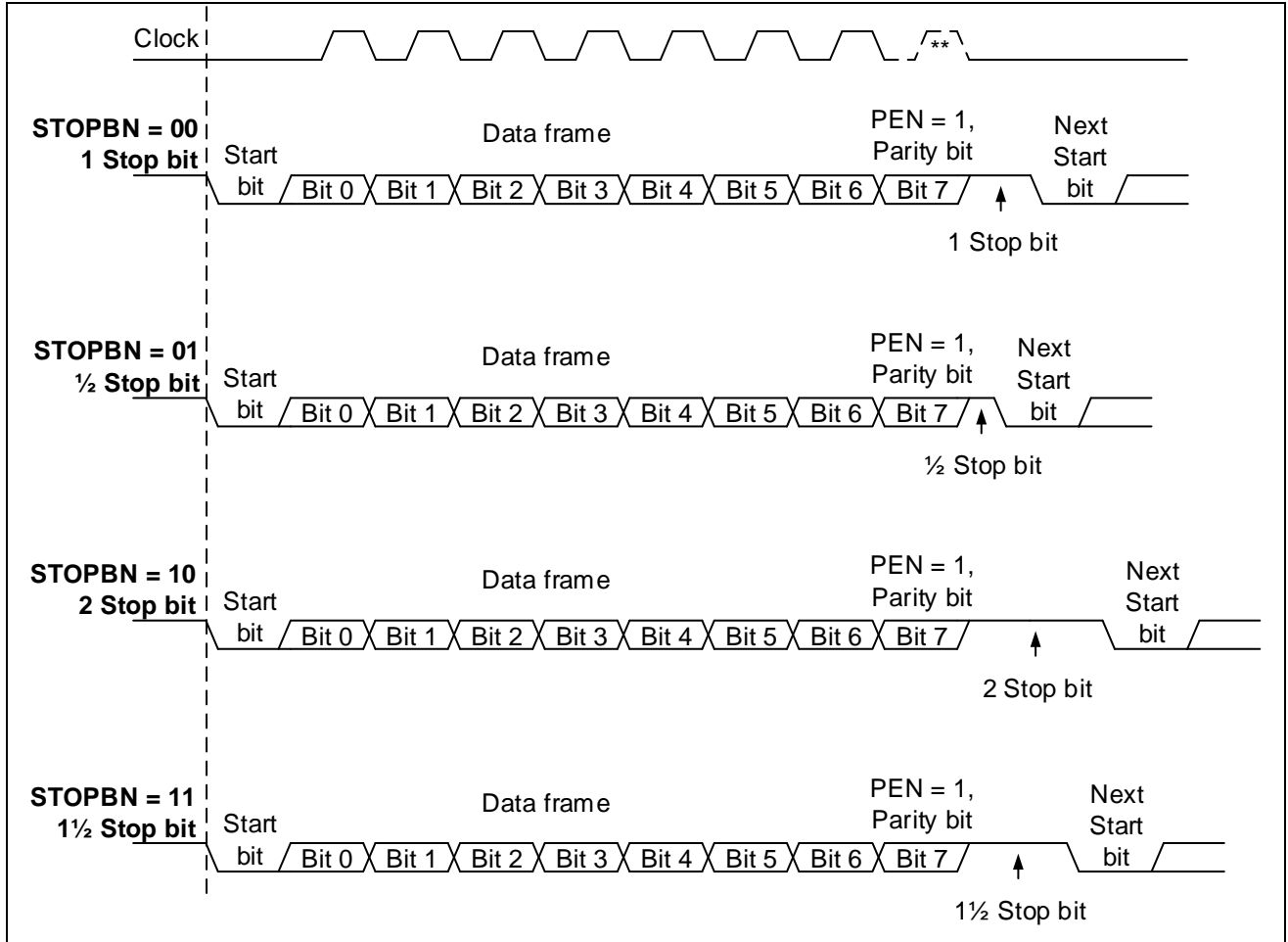
图 12-8 字长设置



通过 STOPBN 位配置 1 位 (STOPBN=00), 0.5 位 (STOPBN=01), 2 位 (STOPBN=10), 1.5 位 (STOPBN=11) 停止位。

通过 PEN 位置“1”配置校验控制使能, 通过 PSEL 位配置奇校验 (PSEL=1) 或偶检验 (PSEL=0), 校验控制使能后数据位的 MSB 将由奇偶校验位替代, 即有效数据位减少一位。

图 12-9 配置停止位



通过 MTF 位配置数据是先传输 MSB (MTF=1) 还是 LSB (MTF=0)。

通过 DTREV 位配置 USART\_DT 是以 1=L,0=H (DTREV=1) 还是 0=L,1=H (DTREV=0) 的方式发送和接收。

通过 TXREV 位配置 USART\_TX 引脚上的信号是以 VDD=0/mark,Gnd=1/idle (TXREV=1) 还是 VDD=1/idle,Gnd=0/mark (TXREV=0) 的方式传输。

通过 RXREV 位配置 USART\_RX 引脚上的信号是以 VDD=0/mark,Gnd=1/idle (RXREV=1) 还是 VDD=1/idle,Gnd=0/mark (RXREV=0) 的方式传输。

## 12.5 DMA传输简述和配置流程

USART 可以使用 DMA 操作发送数据缓冲器和接收数据缓冲期以实现高速连续传输,USART 的 DMA 传输需要配合 DMA 使用,下方会简述配置流程,但具体和 DMA 配置相关部分请参见 DMA 章节的描述。

### 12.5.1 DMA发送配置流程

1. 选择DMA传输通道：在DMA章节DMA通道映射表中选择用于当前所用USART的DMA通道。
2. 配置DMA传输目标地址：在DMA控制寄存器中DMA传输目的地址位写入当前所使用的USART的USART\_DT寄存器地址，DMA将会在接收到发送请求后将代发送的数据写入该地址。
3. 配置DMA传输源地址：在DMA控制寄存器中DMA传输源地址位写入代发送数据存放的地址，DMA将会在接收到发送请求后将该地址内的数据写入到目标地址中，即写入到当前所使用的USART的USART\_DT寄存器中。
4. 配置DMA传输字节个数：在DMA控制寄存器相关位置配置期望传输的字节个数
5. 配置DMA传输通道优先级：在DMA控制寄存器相关位置配置当前所使用通道的

USART的DMA传输通道优先级。

6. 配置DMA中断产生时机：在DMA控制寄存器相关位置配置是在传输完成或传输完成一半时产生DMA中断。
7. 使能DMA传输通道：在DMA控制寄存器相关位置使能当前所选用的DMA通道

## 12.5.2 DMA接收配置流程

1. 选择DMA传输通道：在DMA章节DMA通道映射表中选择用于当前所用USART的DMA通道。
2. 配置DMA传输目标地址：在DMA控制寄存器中DMA传输目的地址位写入期望存放接收数据的地址，DMA将会在接收到接收请求后，将当前所使用的USART的USART\_DT寄存器中的数据存放在目的地址中。
3. 配置DMA传输源地址：在DMA控制寄存器中DMA传输源地址位写入当前所使用的USART的USART\_DT寄存器的地址，DMA将会在接收到接收请求后将该地址内的数据写入到目标地址中，即写入到期望存放接收数据的地址。
4. 配置DMA传输字节个数：在DMA控制寄存器相关位置配置期望传输的字节个数
5. 配置DMA传输通道优先级：在DMA控制寄存器相关位置配置当前所使用通道的USART的DMA传输通道优先级。
6. 配置DMA中断产生时机：在DMA控制寄存器相关位置配置是在传输完成或传输完成一半时产生DMA中断。
7. 使能DMA传输通道：在DMA控制寄存器相关位置使能当前所选用的DMA通道

## 12.6 波特率发生器简述及配置流程

### 12.6.1 波特率发生器简述

USART 波特率发生器通过使用内部计数器，以 PCLK 为基准，DIV (USART\_BAUDR[15: 0]) 即为该计数器的溢出值，该计数器计满一次代表一位数据，所以每位数据位宽为 DIV 个 PCLK 周期。由于 USART 的接收器和发送器共用同一个波特率发生器，并且接收器将每位数据拆分为 16 份等长的部分以此来实现过采样，所以数据位宽不得小于 16 个 PCLK 周期，即 DIV 中的值必须大于或等于 16。

### 12.6.2 波特率发生器配置方法

用户可通过配置不同的系统时钟以及在 USART\_BAUDR 中写入不同的值以此产生特定的波特率，具体的运算关系见如下公式

$$\text{TX/RX 波特率} = \frac{f_{CK}}{\text{DIV}}$$

这里的  $f_{CK}$  是指 USART 的系统时钟 (PCLK1 用于 USART2、3、4, PCLK2 用于 USART1)

注：1. USART\_BAUDR 中的值需要在 UEN 之前写入，且 UEN=1 时，不可更改这些位。

2. 关闭 USART 接收器或发送器会使内部计数器复位，波特率发生中断。

表 12-1 设置波特率时的误差计算

波特率	fPCLK=36MHz				fPCLK=72MHz			
	序号	Kbps	实际	置于波特率寄存器中的值	误差%	实际	置于波特率寄存器中的值	误差%
1	2.4	2.4	15000	0%	2.4	30000	0%	
2	9.6	9.6	3750	0%	9.6	7500	0%	
3	19.2	19.2	1875	0%	19.2	3750	0%	
4	57.6	57.6	625	0%	57.6	1250	0%	
5	115.2	115.384	312	0.15%	115.2	625	0%	
6	230.4	230.769	156	0.16%	230.769	312	0.16%	
7	460.8	461.538	78	0.16%	461.538	156	0.16%	
8	921.6	923.076	39	0.16%	923.076	78	0.16%	
9	2250	2250	16	0%	2250	32	0%	
10	4500	不可能	不可能	不可能	4500	16	0%	

以波特率 115.2Kbps 为例，假设 fPCLK 为 36MHz，此时波特率寄存器应设置为 312(0x138)，经由公式计算： $36000000 / 312 = 115384 = 115.384\text{Kbps}$



而它们的误差计算为(实际值 - 理论值) / 理论值 \* 100%:  $(115.384 - 115.2) / 115.2 * 100\% = 0.15\%$

## 12.7 发送器简述和配置流程

### 12.7.1 发送器简述

USART 发送器具有独立的使能位 TEN，发送器与接收器共用同一个波特率且该波特率可编程配置，USART 具有一个发送数据缓冲器（TDR）和一个发送移位寄存器，当发送数据缓冲器（TDR）为空时，TDBE 置起，如果设置了 TDBEIEEN 将会产生中断。

软件写入的值会先存储在发送数据缓冲器（TDR）中，当发送移位寄存器为空时，USART 会将发送数据缓冲器中的值移入到发送移位寄存器，USART 发送器将以 LSB 的方式将发送移位寄存器中的数据从 TX 脚输出，具体的输出格式取决于软件配置的帧格式。

如若选择了同步传输或者配置了时钟输出，USART 发送器将时钟脉冲从 CK 脚输出，如若选择了硬件流控制，USART 发送器将控制信号将从 CTS 引脚输入。

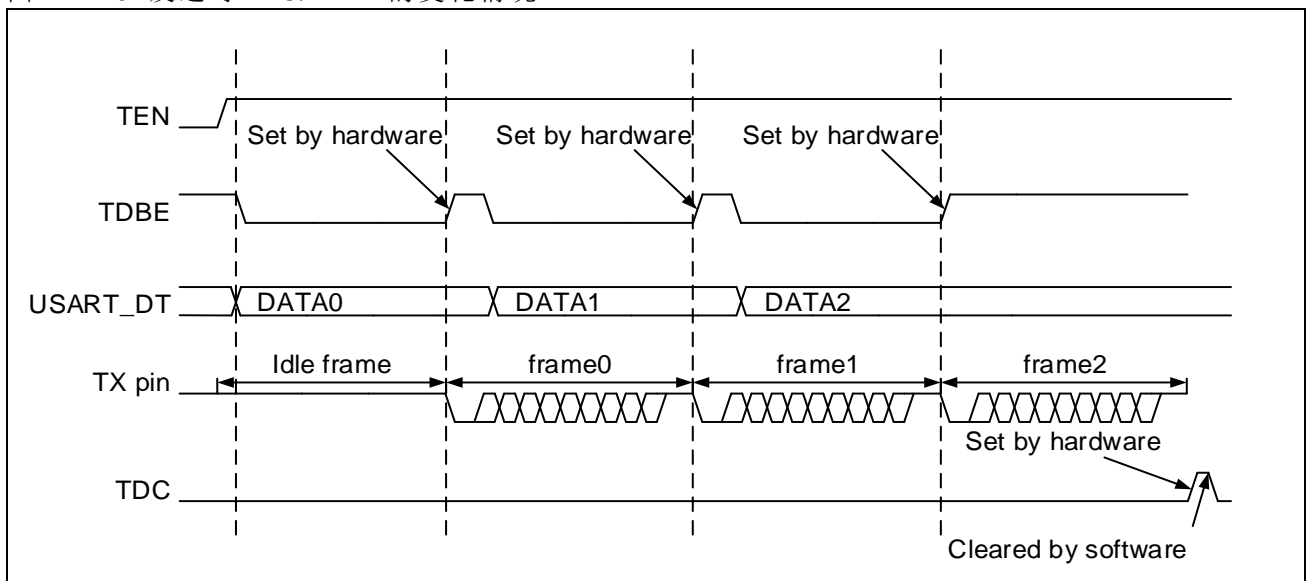
注意：1. 在数据传输期间不能复位 TEN 位，否则将破坏 TX 脚上的数据。

2. TEN 位被激活后，USART 将自动发送一个空闲帧。

### 12.7.2 发送器配置流程

1. USART使能：UEN位置1。
2. 全双工半双工配置：具体参见全双工半双工选择器配置部分（12.2）。
3. 模式配置：具体参见模式选择器配置部分（12.3）。
4. 帧格式配置：具体参见帧格式配置部分（12.4）。
5. 中断配置：具体参见中断发生器配置部分（12.11）。
6. DMA发送配置：如果选择使用DMA发送，DMATEN位USART\_CTRL3[7]置1，并按照DMA传输中的描述配置DMA寄存器。
7. 波特率配置：具体参见波特率发生器配置部分（12.6）。
8. 发送器使能：TEN位置1，置1后USART发送器会自动发送一个空闲帧。
9. 数据写入：等待TDBE位置起后，将要发送的数据写入USART\_DT寄存器（此操作会清除TDBE位），在非DMA模式下，重复此操作。
10. 在写入最后一个期望传输的数据后，等待TDC位置起，这表示最后一个数据帧的传输结束，在该标志置起前，禁止关闭USART，否则传输可能出错。
11. 在TDC=1后，可以采用先读一次USART\_STS寄存器，再写一次USART\_DT寄存器的方式来清除TDC；也可以采用软件对它写'0'来清除，但此方法只推荐在DMA模式下使用。

图 12-10 发送时TDC/TDBE的变化情况



注意：USART 连续数据发送时，两笔数据之间固定存在 2 个 USART\_CLK 周期的空闲电平时间。

以  $USART\ clock = 72MHz$  为例,  $clock\ period = 13.88ns$ , 上一笔数据停止位传输完成后,  $TX\ pin$  会再经历  $13.88 * 2 = 27.76ns$  的空闲时间才发送下一笔数据。

## 12.8 接收器简述和配置流程

### 12.8.1 接收器简述

USART 接收器具有独立的接收器使能位  $REN(USART\_CTRL1[2])$ , 接收器和发送器共用同一个波特率且该波特率可编程配置, USART 具有一个接收数据缓冲器 (RDR) 和一个接收移位寄存器。数据从 USART 的 RX 脚输入, 当接收器判断到一个有效的起始位后, 接收器会以 LSB 的方式将接收到的数据依次移入接收移位寄存器, 并根据软件配置的帧格式, 在接收到一个完整的数据帧后将接收移位寄存器中的值移入接收数据缓冲器并置起 RDBF, 如果设置了 RDBFIEN 将会产生中断。如若选择了硬件流控制, USART 接收器将控制信号将从 RTS 引脚输出。在数据接收过程中, USART 接收器会根据软件的配置检测帧错误, 溢出错误, 奇偶校验错误以及噪声错误, 并根据相应的中断使能位是否置位来判断是否产生相应的中断。

### 12.8.2 接收器配置流程

配置步骤:

1. USART使能: UEN位置1。
2. 全双工半双工配置: 具体参见全双工半双工选择器配置部分 (12.2)。
3. 模式配置: 具体参见模式选择器配置部分 (12.3)。
4. 帧格式配置: 具体参见帧格式配置部分 (12.4)。
5. 中断配置: 具体参见中断发生器配置部分 (12.11)。
6. DMA接收配置: 如果选择使用DMA接收, DMAREN位置1, 并按照DMA传输中的描述配置DMA寄存器。
7. 波特率配置: 具体参见波特率发生器配置部分 (12.6)。
8. 接收器使能: REN位置1。

当一个字符被接收到时:

- RDBF 位被置位。它表明移位寄存器的内容被转移到 RDR (Receiver Data Register)。换句话说, 数据已经被接收并且可以被读出 (包括与之有关的错误标志)。
- 如果 RDBFIEN 位被设置, 则产生中断。
- 在接收期间如果检测到帧错误, 噪音或溢出错误, 错误标志将被置起。
- 在 DMA 传输时, RDNE 在每个字节接收后被置起, 并由 DMA 对数据寄存器的读操作而清零。
- 在非 DMA 传输时, 由软件读 USART\_DT 寄存器完成对 RDBF 位清除。RDBF 标志也可以通过对它写 0 来清除。RDBF 位必须在下一帧数据接收结束前被清零, 以避免溢出错误。

当一个断开帧被接收到时:

- 非 LIN 模式: USART 接收器按照帧错误处理, 并置起 FERR 位, 若相应中断使能, 中断产生, 具体可见下方错误帧的描述。同时也会置起 BFF 位, 若 BFIEN 置位, 则中断产生。
- LIN 模式: USART 接收器按断开帧处理, 并置起 BFF 位, 若 BFIEN 置位, 则中断产生。

当一个空闲帧被接收到时:

- USART 接收器按数据帧处理, 并置起 IDLEF 位, 若 IDLEIEN 置位, 则中断产生。

当一个帧错误产生时:

- FERR 位置位。
- USART 接收器将错误的从接收移位寄存器转移到接收数据缓冲器。
- 在非 DMA 传输时, 这个位和 RDBF 位同时置起, 后者将产生中断。在 DMA 传输时, 如果 ERRIEN 置位的话, 将产生中断。

当一个溢出错误产生时:

- ROERR 位被置位。
- 接收数据缓冲器中的数据不会被覆盖, 读 USART\_DT 寄存器仍能得到先前的数据。



- 接收移位寄存器中的内容会被覆盖，随后接收到的数据都将丢失。
- 如果 RDBFIEN 位置位或 ERRIEN 和 DMAREN 位都被置位，中断产生。
- 先读 USART\_STS，再读 USART\_DT 寄存器，可清除 ROERR。

注意：当 ROERR 置位时，表明至少有 1 个数据已经丢失。有两种可能性：

- 如果 RDBF=1，上一个有效数据还存储在接收数据缓冲器中，可以被读出。
- 如果 RDBF=0，这意味着上一个有效数据已经从接收数据缓冲器中读走。

注意：在接收数据时，REN 位不应该被复位。如果 REN 位在接收时被清零，当前字节的接收被丢失。

### 12.8.3 起始侦测和噪声检测

USART 接收器在 REN 位置位后便开始侦测起始位，USART 接收器通过过采样技术，在第 3、5、7、8、9、10 位共 6 个点进行数据采样，以此侦测有效起始位以及识别噪声，具体的噪声和有效起始位的判别方式可以参见下方表检测起始位和噪声的数据采样。

表 12-2 检测起始位和噪声的数据采样

采样值 (3·5·7)	采样值 (8·9·10)	NERR 位	起始位有效性
000	000	0	有效
001/010/100	001/010/100	1	有效
001/010/100	000	1	有效
000	001/010/100	1	有效
111/110/101/011	任意值	0	无效
任意值	111/110/101/011	0	无效

注意：如果在第 3、5、7、8、9、10 位的采样值满足不了上表任意一种组合，则 USART 接收器认为没有接受到正确的起始位，将退出起始位侦测并回到空闲状态等待下降沿。

USART 接收器具备噪声检测功能，在非同步模式时，使用过采样技术，在第 7、8、9 采样点，根据不同的采样值，区别有效输入数据和噪音，并恢复数据和置起噪声错误标志位 NERR。具体的采样方法以及噪声和有效数据的判别方式可以参见下方检测有效数据和噪声的数据采样。

表 12-3 检测有效数据和噪声的数据采样

采样值	NERR 位	接收的位	数据有效性
000	0	0	有效
001	1	0	无效
010	1	0	无效
011	1	1	无效
100	1	0	无效
101	1	1	无效
110	1	1	无效
111	0	1	有效

USART 接收器在最大允许偏差下，皆可以正常接收数据，其值取决于 USART\_CTRL1 的 DBN[1:0]以及 USART\_BAUDR 的 DIV[3:0]。

注意：以下表格的最大允许偏差是以波特率 115.2Kbps 为基准进行计算，实际接收器最大允许偏差会随着波特率设定大小有所改变，波特率越大时其最大允许偏差会越小，反过来波特率越小其最大允许偏差会越大。

表 12-4 最大允许偏差

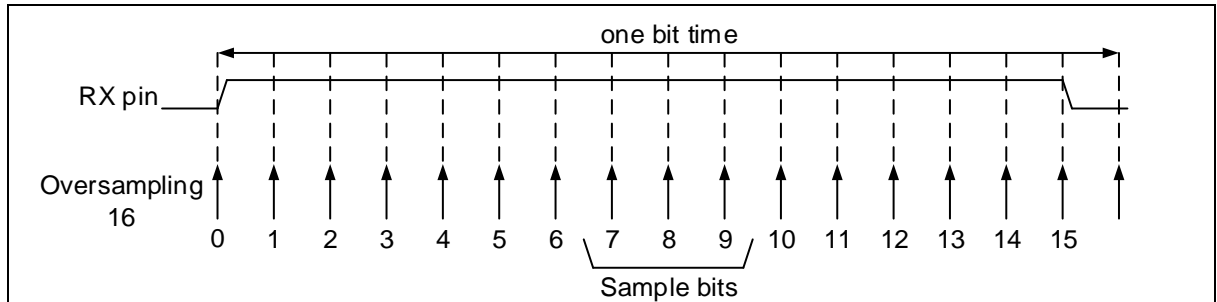
DBN[1:0]	DIV[3:0] = 0	DIV[3:0] != 0
00	3.75%	3.33%
01	3.41%	3.03%
10	4.16%	3.7%

当 USART 接收器在数据帧中检测到噪音时：

- 在 RDBF 位置起的同时置起 NERR 位。
- USART 接收器将错误数据从接收移位寄存器转移到接收数据缓冲器。

- 在非DMA传输时，没有噪声中断产生。然而，因为NERR位和RDBF位是同时置位，RDBF将产生中断。在DMA传输时，如果ERRIEN位置位，中断产生。  
先读 USART\_STS，再读 USART\_DT 寄存器，将清除 NERR 位。

图 12-11 检测噪声的数据采样



## 12.9 低功耗唤醒简述和配置流程

USART 支持低功耗唤醒功能，在进入 DEEPSLEEP 模式之前，软件需要保证 USART\_CLK 的时钟来源为 HICK 和 LEXT，并需要通过 OCCUPY 位判断 USART 此时没有进行传输，再通过 RXON 位确认 USART 接收器已初始化完成，最后需要置位 SMUSEN=1 以使能 DEEPSLEEP 模式下的 USART。USART 在进入 DEEPSLEEP 模式后 USART\_CLK 会关闭，USART 会侦测接收线上的下降沿，一旦有下降沿被侦测到，USART 会请求 MCU 打开 USART\_CLK，USART\_CLK 会至少持续到 USART 回到空闲状态，在此期间如果侦测到了唤醒源，USART 会产生中断唤醒 MCU，如果无唤醒源被侦测到，USART 请求 MCU 关闭 USART\_CLK 并等待下一个下降沿。

USART 根据 LPWUM[1:0]不同的配置有三种唤醒方式，ID 匹配 (LPWUM=00)，起始位唤醒 (LPWUM=10)，RDBF 标志位唤醒 (LPWUM=11)，USART 在 DEEPSLEEP 模式期间如果检测到了设定的唤醒源，会置位 LPWUF 位，如果 LPWUFIE 位置位，则产生中断，需要注意此中断仅 DEEPSLEEP 模式有效，需要另外特别指出，如果选择 RDBF 标志位唤醒，也可以通过置位 RDBFIE 位使能中断。

由于进入 DEEPSLEEP 模式后系统时钟关闭，所以也需要软件提前配置唤醒方式，以及置位相应的中断使能位。

USART 处于静默模式下进入 DEEPSLEEP 模式需要注意：

1. 不能使用空闲总线唤醒静默模式。
2. 如果使用 ID 匹配唤醒静默模式，那 MCU 低功耗唤醒方式应选择 ID 匹配。如果 RDBF 在进入 DEEPSLEEP 模式前置位，即使 ID 匹配，MCU 退出 DEEPSLEEP 模式，但 USART 仍然处于静默模式。
3. 如果使用起始位唤醒 MCU 退出 DEEPSLEEP 模式，LPWUF 会置位，但 RDBF 不会置位。

**注意：** USART 唤醒 DEEPSLEEP 时，软件除需清除 USART 的标志位外，还需要清除 EXINT 的 pending 标志；

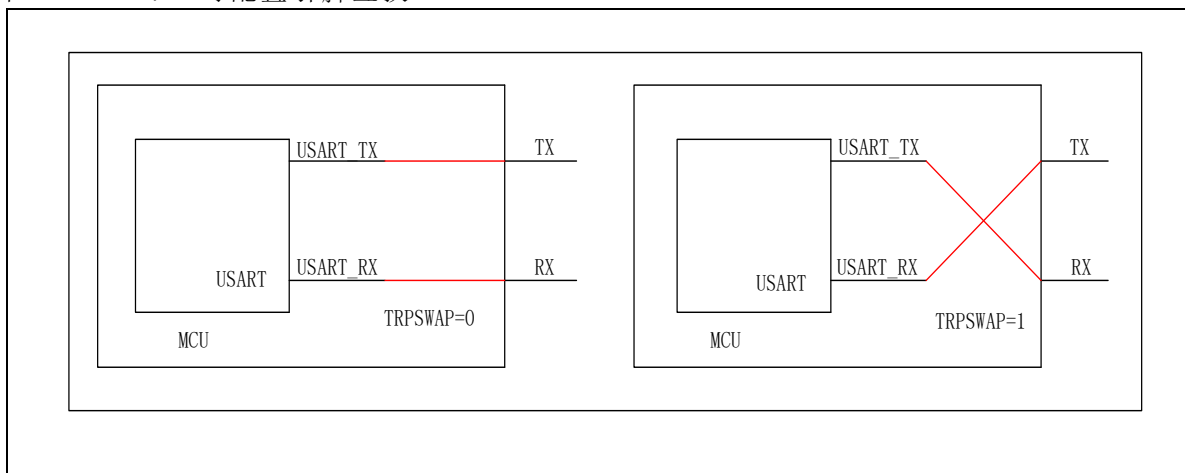
USART 唤醒 DEEPSLEEP 时，推荐 EXINT 配置上升沿触发，若配置使用双边沿触发，需要独立清除 EXINT pending 标志。

## 12.10 Tx/Rx可配置引脚互换

如果TRPSWAP (USART\_CTRL2[15]) 位被使能, MCU的Tx/Rx引脚顺序将被交换。以下举例两种常见应用场景:

- 若用户在外接RS-232芯片时不慎将Tx/Rx接反,可通过修改TRPSWAP位更换引脚顺序,无需修改硬件连接。
- 若用户在全双工模式下只将主机的Tx和从机的Rx连接,在主机和从机互换后,也可通过TRPSWAP位更换引脚顺序,无需修改硬件连接。

图 12-12 Tx/Rx可配置引脚互换



注意: SWAP (USART\_CTRL2[15]) 位必须在 USART 未被使能 (UEN=0) 时才能被改写

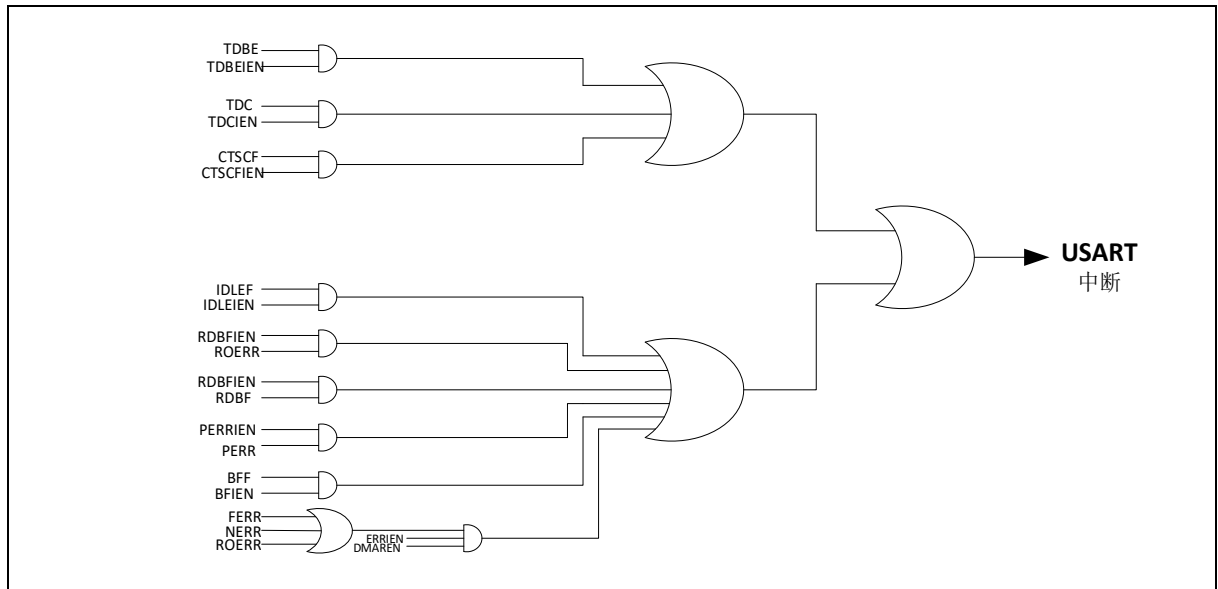
## 12.11 中断

USART 中断发生器是 USART 中断的控制中枢，USART 中断产生器会实时监测 USART 内部的中断源，并根据软件配置的相应中断源的中断使能位，以此决定是否产生中断，下表所示为 USART 的中断源以及相应的中断使能位，对相应的中断使能位置 1 时，即可在相应事件出现后产生中断。

表 12-5 USART 中断请求

中断事件	事件标志	使能位
发送数据寄存器空	TDBE	TDBEIEN
CTS 标志	CTSCF	CTSCFIEN
发送完成	TDC	TDCIEN
接收数据就绪可读	RDBF	RDBFIEN
检测到数据溢出	ROERR	
检测到空闲线路	IDLEF	IDLEIEN
奇偶检验错	PERR	PERRIEN
断开标志	BFF	BFIEN
噪声标志，多缓冲通信中的溢出错误和帧错误	NERR 或 ROERR 或 FERR	ERRIEN (1)

图 12-13 USART 中断映像图



## 12.12 I/O 引脚控制

USART 通过五个接口外部设备进行通信，引脚定义如下：

RX：串行数据输入端。

TX：串行数据输出端。在单线半双工模式和智能卡模式里，TX 脚作为 I/O 使用，即用于发送数据也用于接收数据。

CK：发送器时钟输出。输出的 CLK 相位和极性以及频率均可编程配置。

CTS：发送器输入端，硬件流控制模式发送使能信号。

RTS：接收器输出端，硬件流控制模式发送请求信号。

## 12.13 USART寄存器描述

表 12-6 USART寄存器映像和复位值

寄存器简称	基址偏移量	复位值
USART_STS	0x00	0x00C0
USART_DT	0x04	0x0000
USART_BAUDR	0x08	0x0000
USART_CTRL1	0x0C	0x0000
USART_CTRL2	0x10	0x0000
USART_CTRL3	0x14	0x0000
USART_GDIV	0x18	0x0000
USART_RTOV	0x1C	0x0000
USART_IFC	0x20	0x0000

### 12.13.1 状态寄存器（USART\_STS）

域	简称	复位值	类型	功能
位 31: 23 位 19: 18 位 15: 12	保留	0x000000	resd	硬件强制为 0。
位 22	RXON	0		接收器使能标志 0: 接收器未完成使能 1: 接收器已完成使能 注: USART3 和 USART4 不支持此位, 默认为零。
位 21	TXON	0		发送器使能标志 0: 发送器未完成使能 1: 发送器已完成使能 注: USART3 和 USART4 不支持此位, 默认为零。
位 20	LPWUF	0	r	低功耗唤醒标志 当检测到唤醒事件时, 该位被硬件置起, 由软件将其清零。 0: 无; 1: 有。 注: USART3 和 USART4 不支持此位, 默认为零。
位 17	CMDF	0	r	字节匹配检测标志 当接收到由 ID[7:0]定义的字节时, 该位被硬件置起, 由软件将其清零。 0: 无; 1: 有。
位 16	OCCUPY	0		接收器占用标志 0: 接收器空闲 1: 接收器被占用 注: USART3 和 USART4 不支持此位, 默认为零。
位 11	RTODF	0	r	接收器超时检测标志 当超时值达到 RTOV 寄存器编程的值, 若无任何通信, 该位被硬件置起, 由软件将其清零。 0: 无; 1: 有。
位 10	保留	0	resd	硬件强制为 0。
位 9	CTSCF	0	rw0c	CTS 变化标志 (CTS change flag) 当 CTS 线发送变化时, 该位被硬件置起, 由软件将其清零。 0: 无; 1: 有。

位 8	BFF	0	rw0c	间隔帧标志 (break frame flag) 当检测到间隔帧时, 该位被硬件置起, 由软件将其清零。 0: 无; 1: 有。
位 7	TDBE	1	ro	发送缓冲器空 (Transmit data buffer empty) 当发送缓冲器为空, 可以再次写入数据时, 该位被硬件置起。对 USART_DT 的写操作, 将清零该位。 0: 非空; 1: 空。
位 6	TDC	1	rw0c	发送数据完成 (Transmit data complete) 当发送数据完成, 该位被硬件置起, 由软件将其清零 (方式 1: 先读 USART_STS, 再写 USART_DT; 方式 2: 操作该位写'0')。 0: 未完成; 1: 完成。
位 5	RDBF	0	rw0c	接收数据缓冲器满 (Receive data buffer full) 当接收到数据时, 该位被硬件置起, 由软件将其清零 (方式 1: 读 USART_DT; 方式 2: 操作该位写'0')。 0: 未收到; 1: 收到。
位 4	IDLEF	0	ro	总线空闲 (Idle flag) 当检测到总线空闲时, 该位被硬件置起, 由软件将其清零 (先读 USART_STS, 再读 USART_DT)。 0: 无; 1: 有。
位 3	ROERR	0	ro	接收器溢出错误 (Receiver overflow error) 当 RDNE 仍然置起没有清除的时候, 如果此时又收到数据, 该位被硬件置起, 由软件将其清零 (先读 USART_STS, 再读 USART_DT)。 0: 无; 1: 有。 注意: 该位被置位时, DT 寄存器中的数据不会丢失, 但是后续的数据会被覆盖。
位 2	NERR	0	ro	杂讯错误 (Noise error) 接收到的数据有杂讯时, 该位被硬件置起, 由软件将其清零 (先读 USART_STS, 再读 USART_DT)。 0: 无; 1: 有。
位 1	FERR	0	ro	帧错误 (Framing error) 当检测到停止位异常 (检测到低电平)、过多的杂讯噪声或者检测到间隔帧, 该位被硬件置起, 由软件将其清零 (先读 USART_STS, 再读 USART_DT)。 0: 无; 1: 有。
位 0	PERR	0	ro	校验错误 (Parity error) 接收如果出现奇偶校验错误, 该位被硬件置起, 由软件将其清零 (先读 USART_STS, 再读 USART_DT)。 0: 无; 1: 有。

### 12.13.2 数据寄存器 (USART\_DT)

域	简称	复位值	类型	功能
位 31: 9	保留位	0x000000	resd	硬件强制为 0。
位 8: 0	DT	0x000	rw	数据值 (Data value) 该寄存器包含读和写的功能。当奇偶校验位使能, 发送操作时, 写到 MSB 的值会被校验位取代。接收操作时, 读到的 MSB 位是接收到的校验位。

### 12.13.3 波特比率寄存器 (USART\_BAUDR)

注意：如果 TEN 或 REN 均被禁止，波特计数器停止计数。

域	简称	复位值	类型	功能
位 31: 16	保留位	0x0000	resd	硬件强制为 0。
位 15: 0	DIV	0x0000	rw	分频系数 (Division) 这 16 位定义了 USART 分频系数。

### 12.13.4 控制寄存器1 (USART\_CTRL1)

域	简称	复位值	类型	功能
位 31: 29	保留	0x0	resd	保持默认值。
位 28	DBN1	0x0	rw	数据位个数高位 (Data bit num) 该位和 DBN0 位一起定义了数据位的个数。 10: 7 位; 00: 8 位; 01: 9 位; 11: 禁止写入, 否则数据异常。
位 27	RTODEN	0	rw	接收器超时检测使能位 (receiver time out detection enable) 0: 关闭; 1: 开启。
位 26	RETODIE	0	rw	接收器超时检测中断使能位 (receiver time out detection interrupt enable) 0: 关闭; 1: 开启。
位 25: 21	TSDT	0x00	rw	发送器开始延迟时间 (transmit start delay time) RS485 模式下一系列连续发送的第一笔数据会在数据写入后延迟一段时间后发送, 以确保外部收发器已将传输方向切换为发送, 该时间由 TSDT 的值决定, 时间单位为 1/16 个波特率周期。
位 20: 16	TCDT	0x00	rw	发送器完成延迟时间 (transmit complete delay time) RS485 模式下一系列连续发送的最后一笔数据会在数据最后一个停止位发送完成后延迟一段时间结束, 以确保外部收发器转接器已将传输方向切换为接收, 该时间由 TCDT 的值决定, 时间单位为 1/16 个波特率周期。
位 15	保留	0	resd	保持默认值。
位 14	CMDIE	0	rw	字节匹配检测中断使能位 (character match detection interrupt enable) 0: 关闭; 1: 开启。
位 13	UEN	0	rw	USART 使能 (USART enable) 0: 关闭; 1: 开启。
位 12	DBN0	0	rw	数据位个数低位 (Data bit num) 该位和 DBN1 位一起定义了数据位的个数。 10: 7 位; 00: 8 位; 01: 9 位; 11: 禁止写入, 否则数据异常
位 11	WUM	0	rw	唤醒方式 (Wake up mode) 该位定义静默状态下被唤醒的方式。 0: 空闲帧唤醒; 1: ID 匹配唤醒。
位 10	PEN	0	rw	奇偶校验使能 (Parity enable) 该位定义使能硬件奇偶校验 (对于发送来说就是校验位的产生; 对于接收来说就是校验位的检测)。当使能了该位, 硬件将发送数据的最高位替换成校验位; 对接收到的数据检查其校验位是否正确。



				0: 关闭; 1: 开启。
位 9	PSEL	0	rw	奇偶校验选择 (Parity selection) 该位定义是采用奇校验还是偶校验。 0: 偶校验; 1: 奇校验。
位 8	PERRIEN	0	rw	PERR 中断使能 (PERR interrupt enable) 0: 关闭; 1: 开启。
位 7	TDBEIEN	0	rw	发送数据缓冲器空中断使能 (TDBE interrupt enable) 0: 关闭; 1: 开启。
位 6	TDCIEN	0	rw	发送数据完成中断使能 (TDC interrupt enable) 0: 关闭; 1: 开启。
位 5	RDBFIEN	0	rw	接收数据缓冲器满中断使能 (RDNE interrupt enable) 0: 关闭; 1: 开启。
位 4	IDLEIEN	0	rw	总线空闲中断使能 (IDLE interrupt enable) 0: 关闭; 1: 开启。
位 3	TEN	0	rw	发送使能 (Transmitter enable) 该位定义发送端的使能。 0: 关闭; 1: 开启。
位 2	REN	0	rw	接收使能 (Receiver enable) 该位定义接收端的使能。 0: 关闭; 1: 开启。
位 1	RM	0	rw	接收静默 (Receiver mute) 该位定义接收端静默的开启, 可由软件置起或清零。当配置为空闲帧唤醒时, 唤醒后硬件也会将其清零, 当配置为匹配地址唤醒时, 收到匹配地址唤醒后硬件会将其清零, 收到不匹配地址后硬件会再次将其置起进入静默状态。 0: 普通; 1: 静默。
位 0	SBF	0	rw	发送间隔帧 (Send break frame) 使用该位来发送间隔帧。该位可以由软件置起或清零。常规用法是软件置起该位, 间隔帧发送完成后, 由硬件将该位清零。 0: 无; 1: 发送。

## 12.13.5 控制寄存器2 (USART\_CTRL2)

域	简称	复位值	类型	功能
位 31: 28	IDH	0x0	rw	USART 的 ID 号高 4 位 (USART identification) 可配置的 USART 的 ID 号。
位 27: 20	保留	0x000	resd	保持默认值。
位 19	MTF	0	rw	MSB 先传输 (MSB transmit first) 该位用于选择数据先传输 MSB 还是 LSB。 0: LSB; 1: MSB。 <i>注意: 使能 MTF 时, 不支持奇偶效验。</i>
位 18	DTREV	0	rw	DT 寄存器极性反向 (DT register polarity reverse) 0: 0: 1=H, 0=L 1: 1=L, 0=H
位 17	TXREV	0	rw	TX 引脚极性反向 (TX polarity reverse) 0: VDD=1/idle,Gnd=0/mark



				1: VDD=0/mark,Gnd=1/idle
位 16	RXREV	0	rw	RX 引脚极性反向 (RX polarity reverse) 0: VDD=1/idle,Gnd=0/mark 1: VDD=0/mark,Gnd=1/idle
位 15	TRPSWAP	0	rw	收发管脚交换 (Transmit receive pin swap) 0: 关闭; 1: 开启。
位 14	LINEN	0	rw	LIN 模式使能 (LIN mode enable) 0: 关闭; 1: 开启。
位 13: 12	STOPBN	0	rw	停止位个数 (STOP bit num) 这 2 位用来设置停止位的个数 00: 1 位; 01: 0.5 位; 10: 2 位; 11: 1.5 位;
位 11	CLKEN	0	rw	时钟使能 (Clock enable) 该位用来使能同步模式的时钟引脚。 0: 关闭; 1: 开启。
位 10	CLKPOL	0	rw	时钟极性 (Clock polarity) 在同步模式下, 可以用该位选择时钟引脚上总线空闲时 时钟输出的极性。 0: 低电平; 1: 高电平。
位 9	CLKPHA	0	rw	时钟相位 (Clock phase) 在同步模式下, 可以用该位选择时钟引脚上时钟输出的 相位。 0: 第一个边沿进行数据捕获; 1: 第二个边沿进行数据捕获。
位 8	LBCP	0	rw	最后一位时钟脉冲 (Last bit clock pulse) 在同步模式下, 使用该位来控制是否在时钟引脚上输出 数据的最后一位对应的时钟脉冲 0: 不输出; 1: 输出。
位 7	保留	0	resd	保持默认值。
位 6	BFIEN	0	rw	间隔帧中断使能 (break frame interrupt enable) 0: 关闭; 1: 开启。
位 5	BFBN	0	rw	间隔帧位数 (break frame bit num) 该位用来选择是 11 位还是 10 位的间隔帧。 0: 10 位; 1: 11 位。
位 4	IDBN	0	rw	ID 号位数 (Identification bit num) 此位用于选择 ID 号位数。 0: 4 位; 1: 数据位-1 位。 注意: 当该位置'1' 时, 在 7、8 或 9 位数据模式下, ID 号位数分别为低 6、7 或者 8 位, 如有配置奇偶校验 则为 5、6 或者 7 位。
位 3: 0	IDL	0x0	rw	USART 的 ID 号低 4 位 (USART identification) 可配置的 USART 的 ID 号。

注意: 在使能发送后不能改写这三个位 (CLKPOL、CLKPHA、LBCP)。

### 12.13.6 控制寄存器3 (USART\_CTRL3)

域	简称	复位值	类型	功能
位 31: 18 位 12	保留	0x0000	resd	硬件强制为 0。
位 17: 16	LPWUM	0x0	rw	低功耗唤醒方式 (low power wakeup method)

				00: ID 匹配 01: 保留 10: 起始位 11: RDBF 注: USART3 和 USART4 不支持此位, 默认为零。
位 15	DEP	0	rw	DE 信号极性选择 (DE polarity selection) 0: 高电平有效。 1: 低电平有效。
位 14	RS485EN	0	rw	RS485 使能 (RS485 enable) 此位用于使能 RS485 模式, RS485 模式下 USART 通过控制信号 DE 控制外部收发器传输方向。 0: 禁止 RS485 模式, 控制信号 DE 禁止输出, RTS 引脚作 RS232 模式使用。 1: 使能 RS485 模式, 控制信号 DE 在 RTS 引脚上输出。
位 13	LPWUFIE	0	rw	低功耗唤醒标志中断使能 (low power wakeup flag interrupt enable) 0: 关闭; 1: 开启。 注: USART3 和 USART4 不支持此位, 默认为零。
位 11	SMUSEN	0	rw	DEEPSLEEP 模式 USART 使能 (Deepsleep mode usart enable) 0: 关闭; 1: 开启。 注: USART3 和 USART4 不支持此位, 默认为零。
位 10	CTSCFIEN	0	rw	CTSCF 中断使能 (CTSCF interrupt enable) 0: 关闭; 1: 开启。
位 9	CTSEN	0	rw	CTS 使能 (CTS enable) 0: 关闭; 1: 开启。
位 8	RTSEN	0	rw	RTS 使能 (RTS enable) 0: 关闭; 1: 开启。
位 7	DMATEN	0	rw	DMA 发送使能 (DMA transmit enable) 0: 关闭; 1: 开启。
位 6	DMAREN	0	rw	DMA 接收使能 (DMA receiver enable) 0: 关闭; 1: 开启。
位 5	SCMEN	0	rw	智能卡模式使能 (Smart card mode enable) 0: 关闭; 1: 开启。
位 4	SCNACKEN	0	rw	智能卡 NACK 使能 (Smart card NACK enable) 该位用于配置校验错误出现时, 发送 NACK。 0: 不发送; 1: 发送。
位 3	SLBEN	0	rw	单线双向半双工模式使能 (Single line bidirectional half-duplex enable) 0: 关闭; 1: 开启。
位 2	IRDALP	0	rw	红外低功耗模式配置 (IrDA low-power mode) 该位用来配置红外低功耗模式。 0: 关闭; 1: 开启。
位 1	IRDAEN	0	rw	红外功能使能 (IrDA enable) 0: 关闭; 1: 开启。
位 0	ERRIEN	0	rw	错误中断使能 (Error interrupt enable) 当有帧错误、接收溢出错误或者杂讯错误时产生中断。

---

0: 关闭;  
1: 开启。

---

### 12.13.7 保护时间和预分频寄存器（GDIV）

域	简称	复位值	类型	功能
位 31: 16	保留位	0x00	resd	硬件强制为 0。
位 15: 8	SCGT	0x00	rw	智能卡保护时间值（Smart card guard time） 在智能卡模式下，当保护时间过去后，才会设置发送完成标志，这几位配置保护时间值。
位 7: 0	ISDIV	0x00	rw	红外或者智能卡分频系数（IrDA/smartcard division） 红外（IrDA）模式： 8 位[7: 0]有效，普通模式无效且只能设置为 00000001，低功耗模式分频系数对外设时钟进行分频，作为脉冲宽度的基数周期； 00000000：保留 - 不要写入该值； 00000001：1 分频； 00000010：2 分频； ..... 智能卡模式： 低 5 位[4: 0]有效，分频系数对外设时钟进行分频，给智能卡提供时钟。可以设置为如下值： 00000：保留 - 不要写入该值； 00001：2 分频； 00010：4 分频； 00011：6 分频； .....

### 12.13.8 接收器超时检测值寄存器（RTOV）

域	简称	复位值	类型	功能
位 31: 24	保留位	0x00	resd	硬件强制为 0。
位 23: 0	RTOV	0x00	rw	接收器超时检测值（receiver time out value） 单位为 1bit 位宽

### 12.13.9 中断标志位清除寄存器（IFC）

域	简称	复位值	类型	功能
位 31: 21 位 19: 18 位 16: 12 位 10: 0	保留位	0x00	resd	硬件强制为 0。
位 20	LPWUFC	0	rc_w1	低功耗唤醒标志清除位（low power wake up flag clear） 注：USART3 和 USART4 不支持此位，默认为零。
位 17	CMDFC	0	rc_w1	字节匹配检测标志清除位（character match detection flag clear）
位 11	RTODFC	0	w1	接收器超时检测标志清除位（receiver time out detection flag clear）

## 13 串行外设接口（SPI）

### 13.1 串行外设接口（SPI）简介

SPI 接口提供软件编程配置选项，根据软件编程配置方式不同，可以分别作为 SPI 和 I2S 使用。本章将分 SPI 和 I2S 分别介绍 SPI 作 SPI 或 I2S 的功能特性以及配置流程。

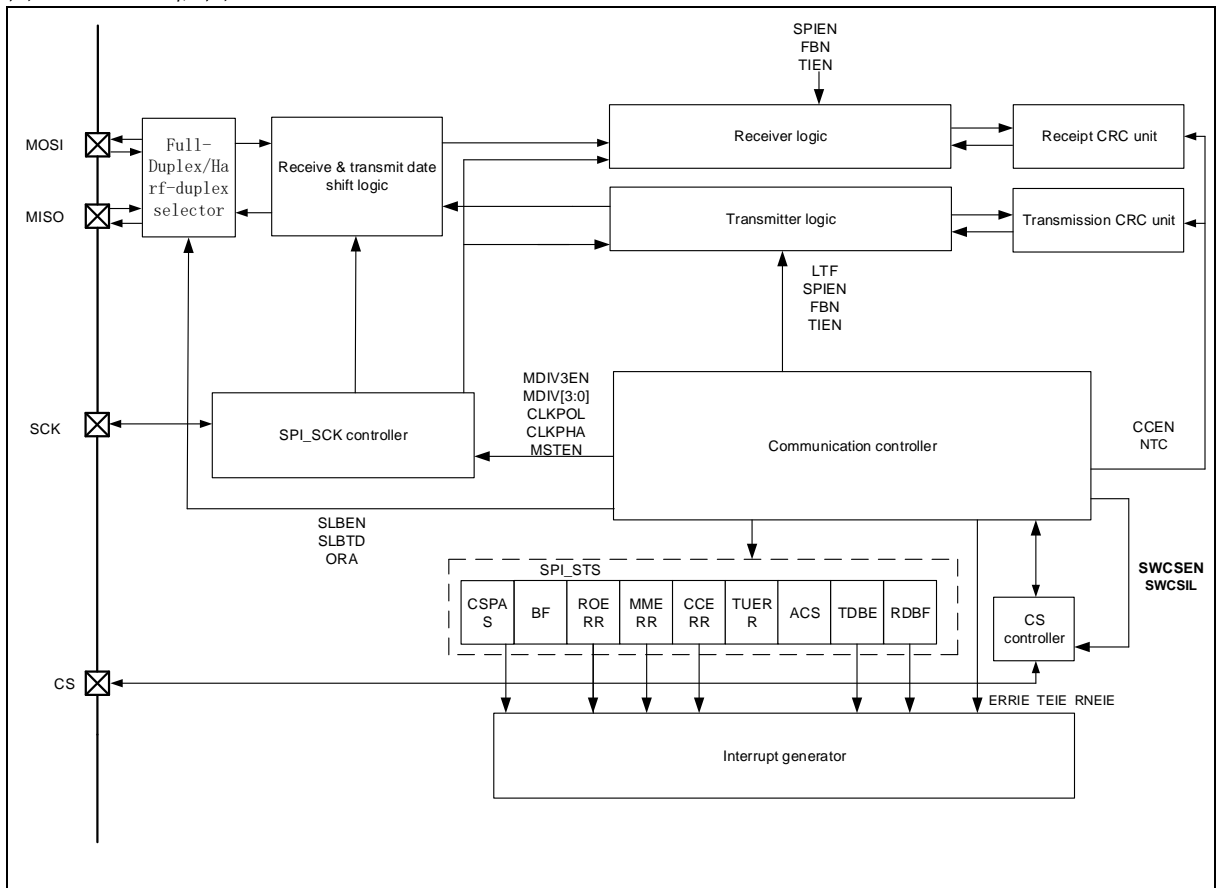
### 13.2 SPI功能描述

#### 13.2.1 SPI简述

串行外设接口（SPI）根据软件编程配置的方式不同，可以分别作为主机和从机使用，又可以分别工作在全双工，全双工只收，半双工只发/只收四种不同的模式下，并且还提供 DMA 传输，SPI 内部硬件自动 CRC 计算和校验等功能，同时可以通过软件编程配置使 SPI 接口兼容 TI 协议。

SPI 的架构框图见下图：

图 13-1 SPI框图



SPI 接口作为 SPI 使用时主要特征如下：

- 可编程配置的全双工或半双工通信：
  - 全双工同步通信（可以选择全双工只收以此释放用于发送的 IO）；
  - 半双工同步通信（可以根据软件编程配置选择传输方向：发送或接收）。
- 可编程配置主/从模式。
- 可编程配置的 CS 信号处理方式：
  - 硬件处理 CS；
  - 软件处理 CS。
- 可编程配置的 8 位或 16 位帧位数。
- 可编程配置的通信频率以及分频系数（最大分频系数为  $f_{PCLK}/2$ ）。
- 可编程配置的时钟极性和相位。

- 可编程配置的数据传输顺序(先发 MSB/LSB)。
- 可编程配置的错误中断标志（CS脉冲异常，接收器溢出错误，主模式错误，CRC校验错误）。
- 可编程配置的发送数据缓冲器空中断以及接收数据缓冲器满中断。
- 支持 DMA 发送和接收。
- 支持硬件 CRC 发送和校验。
- 具备通信忙标志。
- 兼容 TI 协议。

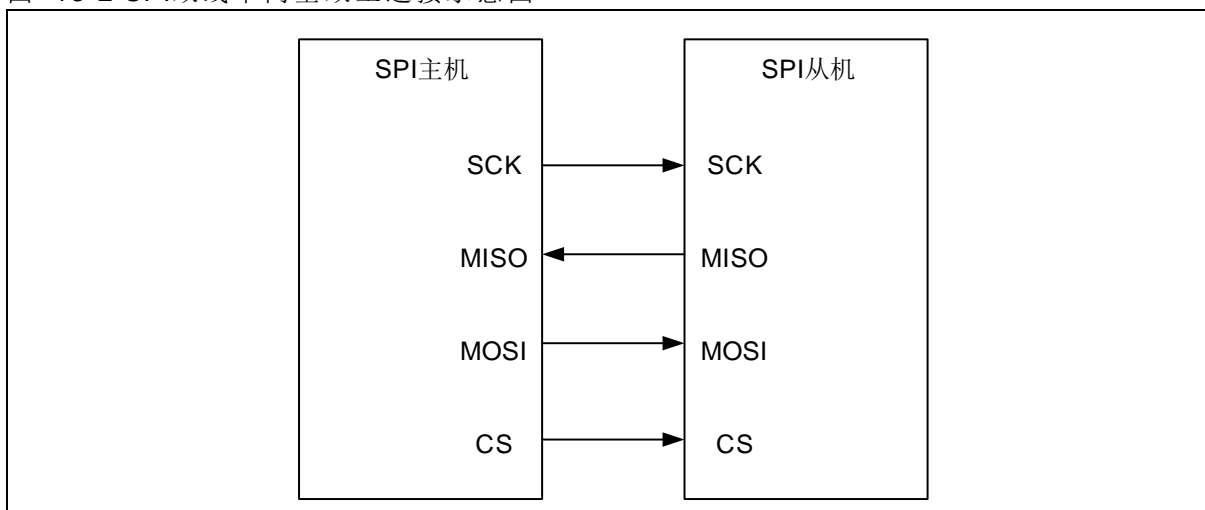
### 13.2.2 全双工半双工选择器简述和配置流程

SPI 全双工半双工选择器通过软件编程配置的方式，可以使 SPI 接口作为 SPI 使用时，可以工作在双线单向全双工，单线单向只收，单线双向半双工发送和单线双向半双工接收四种同步模式。

**双线单向全双工模式配置方式以及 SPI IO 连接方式如下：**

SLBEN 位置 0，ORA 置 0 时，SPI 工作在双线单向全双工，此时 SPI 可以同时进行数据的收发，IO 连接方式如下图。

图 13-2 SPI 双线单向全双工连接示意图



SPI 作主机或从机在此模式下，关闭 SPI 或进入省电模式(或关闭 SPI 系统时钟)之前需要等待 RDBF 置位，TDBE 置位，并等待 BF=0。

**单线单向只收模式配置方式以及 SPI IO 连接方式如下：**

SLBEN 位置 0，ORA 置 1 时，SPI 工作在单线单向只收模式，此时 SPI 只能作为数据接收方，无法发送数据。作为主机时使用 MISO 接收数据，MOSI 管脚所映射的 IO 释放。作为从机时使用 MOSI 接收数据，MISO 管脚所映射的 IO 释放。

图 13-3 SPI 作主机单线单向只收连接示意图

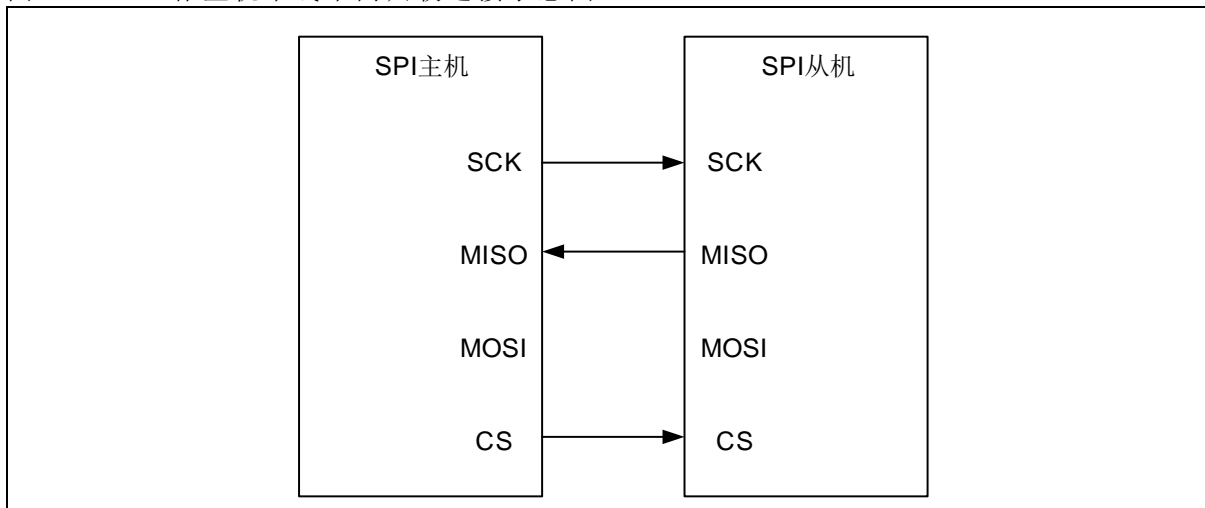
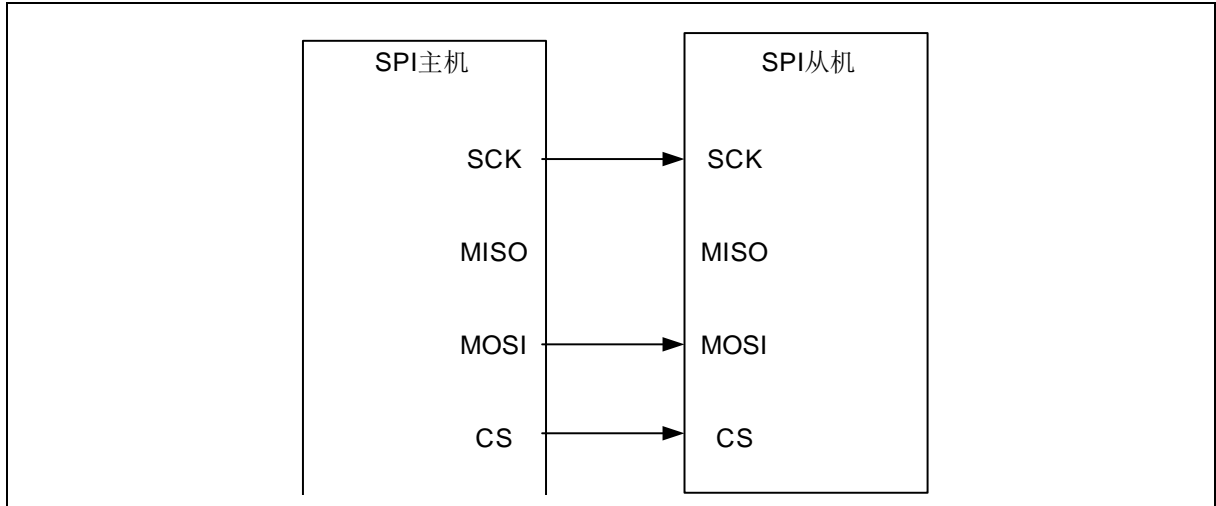


图 13-4 SPI作从机单线单向只收连接示意图



SPI 作主机时，在此模式下，需要等待倒数第二个 RDBF 置起，关闭 SPI 之前等待一个 SPI\_SCK 周期，在进入省电模式(或关闭 SPI 系统时钟)之前等待最后一个 RDBF=1。

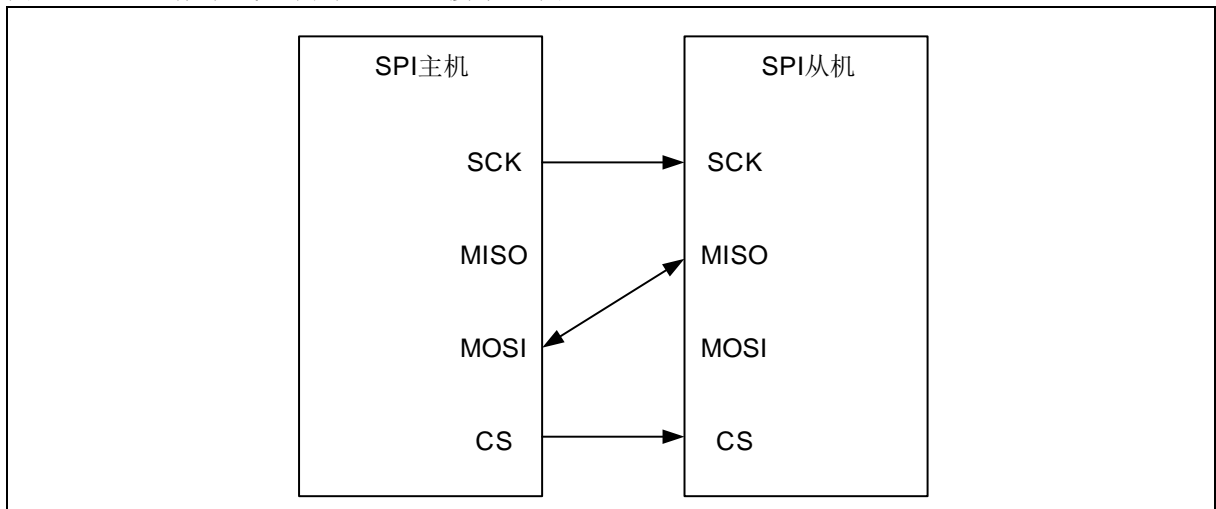
SPI 作从机时，在此模式下，关闭 SPI 无需判断任何标志，但是在进入省电模式(或关闭 SPI 系统时钟)之前需要等待 BF=0。

**单线双向半双工模式配置方式以及 SPI IO 连接方式如下：**

SLBEN 位置 1 时，SPI 工作在单线双向半双工模式，此时 SPI 可以分时进行数据收发。作为主机时使用 MOSI 收发数据，MISO 管脚所映射的 IO 释放。作为从机时使用 MISO 收发数据，MOSI 管脚所映射的 IO 释放。

软件通过编程控制 SLBTD 位控制传输方向，SLBTD 位置 1 时，SPI 只能发送数据，SLBTD 位置 0 时，SPI 只能接收数据。

图 13-5 SPI作单线双向半双工连接示意图



SPI 作主机或从机时，在单线双向半双工，传输方向选择为发送时，需要等待 TDBE 置位，BF=0 后才能关闭 SPI，在关闭 SPI 后才可以进入省电模式(或关闭 SPI 系统时钟)。

SPI 作主机时，在单线双向半双工，传输方向选择为接收时，需要等待倒数第二个 RDBF 置起，关闭 SPI 之前等待一个 SPI\_SCK 周期，在进入省电模式(或关闭 SPI 系统时钟)之前等待最后一个 RDBF=1。

SPI 作从机时，在单线双向半双工，传输方向选择为接收时，关闭 SPI 无需判断任何标志，但是在进入省电模式(或关闭 SPI 系统时钟)之前需要等待 BF=0。

### 13.2.3 CS 控制器简述和配置流程

SPI 的 CS 控制器提供通过软件可编程配置的方式选择硬件控制 CS 信号或软件控制 CS 信号，以此实现 CS 信号的控制，用于多处理器模式下主机从机选择，以及通过 CS 信号后于 SCK 信号使能，有效地屏蔽总线上的干扰，下面将分软件 CS 以及硬件 CS 来介绍 CS 控制器的配置流程，并会简述在主机和从机模式下软件和硬件 CS 的输入输出方式。



**硬件 CS 配置流程:**

当 SPI 作主机, 硬件 CS 输出时, HWCSOE 位置 1, SWCSEN 置 0, 开启硬件 CS 控制, SPI 在使能之后会在 CS 管脚上输出低电平, 在 SPI 关闭并且发送完成后, 释放 CS 信号。

当 SPI 作主机, 硬件 CS 输入时, HWCSOE 位置 0, SWCSEN 置 0, 开启硬件 CS 控制, 此时一旦主机 SPI 检测到 CS 管脚为低电平时, SPI 硬件自动关闭 SPI 并进入从机模式, 模式错误标志 MMERR 同时置位, 若使能了错误中断 (ERRIE=1), 将会产生中断, 在 MMERR 置位期间, 硬件不允许软件置位 SPIEN 和 MSTEN 位, 通过读或写 SPI\_STS 再写 SPI\_CTRL1 可以清除 MMERR。

当 SPI 作从机, 硬件 CS 输入时, HWCSOE 位置 0, SWCSEN 置 0, 开启硬件 CS 控制, 从机根据 CS 管脚上的电平判断是否发送或接收数据, 只有 CS 管脚上为低电平时, 从机才会被选中并进行数据的收发。

**软件 CS 配置流程:**

当 SPI 作主机, 软件 CS 输入时, SWCSEN 位置 1, 开启软件 CS 控制, 当 SWCSIL 位置 0 时, SPI 硬件自动关闭 SPI 并进入从机模式, 模式错误标志 MMERR 同时置位, 若使能了错误中断 (ERRIE=1), 将会产生中断, 在 MMERR 置位期间, 硬件不允许软件置位 SPIEN 和 MSTEN 位, 通过读或写 SPI\_STS 再写 SPI\_CTRL1 可以清除 MMERR。

当 SPI 作从机, 软件 CS 输入时, SWCSEN 位置 1, 开启软件 CS 控制, SPI 根据 SWCSIL 位判断 CS 信号电平, 不使用 CS 管脚, 当 SWCSIL=0 时, 从机才会被选中并进行数据的收发。

### 13.2.4 SPI\_SCK 控制器简述和配置流程

SPI 协议采用同步传输, 所以 SPI 接口在作为 SPI 使用时, 作主机时, 需要产生通信时钟用于 SPI 接口的数据收发, 并且需要将该通信时钟通过 IO 输出给从机, 用于从机的数据收发; 作从机时, 需要外设提供通信时钟从 IO 输入到 SPI 接口内部作为通信时钟使用, 所以实际上, SPI\_SCK 控制器便是扮演着产生 SPI\_SCK 以及分配 SPI\_SCK 的角色, 详细的配置方法如下所述。

**SPI\_SCK 控制器配置流程:**

- 时钟极性相位选择: 配置 CLKPOL, CLKPHA 选择需要的极性和相位。
- 时钟分频系数选择: 配置 CRM 选择需要的 PCLK 频率, 配置 MDIV[3: 0] 或 MDIV3EN 选择需要的分频系数。
- 主机或从机选择: 配置 MSTEN 选择 SPI 作主机或从机使用, 注意主机只收模式在 SPI 使能后就会开始输出时钟, 直到 SPI 被关闭且接收完成。

### 13.2.5 CRC 简述和配置流程

SPI 接口内部具有独立的发送和接收 CRC 计算单元, 通过软件编程配置, SPI 接口在作为 SPI 使用时, 可以同时在使用 DMA 读写数据或 CPU 读写数据的情况下, 自动进行 CRC 计算以及 CRC 校验, 如果在传输过程中, 硬件检测到接收到的数据与 SPI\_RCRC 中的数据不符, 且该笔数据又是 CRC 数据时, CCERR 位会置起, 若使能了错误中断 (ERRIE=1), 将会产生中断。

下面分 DMA 和 CPU 操作数据寄存器分别描述 SPI 的 CRC 功能以及 CRC 配置流程。

**CRC 配置流程**

- CRC 计算多项式配置: 配置 SPI\_CPOLY 选择 CRC 计算多项式。
- 使能 CRC: 置起 CCEN 位使能 CRC 计算, 该操作将会复位 SPI\_RCRC 以及 SPI\_TCRC。
- 根据 DMA 或 CPU 操作数据寄存器选择是否以及何时置位 NTC 位, 具体请参见下方描述。

**DMA 发送模式:**

在采用 DMA 写入待发送的数据时, 当使能 CCEN 后, 硬件会根据 SPI\_CPOLY 中的值以及每笔发送的数据自动计算 CRC 值, 并在最后一笔数据发送完成后自动发送 CRC 值, 该值即 SPI\_TCRC 中的值。

**DMA 接收模式:**

在采用 DMA 读取待接收的数据时, 当使能 CCEN 后, 硬件会根据 SPI\_CPOLY 中的值以及每笔接收的数据自动计算 CRC 值, 并在最后一笔数据接收完成后等待 CRC 数据接收完成, 并将收到的 CRC 值和 SPI\_RCRC 中的值作比较, 若校验出错, 会置起 CCERR 标志, 若使能了 ERRIE 位, 则产生错误中断。

**CPU 发送模式:**



相较于 DMA 发送模式，该模式需要软件在写入最后一笔待发送的数据后，在最后一笔数据发送完成之前置起 NTC 位。

#### **CPU 接收模式：**

在双线单向全双工模式下，按照 CPU 发送模式操作 NTC 位，CPU 接收模式的 CRC 计算和校验会自动完成，在单线单向只接收以及单线双向只接收模式下，相较于 DMA 接收需要软件在接收到倒数第二笔数据之后，接收到最后一笔数据之前置起 NTC 位。

### 13.2.6 DMA传输简述和配置流程

SPI 接口支持使用 DMA 进行发送数据的写入，接收数据的读取，具体配置流程分别见下述的 DMA 发送配置流程以及 DMA 接收配置流程。

需要特别注意的是，在开启 CRC 计算和校验时，AT32L021 的 DMA 发送数据的个数配置为待发送的数据个数，DMA 读取数据的个数配置为待接收的数据个数+1，此时硬件在所有数据传输完毕后自动进行 CRC 传输，且接收方还会自动进行 CRC 校验，需要注意，接收到的 CRC 数据，硬件会搬到 SPI\_DT 寄存器中，并置位 RDBF，以及在开启了 DMA 传输时发出 DMA 读请求，所以这里推荐当 CRC 接收完毕后软件要去读 DT 寄存器来取走 CRC 值，防止后续传输出错。

#### **DMA 发送配置流程：**

- 选择 DMA 传输通道：根据 DMA 章节 DMA 弹性请求映射选择 DMA 通道用于当前 SPI 的 DMA 传输。
- 配置 DMA 传输目标地址：在 DMA 控制寄存器中 DMA 传输目的地址位写入当前所使用的 SPI 的 SPI\_DT 寄存器地址，DMA 将会在接收到发送请求后将待发送的数据写入该地址。
- 配置 DMA 传输源地址：在 DMA 控制寄存器中 DMA 传输源地址位写入待发送数据存放的地址，DMA 将会在接收到发送请求后将该地址内的数据写入到目标地址中，即写入到当前所使用的 SPI 的 SPI\_DT 寄存器中。
- 配置 DMA 传输数据个数：在 DMA 控制寄存器相关位置配置期望传输的数据个数。
- 配置 DMA 传输通道优先级：在 DMA 控制寄存器相关位置配置当前所使用通道的 SPI 的 DMA 传输通道优先级。
- 配置 DMA 中断产生时机：在 DMA 控制寄存器相关位置配置是在传输完成或传输完成一半时产生 DMA 中断。
- 使能 DMA 传输通道：在 DMA 控制寄存器相关位置使能当前所选用的 DMA 通道。

#### **DMA 接收配置流程：**

- 选择 DMA 传输通道：根据 DMA 章节 DMA 弹性请求映射选择 DMA 通道用于当前 SPI 的 DMA 传输。
- 配置 DMA 传输目标地址：在 DMA 控制寄存器中 DMA 传输目的地址位写入期望存放接收数据的地址，DMA 将会在接收到接收请求后，将当前所使用的 SPI 的 SPI\_DT 寄存器中的数据存放在目的地址中。
- 配置 DMA 传输源地址：在 DMA 控制寄存器中 DMA 传输源地址位写入当前所使用的 SPI 的 SPI\_DT 寄存器的地址，DMA 将会在接收到接收请求后将该地址内的数据写入到目标地址中，即写入到期望存放接收数据的地址。
- 配置 DMA 传输数据个数：在 DMA 控制寄存器相关位置配置期望传输的数据个数。
- 配置 DMA 传输通道优先级：在 DMA 控制寄存器相关位置配置当前所使用通道的 SPI 的 DMA 传输通道优先级。
- 配置 DMA 中断产生时机：在 DMA 控制寄存器相关位置配置是在传输完成或传输完成一半时产生 DMA 中断。
- 使能 DMA 传输通道：在 DMA 控制寄存器相关位置使能当前所选用的 DMA 通道。

### 13.2.7 TI 模式简述和配置流程

SPI 接口支持 TI 协议，用户可以通过将 TIEN 位置 1 使能 TI 模式。

使能 TI 模式后，SPI 接口将按照 TI 协议要求产生通信时钟 SPI\_CLK，这意味着 SPI\_CLK 的极性和相位会强制符合 TI 协议要求，用户无需也无法通过配置 CLKPOL 和 CLKPHA 来改变 SPI\_CLK 的极性和相位。

使能 TI 模式后，SPI 接口将按照 TI 协议要求产生 CS 信号，这意味着 CS 的输出和输入将强制符合 TI 协议的要求，用户无需也无法通过配置 SWCSEN 位，SWCSIL 位，HWCSSOE 位来管理 CS 信号。使能 TI 模式后，SPI 从机只会在数据发送期间控制 MISO 引脚，这意味着 SPI 从机的 MISO 引脚将在空闲状态保持高阻态。

使能 TI 模式后，SPI 接口作从机使用时，SPI 接口会在数据传输期间侦测错误的 CS 脉冲，并在侦测到错误的 CS 脉冲后置起 CSPAS 位(该位可以通过软件读 SPI\_STS 清除)，此时 SPI 会忽略掉该错误的脉冲，但由于此时 CS 信号已经出现异常，软件应当关闭 SPI 从机，重新配置 SPI 主机，再打开 SPI 从机以重新开始通信。

### 13.2.8 发送器简述和配置流程

SPI 发送器时钟由 SPI\_SCK 控制器提供，根据软件编程配置，发送器可以输出不同的数据帧格式，SPI 具有一个数据缓冲寄存器 SPI\_DT，软件需要将待发送的数据先写入 SPI\_DT，发送器在有时钟时，会把 SPI\_DT 中的数据保存到发送器中的数据缓冲器(有别于 SPI\_DT，SPI 发送器中的数据缓冲器由 SPI\_SCK 驱动，且硬件自动控制，软件不可操作)，并按照配置好的帧格式将数据依次发出。用户可以选择 DMA 或 CPU 来控制数据的写入，若选择 DMA 传输，详细配置请参见 DMA 传输章节，若选择 CPU 传输，则用户需要判断 TDBE 位，该位复位值为 1，代表 SPI\_DT 为空，若 TDBEIE 置位，则产生中断，数据写入后，TDBE 拉低，直到数据被同步到发送器中的数据缓冲器后，TDBE 再次被拉起，即用户只可以在 TDBE 置位时写入待发送的数据。

发送器配置完成并使能 SPI 后，SPI 将进入数据发送状态，所以在此之前，应需要参考全双工半双工章节配置通信选用的是全双工或半双工等，并参考 CS 控制器章节配置选用的 CS 控制模式，还需要参考 SPI\_SCK 控制章节配置通信时钟，若使用了 CRC 以及 DMA，还需参考 CRC 以及 DMA 传输章节配置 CRC 以及 DMA，如下为推荐的发送器配置流程。

#### 发送器配置流程：

- 配置全双工半双工选择器。
- 配置 CS 控制器。
- 配置 SPI\_SCK 控制器。
- 配置 CRC (若需要使用 CRC 自动计算和校验功能)。
- 配置 DMA 传输 (若需要使用 DMA 传输功能)。
- 若没有选择 DMA 传输功能，软件需要判断 TDBE 位，软件需要根据需求判断是否要打开发送数据中断，即置位 TDBEIE。
- 配置帧格式：配置 LTF 位选择 MSB/LSB 格式，配置 FBN 选择 8/16 位数据。
- 置位 SPIEN 位使能 SPI。

### 13.2.9 接收器简述和配置流程

SPI 接收器时钟由 SPI\_SCK 控制器提供，根据软件编程配置，接收器可以接收不同的数据帧格式，SPI 接收器具有一个接收数据缓冲寄存器，该寄存器由 SPI\_SCK 驱动，在每笔传输的最后一个 CLK，数据从移位寄存器压入该接收数据缓冲寄存器，随后发送器会给出数据接收完成的标志给到 SPI 的控制逻辑，SPI 的控制逻辑在检测到该标志后会自动把接收器中的数据缓冲器中的值压入 SPI\_DT，RDBF 随之置起，这意味着有数据被收到，且该数据已被压入 SPI\_DT，此时读 SPI\_DT 可以读出该笔数据，同时 RDBF 随之清除。

用户可以选择 DMA 或 CPU 来控制数据的读出，若选择 DMA 传输，详细配置请参见 DMA 传输章节，若选择 CPU 传输，则用户需要判断 RDBF 位，该位复位值为 0，代表 SPI\_DT 为空，当有数据被接收到，且数据被移入 SPI\_DT 时，RDBF 置位，代表 SPI\_DT 内有数据等待读取，此时若 RDBFIE 置位则产生中断。

若在下一笔接收器接收到的数据准备压入 SPI\_DT 时，之前接收到的数据仍未被读走，即 RDBF 仍为 1，则代表数据溢出，在此之前接收到的数据不会丢失，但之后的数据都将丢失，此时 ROERR 置起，若 ERRIE 置位，则产生错误中断，依次读 SPI\_DT 寄存器和 SPI\_STS 寄存器可将 ROERR 清除，如下为推荐的接收器配置流程。

#### 接收器配置流程：

- 配置全双工半双工选择器。
- 配置 CS 控制器。

- 配置SPI\_SCK控制器。
- 配置CRC（若需要使用CRC自动计算和校验功能）。
- 配置DMA传输（若需要使用DMA传输功能）。
- 若没有选择DMA传输功能，软件需要判断RDBF位，软件需要根据需求判断是否要打开接收数据中断，即置位RDBFIE。
- 配置帧格式：配置LTF位选择MSB/LSB格式，配置FBN选择8/16位数据。
- 置位SPIEN位使能SPI。

### 13.2.10 Motorola模式通信时序

本节介绍 SPI 通信时序，包括全双工和半双工的主/从通信时序。

#### 全双工通信-主机通信时序

其中主机端配置如下：

MSTEN=1：设备为主机；

SLBEN=0：全双工模式；

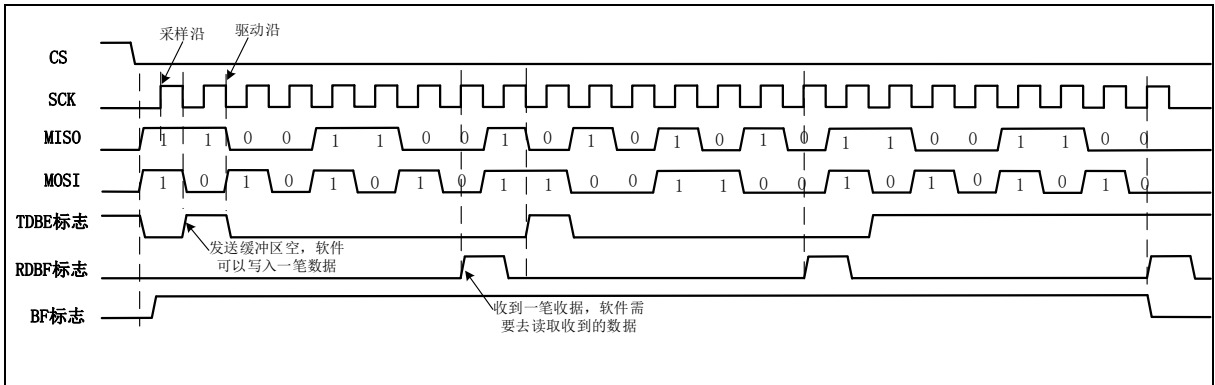
CLKPOL=0, CLKPHA=0：SCK 空闲输出低电平，第一个边沿作为采样边沿；

FBN=0：帧数据的长度为 8 位；

主机发送数据（MOSI）：0xaa, 0xcc, 0xaa；

从机发送数据（MISO）：0xcc, 0xaa, 0xcc；

图 13-6 主机全双工通信



#### 全双工通信-从机通信时序

其中从机端配置如下：

MSTEN=0：设备为从机；

SLBEN=0：全双工模式；

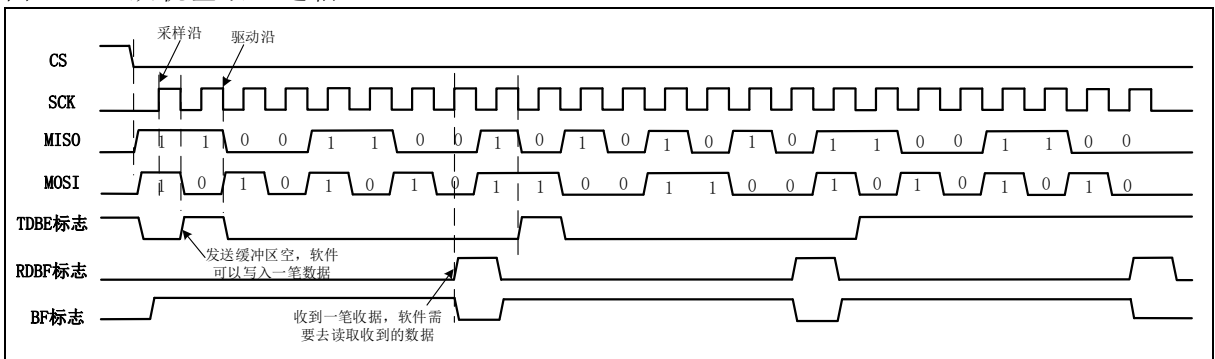
CLKPOL=0, CLKPHA=0：SCK 空闲输出低电平，第一个边沿作为采样边沿；

FBN=0：帧数据的长度为 8 位；

主机发送数据（MOSI）：0xaa, 0xcc, 0xaa；

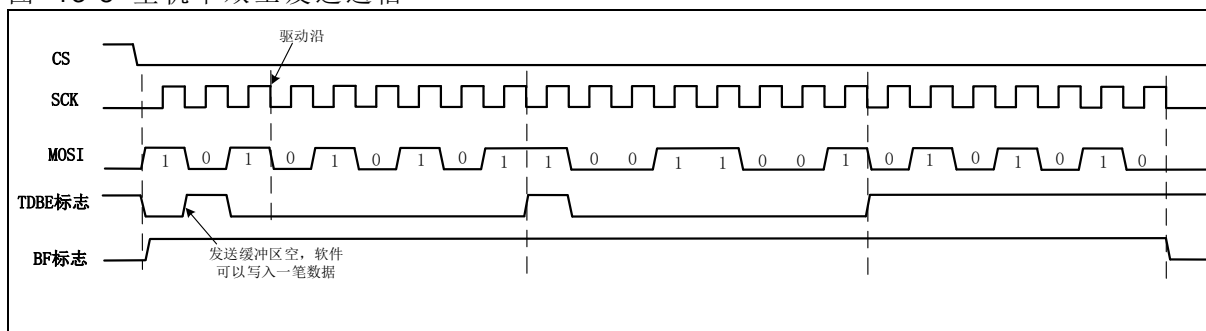
从机发送数据（MISO）：0xcc, 0xaa, 0xcc；

图 13-7 从机全双工通信

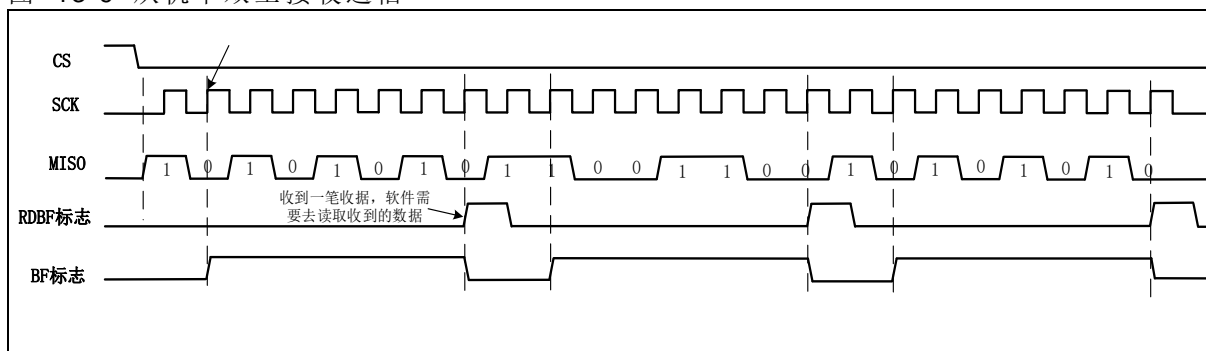


#### 半双工通信-主机发送时序

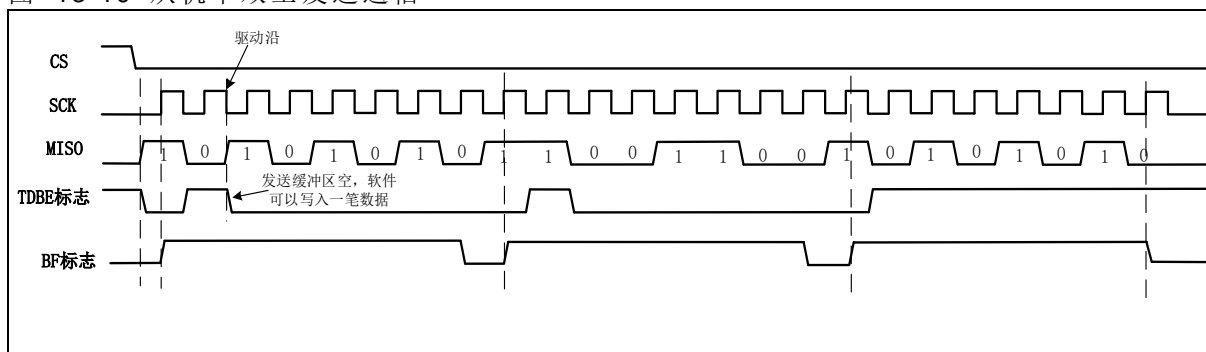
MSTEN=1: 设备为主机;  
SLBEN=1: 单线双向模式;  
SLBTD=1: 发送模式;  
CLKPOL=0, CLKPHA=0: SCK 空闲输出低电平, 第一个边沿为采样边沿;  
FBN=0: 帧数据的长度为 8 位;  
主机发送数据: 0xaa, 0xcc, 0xaa;

**图 13-8 主机半双工发送通信**

**半双工通信-从机接收时序**

**MSTEN=0:** 设备为从机;  
**SLBEN=1:** 单线双向模式;  
**SLBTD=0:** 接收模式;  
**CLKPOL=0, CLKPHA=0:** SCK 空闲输出低电平, 第一个边沿为采样边沿;  
**FBN=0:** 帧数据的长度为 8 位;  
 从机接收数据: 0xaa, 0xcc, 0xaa;

**图 13-9 从机半双工接收通信**

**半双工通信-从机发送时序**

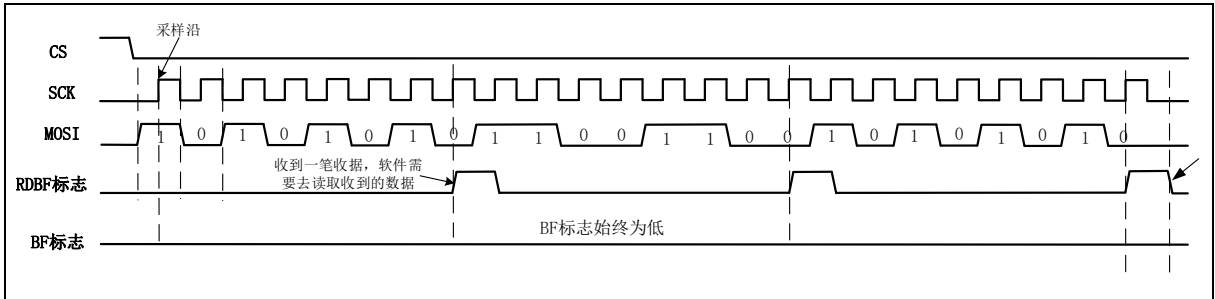
**MSTEN=0:** 设备为从机;  
**SLBEN=1:** 单线双向模式;  
**SLBTD=1:** 发送模式;  
**CLKPOL=0, CLKPHA=0:** SCK 空闲输出低电平, 第一个边沿为采样边沿;  
**FBN=0:** 帧数据的长度为 8 位;  
 从机发送数据: 0xaa, 0xcc, 0xaa;

**图 13-10 从机半双工发送通信**

**半双工通信-主机接收时序**

**MSTEN=1:** 设备为主机;  
**SLBEN=1:** 单线双向模式;

SLBTD=0: 接收模式;  
 CLKPOL=0, CLKPHA=0: SCK 空闲输出低电平, 第一个边沿为采样边沿;  
 FBN=0: 帧数据的长度为 8 位;  
 主机接收数据: 0xaa, 0xcc, 0xaa;

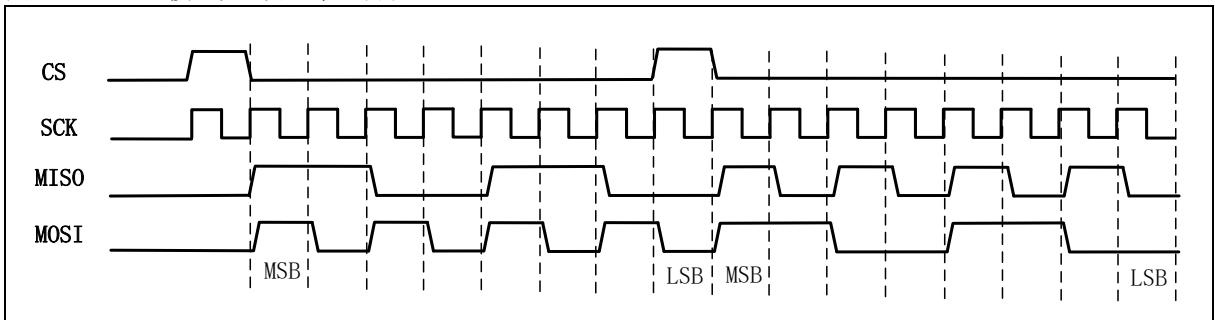
图 13-11 主机半双工接收通信



### 13.2.11 TI模式通信时序

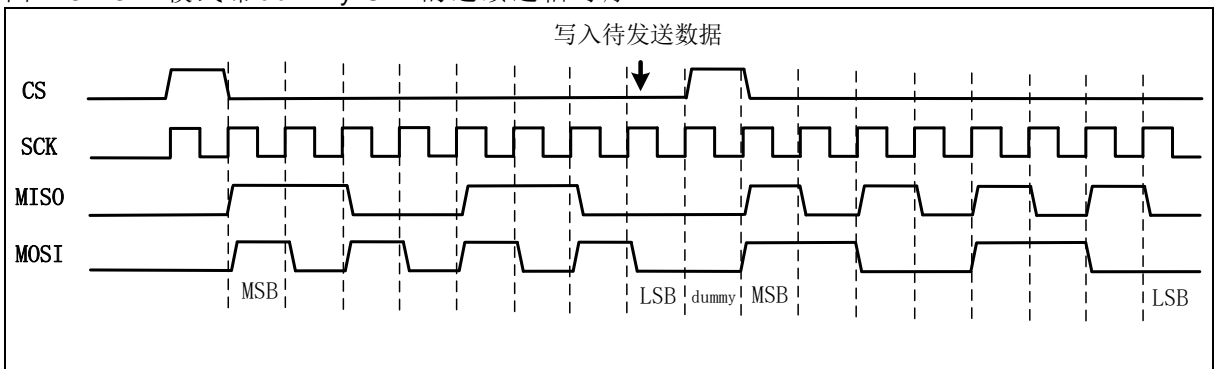
SPI 接口支持 TI 模式, 用户可以通过 TIEN 位置 1 使能该模式。  
 TI 模式下, 连续与不连续通信的时序图稍有区别。当待发送数据在当前发送数据帧最后一位对应时钟 SCK 的上升沿之前写入, 则通信连续, 每笔数据的中间不存在 dummy CLK, 主机在发送当前数据帧的最后一位数据的同时发出 CS 有效脉冲。

图 13-12 TI模式连续通信时序



TI 模式下, 当待发送数据在当前发送数据帧最后一位对应时钟 SCK 的上升沿与下降沿之间写入, 则每笔数据的中间存在一个 dummy CLK.

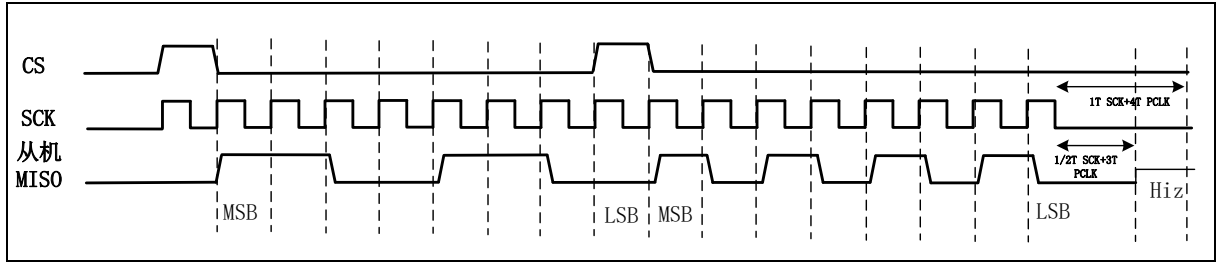
图 13-13 TI模式带dummy CLK的连续通信时序



TI 模式下, 当待发送数据在当前发送数据帧最后一位对应时钟 SCK 的下降沿之后写入, 则主机固定在  $1T\ SCK + 4T\ PCLK$  后才能重新发出有效 SCK 时钟, 从机在接收当前数据帧最后一位时, 仍然没有检测到有效的 CS 脉冲, 则在  $1/2T\ SCK + 3T\ PCLK$  后关闭 MISO 的输出功能, 控制 MISO 浮空。

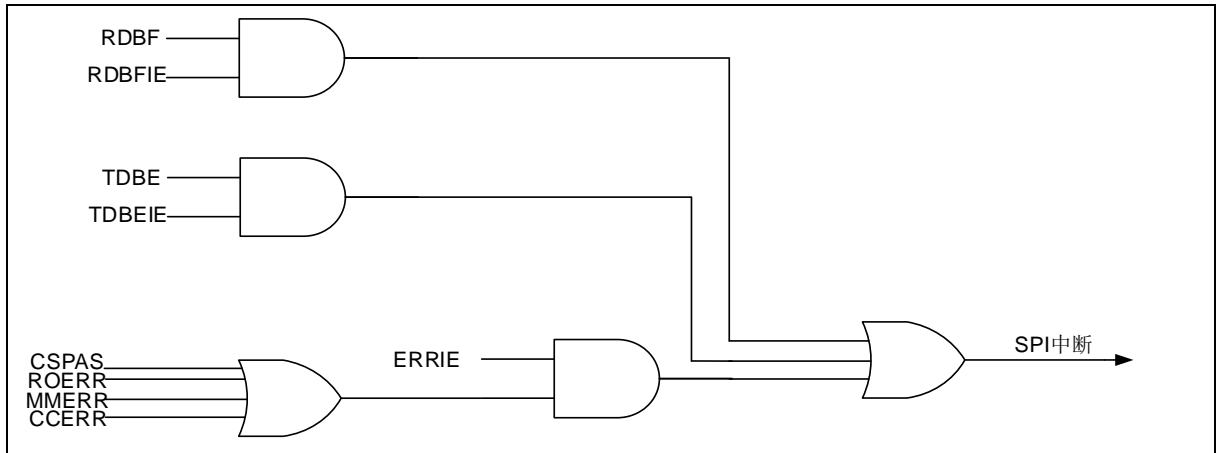


图 13-14 TI模式非连续通信时序



### 13.2.12 中断

图 13-15 SPI中断



### 13.2.13 IO管脚控制

SPI 接口作为 SPI 使用时最多可有 4 根管脚与外设相连，各管脚的使用方法可以参见全双工半双工选择器简述和配置流程以及 CS 控制器简述和配置流程章节，各管脚的定义如下。

**MISO:** 主机输入/从机输出管脚。在 SPI 接口作 SPI 主机使用时，从机送出的数据从该管脚输入。在 SPI 接口作 SPI 从机使用时，从机待发送的数据从该管脚输出。

**MOSI:** 主设备输出/从设备输入管脚。在 SPI 接口作 SPI 主机使用时，主机待发送的数据从该管脚输出。在 SPI 接口作 SPI 从机使用时，主机送出的数据从该管脚输入。

**SCK:** SPI 的通信时钟管脚。在 SPI 接口作 SPI 主机使用时，通信时钟从此管脚输出送给外设。在 SPI 接口作 SPI 从机使用时，主机提供的通信时钟从该管脚输入以作为 SPI 接口的通信时钟。

**CS:** 片选信号。这是一个可选的管脚，用来选中主/从设备，具体使用方式可以参见 CS 控制器章节。

### 13.2.14 注意事项

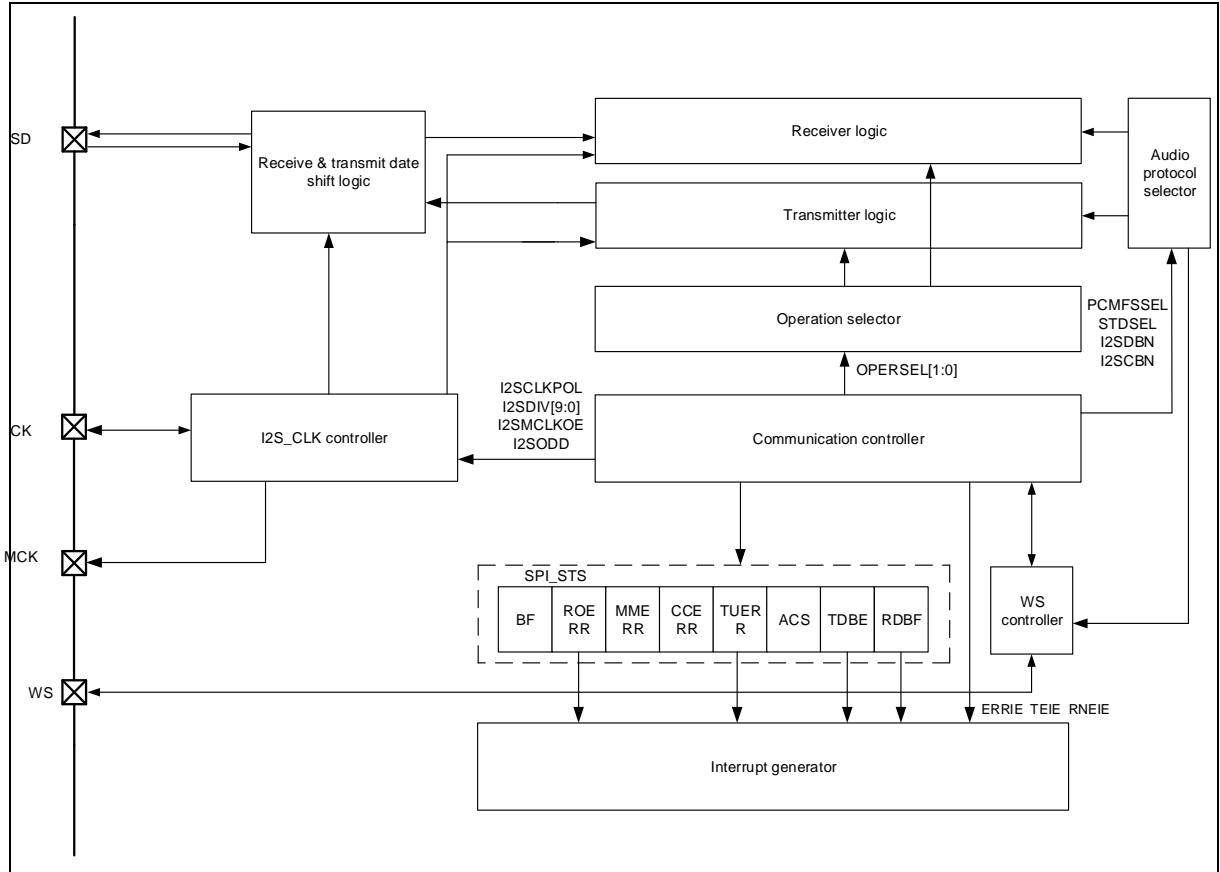
- CRC接收完成后要软件读DT寄存器来读出CRC值。

## 13.3 I<sup>2</sup>S功能描述

### 13.3.1 I<sup>2</sup>S简述

I<sup>2</sup>S 根据软件配置的不同，可以分别工作在主机接收，主机发送，从机接收，从机发送四种操作模式，并且可以分别支持包括飞利浦标准，高字节对齐标准，低字节对齐标准，PCM 标准在内的共四种音频标准，并同时支持 DMA 传输。

I<sup>2</sup>S 的框图如下图所示：

**图 13-16 I<sup>2</sup>S框图**


**SPI 接口作为 I<sup>2</sup>S 使用时主要特征如下：**

- 可编程配置的操作模式：
  - 从设备发送；
  - 从设备接收；
  - 主设备发送；
  - 主设备接收。
- 可编程配置的时钟极性。
- 可编程配置的时钟频率（8KHz到192KHz）。
- 可编程配置的数据位数（16位，24位，32位）。
- 可编程配置的声道位数（16位，32位）。
- 可编程配置的音频协议：
  - I<sup>2</sup>S飞利浦标准；
  - 高字节对齐标准（左对齐）；
  - 低字节对齐标准（右对齐）；
  - PCM标准（带长或短帧同步的通道帧）。
- 支持DMA传输。
- 支持提供频率固定比例为256倍Fs（音频采样频率）的外设主时钟。



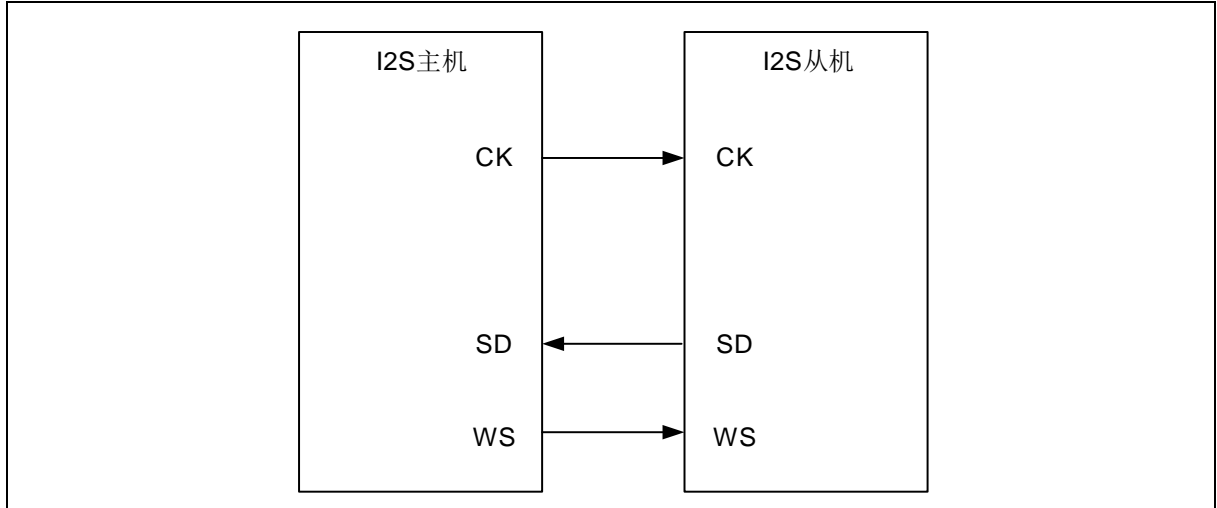
### 13.3.2 操作模式选择器简述和配置流程

SPI 接口作 I<sup>2</sup>S 选择器使用时提供了多种操作模式，用户可以通过软件编程控制操作模式选择器，选择需要的操作模式，本节会分从设备发送，从设备接收，主设备发送，主设备接收四种操作模式简单介绍配置流程以及连接方式。

#### 从设备发送：

置位 I2SMSEL 位，配置 OPERSEL[1: 0]位为 00，I<sup>2</sup>S 将工作在从设备发送模式下。

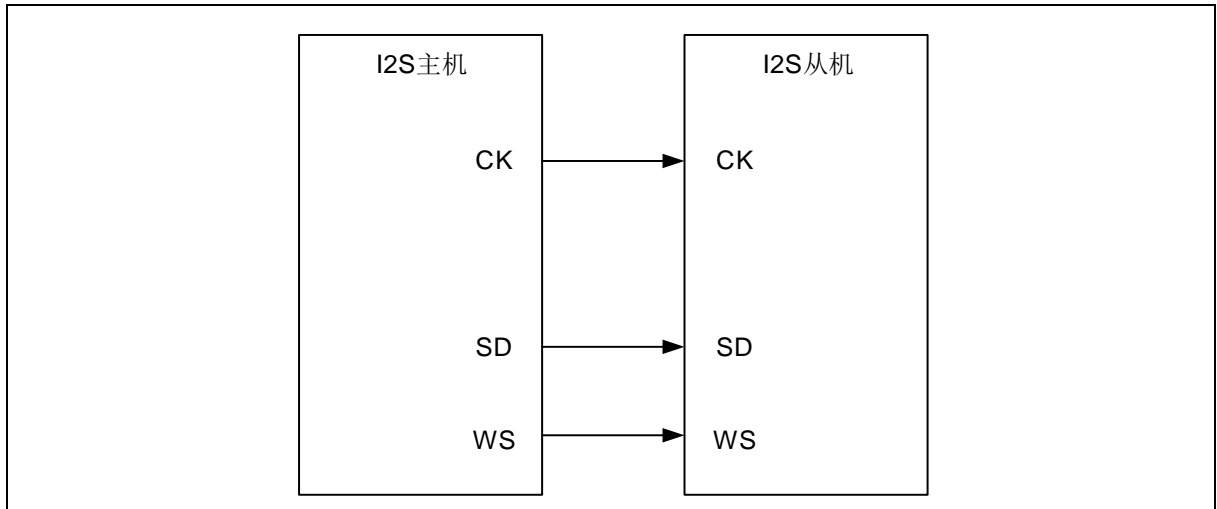
图 13-17 I<sup>2</sup>S从设备发送连接示意图



#### 从设备接收：

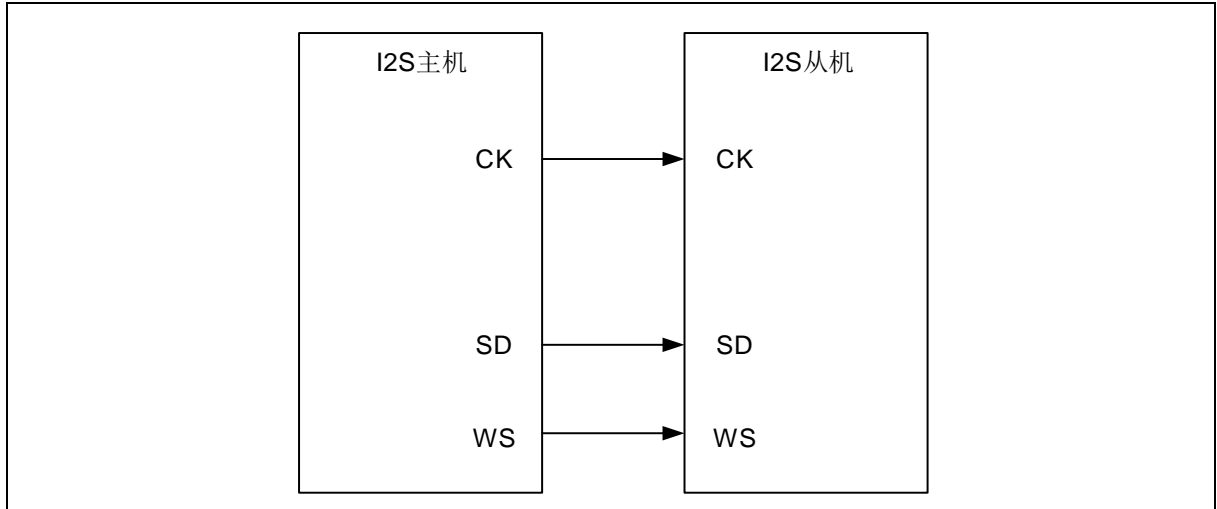
置位 I2SMSEL 位，配置 OPERSEL[1: 0]位为 01，I<sup>2</sup>S 将工作在从设备接收模式下。

图 13-18 I<sup>2</sup>S从设备接收连接示意图

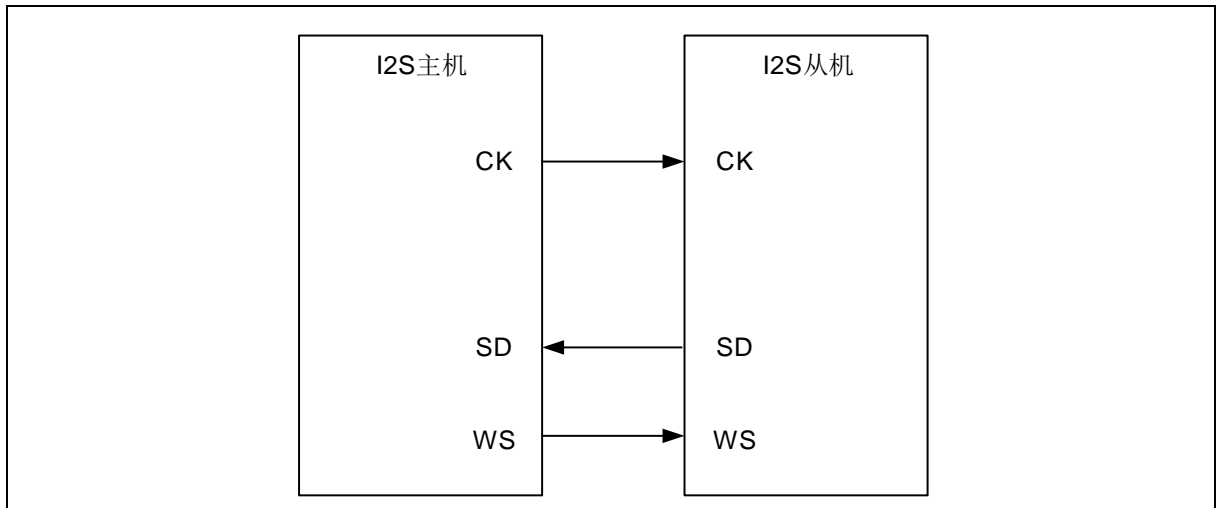


**主设备发送:**

置位 I2SMSEL 位, 配置 OPERSEL[1: 0]位为 10, I<sup>2</sup>S 将工作在主设备发送模式下。

图 13-19 I<sup>2</sup>S主设备发送连接示意图**主设备接收:**

置位 I2SMSEL 位, 配置 OPERSEL[1: 0]位为 11, I<sup>2</sup>S 将工作在主设备接收模式下。

图 13-20 I<sup>2</sup>S主设备接收连接示意图

### 13.3.3 音频协议选择器简述和配置流程

SPI接口作为I<sup>2</sup>S使用时支持多种音频协议, 用户可以通过软件编程控制音频协议选择器选择需要的音频协议, 数据位个数以及声道位个数同样由音频协议选择器控制, 用户同样可以通过软件编程配置的方式选择需要的数据位个数以及声道位个数, 同时, 音频协议选择器会自动控制WS控制器, 输出或检测符合协议要求的WS信号, 具体的配置流程如下。

- 音频协议选择: 配置STDSEL位选择需要的音频协议:
  - STDSE=00: 飞利浦标准;
  - STDSE=01: 高字节对齐标准 (左对齐);
  - STDSE=10: 低字节对齐标准 (右对齐);
  - STDSE=11: PCM标准。
- PCM帧同步格式选择: 配置PCM长帧同步 (PCMFSSSEL=1) 或短帧同步 (PCMFSSSEL=0) (该步骤在选择PCM协议时需要)。
- 数据位个数选择: 配置I2SDBN位选择需要的数据位个数:
  - I2SDBN=00: 16位;

I2SDBN =01: 24位;

I2SDBN =10: 32位。

- 声道位个数选择: 配置I2SCBN位选择需要的声道位个数:

I2SDBN =0: 16位;

I2SDBN =1: 32位。

需要注意的是,不同的音频协议以及不同的数据位数和声道位数组合所对应的数据写入方式存在较大不同,下面将依次罗列所有的允许的配置组合以及其数据的读写方式。

- 飞利浦标准或PCM标准或高字节或低字节标准, 16位数据, 16位声道。  
数据位数和声道位数一致, 每个声道只需读写一次SPI\_DT寄存器, DMA传输个数为1。
- 飞利浦标准或PCM标准或高字节标准, 16位数据, 32位声道。  
数据位数和声道位数不一致, 每个声道只需读写一次SPI\_DT寄存器, DMA传输个数为1。只有前16位是有效数据, 后16位数据硬件默认输出和接收0。
- 飞利浦标准或PCM标准或高字节标准, 24位数据, 32位声道。  
数据位数和声道位数不一致, 每个声道需读写二次SPI\_DT寄存器, DMA传输个数为2。前16位发送和接收第一笔16位数据, 后16位发送和接收高8位数据, 低8位数据硬件默认输出和接收0。
- 飞利浦标准或PCM标准或高字节或低字节标准, 32位数据, 32位声道。  
数据位数和声道位数一致, 每个声道需读写二次SPI\_DT寄存器, DMA传输个数为2。  
数据分两次, 依次发送和接收16位数据。
- 低字节标准, 16位数据, 32位声道。  
数据位数和声道位数不一致, 每个声道只需读写一次SPI\_DT寄存器, DMA传输个数为1。只有后16位是有效数据, 前16位数据硬件默认输出和接收0。
- 低字节标准, 24位数据, 32位声道。  
数据位数和声道位数不一致, 每个声道需读写二次SPI\_DT寄存器, DMA传输个数为2。前16位数据只有低八位有效, 高八位数据硬件默认输出和接收0, 后16位发送和接收第二笔16位数据。

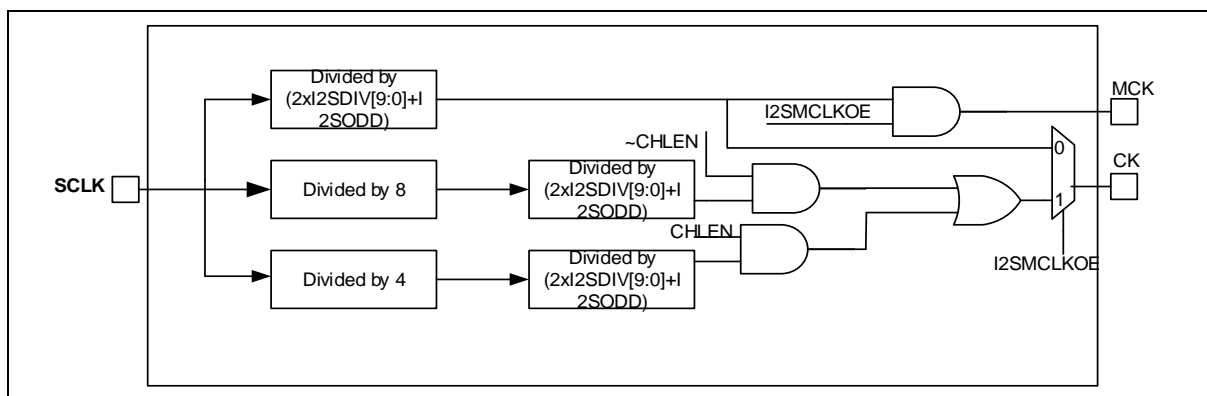
### 13.3.4 I2S\_CLK控制器简述和配置流程

SPI接口作I<sup>2</sup>S使用时, 所有该接口支持的音频协议均为同步协议, 作主机时, 需要产生通信时钟用于SPI接口的数据收发, 并且需要将该通信时钟通过IO输出给从机, 用于从机的数据收发; 作从机时, 需要主机提供通信时钟从IO输入到SPI接口内部作为通信时钟使用, 所以实际上, I2S\_CLK控制器便是扮演着产生I2S\_CLK以及分配I2S\_CLK的角色。

SPI接口作I<sup>2</sup>S主机时支持提供通信时钟CK以及外设主时钟MCK, CK和MCK的来源如图13-21所示, CK和MCK都是由HCLK分频得到, 其中MCK的分频系数由I2SDIV以及I2SODD决定, 具体计算公式见图13-21。

CK的分频系数与是否给外设提供主时钟有关, 为了满足主时钟始终是音频采样频率的256倍, 取决于是否提供主时钟以及声道位个数, 当需要给外设提供主时钟时, CK需要先做8(I2SCBN=0时)或4(I2SCBN=1时)的预分频, 随后再做和MCK相同分频系数的分频得到最终的通信时钟CK; 如果不需要给外设提供主时钟, 则CK的分频系数只由I2SDIV以及I2SODD决定, 具体计算公式见图13-21。

图 13-21 SPI作主机CK & MCK来源示意图



除了根据上面的描述自行配制想要的时钟外，我们也提供一些特定的时钟频率其对应的 I2SDIV, I2SODD 的值，以及相应的误差，用户可以直接按此表配置 I2SDIV 和 I2SODD。

表 13-1 音频频率计算结果示例

SCLK (MHz)	MCLK	Target Fs (Hz)	16bit				32bit			
			I2SDIV	I2S_ODD	RealFs	Error	I2SDIV	I2S_ODD	RealFs	Error
72	No	192000	6	0	187500	2.34%	3	0	187500	2.34%
72	No	96000	11	1	97826.09	1.90%	6	0	93750	2.34%
72	No	44100	25	1	44117.65	0.04%	13	0	43269.23	1.88%
72	No	32000	35	0	32142.86	0.45%	17	1	32142.86	0.45%
72	No	22050	51	0	22058.82	0.04%	25	1	22058.82	0.04%
72	No	16000	70	1	15957.45	0.27%	35	0	16071.43	0.45%
72	No	11025	102	0	11029.41	0.04%	51	0	11029.41	0.04%
72	No	8000	140	1	8007.117	0.09%	70	1	7978.723	0.27%
72	Yes	48000	3	0	46875	2.34%	3	0	46875	2.34%
72	Yes	44100	3	0	46875	6.29%	3	0	46875	6.29%
72	Yes	32000	4	1	31250	2.34%	4	1	31250	2.34%
72	Yes	22050	6	1	21634.62	1.88%	6	1	21634.62	1.88%
72	Yes	16000	9	0	15625	2.34%	9	0	15625	2.34%
72	Yes	11025	13	0	10817.31	1.88%	13	0	10817.31	1.88%
72	Yes	8000	17	1	8035.714	0.45%	17	1	8035.714	0.45%

### 13.3.5 DMA传输简述和配置流程

SPI 接口支持使用 DMA 进行发送数据的写入，接收数据的读取，由于无论 SPI 接口作 I<sup>2</sup>S 使用还是作 SPI 使用，对 DMA 来说，读写请求的来源都是同一个外设，所以实际上 SPI 接口作 I<sup>2</sup>S 使用时 DMA 传输的配置方法和作 SPI 使用并无不同，具体配置流程分别见下述的 DMA 发送配置流程以及 DMA 接收配置流程。

#### DMA 发送配置流程:

- 选择DMA传输通道：根据DMA章节DMA弹性映射请求配置DMA通道用于当前所用SPI的DMA传输。
- 配置DMA传输目标地址：在DMA控制寄存器中DMA传输目的地址位写入当前所使用的SPI的SPI\_DT寄存器地址，DMA将会在接收到发送请求后将待发送的数据写入该地址。
- 配置DMA传输源地址：在DMA控制寄存器中DMA传输源地址位写入待发送数据存放的地址，DMA将会在接收到发送请求后将该地址内的数据写入到目标地址中，即写入到当前所使用的SPI的SPI\_DT寄存器中。
- 配置DMA传输数据个数：在DMA控制寄存器相关位置配置期望传输的数据个数。
- 配置DMA传输通道优先级：在DMA控制寄存器相关位置配置当前所使用通道的SPI的DMA传输通道优先级。

- 配置DMA中断产生时机：在DMA控制寄存器相关位置配置是在传输完成或传输完成一半时产生DMA中断。
- 使能DMA传输通道：在DMA控制寄存器相关位置使能当前所选用的DMA通道。

#### DMA接收配置流程：

- 选择DMA传输通道：根据DMA章节DMA弹性映射请求配置DMA通道用于当前所用SPI的DMA传输。
- 配置DMA传输目标地址：在DMA控制寄存器中DMA传输目的地址位写入期望存放接收数据的地址，DMA将会在接收到接收请求后，将当前所使用的SPI的SPI\_DT寄存器中的数据存放在目的地址中。
- 配置DMA传输源地址：在DMA控制寄存器中DMA传输源地址位写入当前所使用的SPI的SPI\_DT寄存器的地址，DMA将会在接收到接收请求后将该地址内的数据写入到目标地址中，即写入到期望存放接收数据的地址。
- 配置DMA传输数据个数：在DMA控制寄存器相关位置配置期望传输的数据个数。
- 配置DMA传输通道优先级：在DMA控制寄存器相关位置配置当前所使用通道的SPI的DMA传输通道优先级。
- 配置DMA中断产生时机：在DMA控制寄存器相关位置配置是在传输完成或传输完成一半时产生DMA中断。
- 使能DMA传输通道：在DMA控制寄存器相关位置使能当前所选用的DMA通道。

### 13.3.6 发送器接收器简述和配置流程

由于无论SPI接口作I<sup>2</sup>S使用还是作SPI使用，对于CPU来说都是同一个外设，共用同一个基地址，并且SPI接口内部，作I<sup>2</sup>S使用和作SPI使用时，都共用同一个数据寄存器SPI\_DT，并且实际上发送器和接收器也是共用的，所以SPI接口的发送器和接收器只是根据通信控制器的配置发送和接收期望的数据帧格式，所以如TDBE和RDBF以及ROERR等状态标志，以及TDBEIE和RDBFIE以及ERRIE等中断使能位都是共用的。

但需要特别注意的是：

- I<sup>2</sup>S不支持CRC校验，所以和CRC有关的操作，以及CCERR标志和与之相对应的中断都不能使用。
- I<sup>2</sup>S协议需要解析当前的声道状态，用户可以根据ACS位判断当前传输是左声道（ACS=0）还是右声道（ACS=1）。
- I<sup>2</sup>S使用TUERR位表示当前是否发生欠载，TUERR=1，表示当前发送器出现了欠载错误，如果ERRIE置位，则产生中断。
- I<sup>2</sup>S在不同的音频协议和数据位数以及声道位数的组合下，操作SPI\_DT寄存器的方式是不同的，具体可以参考音频协议选择器简述和配置流程部分描述。
- I<sup>2</sup>S的关闭方式同样需要特别注意，依据不同的配置方式罗列如下：
  - I2SDBN=00, I2SCBN=1, STDSLE=10：等待倒数第二个RDBF=1，等待17个CK周期，关闭I<sup>2</sup>S。
  - I2SDBN=00, I2SCBN=1, STDSLE=00或STDSLE=01或STDSLE=11：等待最后一个RDBF=1，等待一个CK时钟周期，关闭I<sup>2</sup>S。
  - 其它I2SDBN, I2SCBN, STDSLE组合：等待倒数第二个RDBF=1，等待一个CK时钟周期，关闭I<sup>2</sup>S。

下面给出发送器和接收器的配置流程

#### I<sup>2</sup>S发送器配置流程：

- 配置操作模式选择器。
- 配置音频协议选择器。
- 配置I2S\_CLK控制器。
- 配置DMA(若需要开启DMA传输)。
- 置位I2SEN位开启I<sup>2</sup>S。

#### I<sup>2</sup>S接收器配置流程：

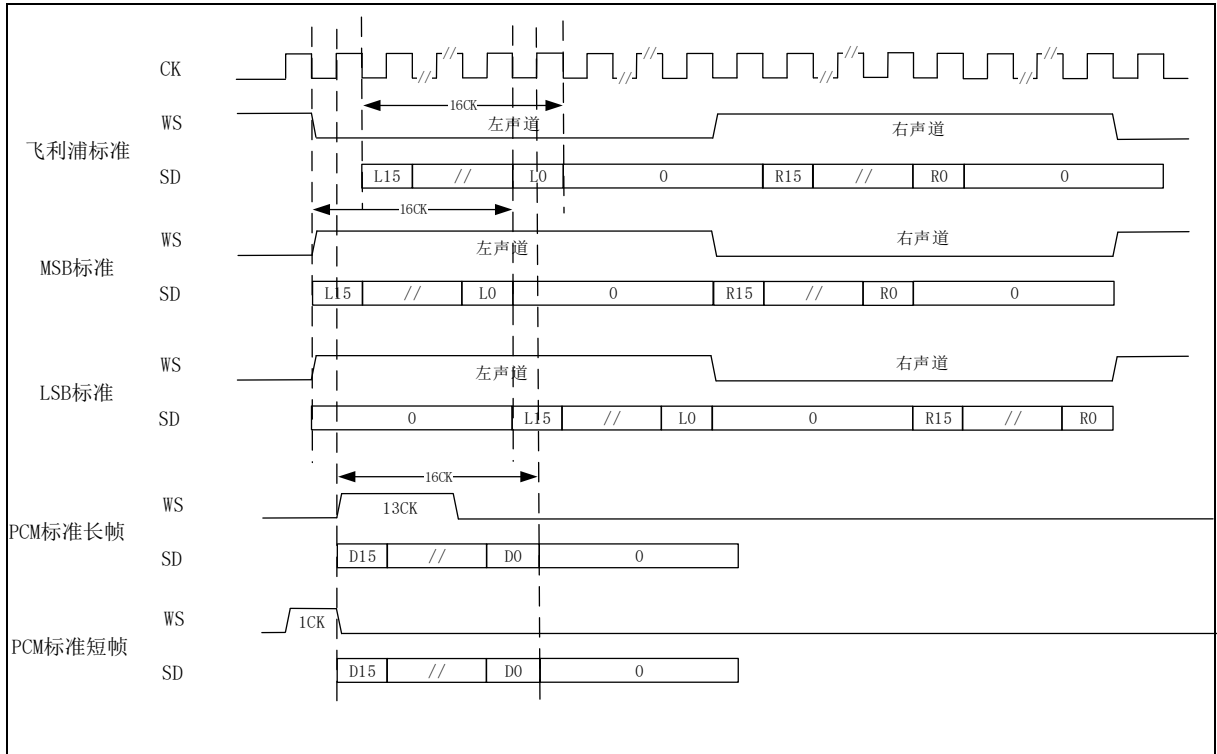
- 配置操作模式选择器。

- 配置音频协议选择器。
- 配置I2S\_CLK控制器。
- 配置DMA(若需要开启DMA传输)。
- 置位I2SEN位开启I<sup>2</sup>S。

### 13.3.7 I<sup>2</sup>S通信时序

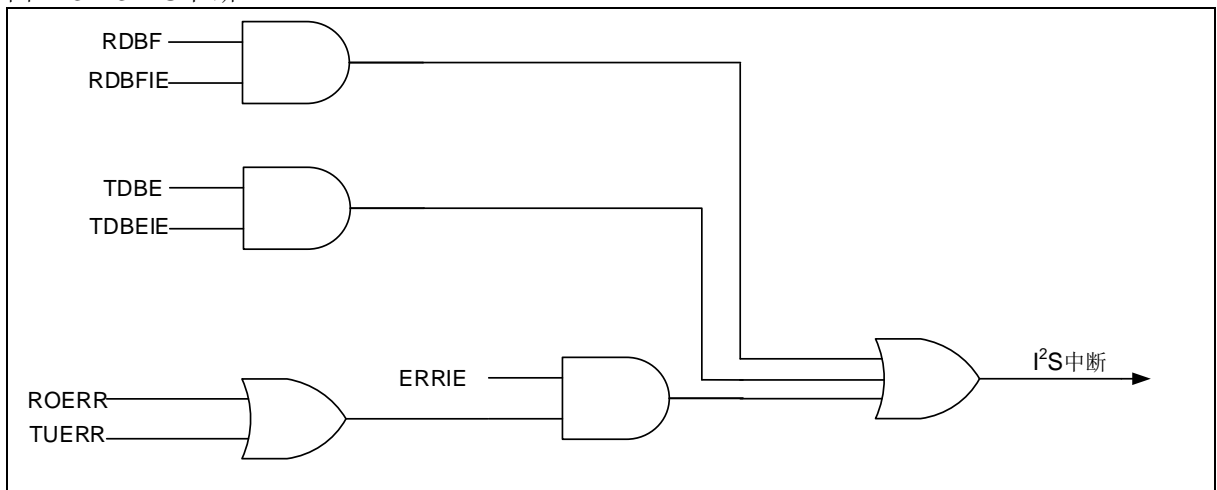
I<sup>2</sup>S 支持以下 4 种音频协议：飞利浦标准，高字节对齐标准（左对齐），低字节对齐标准（右对齐），PCM 标准，各标准音频时序如下。

图 13-22 各音频标准时序



### 13.3.8 中断

图 13-23 I<sup>2</sup>S中断



### 13.3.9 IO管脚控制

SPI 接口作 I<sup>2</sup>S 使用时，I<sup>2</sup>S 传输需要三个管脚，分别是数据管脚 SD，同步管脚 WS，通信时钟管脚 CK，如果需要给外设提供主时钟还需要主时钟输出管脚 MCLK，由于一个 SPI 接口不可能同时作 I<sup>2</sup>S 和 SPI 使用，所以 I<sup>2</sup>S 和 SPI 部分管脚映射是共用的各管脚的映射和定义如下。

- SD：数据管脚（和MOSI管脚共用同样的GPIO映射关系），数据的双向收发管脚。
- WS：同步管脚（和CS管脚共用同样的GPIO映射关系），通信同步信号的双向控制管脚，主模式输出，从模式输入。



- **CK**: 通信时钟管脚（和**SCK**管脚共用同样的GPIO映射关系），通信时钟双向输入输出管脚，主模式输出，从模式输入。
- **MCLK**: 主时钟管脚（部分独立映射，部分和**MISO**管脚共用同样的GPIO映射关系），主时钟输出管脚，用于给外设提供主时钟，输出的时钟频率固定为音频采样频率的256倍。

## 13.4 SPI寄存器

必须用字（32位）的方式操作这些外设寄存器。

表 13-2 SPI寄存器列表及其复位值

寄存器简称	基址偏移量	复位值
SPI_CTRL1	0x00	0x0000
SPI_CTRL2	0x04	0x0000
SPI_STS	0x08	0x0002
SPI_DT	0x0C	0x0000
SPI_CPOLY	0x10	0x0007
SPI_RCRC	0x14	0x0000
SPI_TCRC	0x18	0x0000
SPI_I2SCTRL	0x1C	0x0000
SPI_I2SCLKP	0x20	0x0002

### 13.4.1 SPI控制寄存器1（SPI\_CTRL1）（I<sup>2</sup>S模式下不使用）

域	简称	复位值	类型	功能
位 15	SLBEN	0x0	rw	单线双向半双工模式使能（Single line bidirectional half-duplex enable） 0: 关闭； 1: 开启。
位 14	SLBTD	0x0	rw	单线双向半双工模式传输方向（Single line bidirectional half-duplex transmission direction） 和 SLBEN 位一起决定在“单线双向半双工”模式下数据的传输方向 0: 接收模式； 1: 发送模式。
位 13	CCEN	0x0	rw	CRC 校验使能（CRC calculation enable） 0: 关闭； 1: 开启。
位 12	NTC	0x0	rw	下一笔传输数据为 CRC（Next transmission CRC） 该位置起表示下一笔传输的数据为 CRC 数据。 0: 普通数据； 1: CRC 数据。
位 11	FBN	0x0	rw	帧位个数（frame bit num） 该位配置发送/接收时数据帧位个数。 0: 8 位； 1: 16 位。
位 10	ORA	0x0	rw	仅接收有效（Only receive active） 在“双线单向”模式时，该位置起表示只有接收有效，发送被禁止。 0: 发送和接收； 1: 仅接收。
位 9	SWCSEN	0x0	rw	软件 CS 模式使能（Software CS enable） 当该位被置起时，CS 管脚上的电平由 SWCSIL 位的值决定，此时在 CS 管脚上的 I/O 电平状态无效。 0: 关闭；



				1: 开启。
位 8	SWCSIL	0x0	rw	软件 CS 内部电平 (Software CS internal level) 该位只在 SWCSEN 位置起时有意义, 它决定了 CS 上的内部电平状态。 做主设备时, 该位必须设置置起。 0: 低电平; 1: 高电平。
位 7	LTF	0x0	rw	LSB 先传输 (LSB transmit first) 该位用于选择数据先传输 MSB 还是 LSB。 0: MSB; 1: LSB。
位 6	SPIEN	0x0	rw	SPI 使能 (SPI enable) 0: 关闭; 1: 开启。
位 5: 3	MDIV	0x0	rw	主模式时钟频率分频系数 (Master clock frequency division) 作主模式时, 分频系数对外设时钟进行分频, 作为 SPI 时钟, MDIV[3]位在 SPI_CTRL2 寄存器, MDIV[3: 0]: 0000: 2 分频 0001: 4 分频 0010: 8 分频 0011: 16 分频 0100: 32 分频 0101: 64 分频 0110: 128 分频 0111: 256 分频 1000: 512 分频 1001: 1024 分频
位 2	MSTEN	0x0	rw	主模式使能 (Master enable) 0: 关闭 (从设备); 1: 开启 (主设备)。
位 1	CLKPOL	0x0	rw	时钟极性 (Clock polarity) 空闲时时钟输出的极性。 0: 低电平; 1: 高电平。
位 0	CLKPHA	0x0	rw	时钟相位 (Clock phase) 0: 第一个边沿进行数据捕获; 1: 第二个边沿进行数据捕获。

注: 在 PS 模式下, SPI\_CTRL1 寄存器需置 0。

## 13.4.2 SPI控制寄存器2 (SPI\_CTRL2)

域	简称	复位值	类型	功能
位 15: 10	保留	0x00	resd	硬件强制为 0
位 9	MDIV3EN	0x0	rw	主模式时钟频率三分频使能 (Master clock frequency3 division enable) 0: 关闭; 1: 开启。 注: 该位开启时, MDIV[3: 0]无效, SPI 时钟被强制为 PCLK 三分频。
位 8	MDIV[3]	0x0	rw	主模式时钟频率分频系数 (Master clock frequency division) 详见 MDIV[2: 0]在 SPI_CTRL1 寄存器。
位 7	TDBEIE	0x0	rw	发送数据缓冲器空中断使能 (Transmit data buffer empty interrupt enable) 0: 关闭; 1: 开启。
位 6	RDBFIE	0x0	rw	接收数据缓冲器满中断使能 (Receive data buffer full interrupt enable) 0: 关闭;

位 5	ERRIE	0x0	rw	1: 开启。 错误中断使能 (Error interrupt enable) 当错误 (CCERR、MMERR、ROERR、TUERR、CSPAS) 产生时, 该位控制是否产生中断 0: 关闭; 1: 开启。
位 4	TIEN	0x0	rw	TI 模式使能 (TI mode enable) 0: 关闭 (Motorola 模式); 1: 开启 (TI 模式)。 注: 该位在 I <sup>2</sup> S 模式下没有用, 在 I <sup>2</sup> S 模式下需保持为 0。
位 3	保留	0x0	resd	保持默认值。
位 2	HWCSOE	0x0	rw	硬件 CS 输出使能 (Hardware CS output enable) 该位做主设备时才有意义, 设置为 '1' 时, CS 脚 I/O 口输出低电平, 设置为 '0' 时, 必须保证 CS 脚 I/O 口输入为高电平。 0: 关闭; 1: 开启。
位 1	DMATEN	0x0	rw	DMA 发送使能 (DMA transmit enable) 0: 关闭; 1: 开启。
位 0	DMAREN	0x0	rw	DMA 接收使能 (DMA receive enable) 0: 关闭; 1: 开启。

### 13.4.3 SPI 状态寄存器 (SPI\_STS)

域	简称	复位值	类型	功能
位 15: 9	保留	0x00	resd	硬件强制为 0
位 8	CSPAS	0x0	ro	CS 脉冲异常置位标志 (CS pulse abnormal setting flag) 0: 无异常; 1: 有异常置位; 注: 该位用于 TI slave mode, 由软件读 STS 寄存器清零。
位 7	BF	0x0	ro	通信忙标志 (Busy flag) 0: 通信空闲; 1: 通信忙。
位 6	ROERR	0x0	ro	接收器溢出错误 (Receiver overflow error) 0: 无; 1: 有。
位 5	MMERR	0x0	ro	主模式错误 (Master mode error) 该位由硬件置位, 软件清除 (先读或写 SPI_STS 寄存器, 再写 SPI_CTRL1 寄存器)。 0: 无; 1: 有。
位 4	CCERR	0x0	rw0c	CRC 校验错误 (CRC calculation error) 该位由硬件置起, 由软件清除。 0: 正确; 1: 错误。
位 3	TUERR	0x0	ro	发送器欠载错误 (Transmitter underload error) 该位由硬件置起, 软件清除 (读 SPI_STS 寄存器)。 0: 无; 1: 有。 注: 该位只在 I <sup>2</sup> S 模式使用。
位 2	ACS	0x0	ro	音频通道状态 (Audio channel state) 该位表示当前传输的音频左右声道状态。 0: 左声道; 1: 右声道。 注: 该位只在 I <sup>2</sup> S 模式使用。
位 1	TDBE	0x1	ro	发送数据缓冲器空 (Transmit data buffer empty) 0: 非空;

位 0	RDBF	0x0	ro	1: 空。 接收数据缓冲器满 (Receive data buffer full) 0: 未滿; 1: 滿。
-----	------	-----	----	-----------------------------------------------------------------

#### 13.4.4 SPI数据寄存器 (SPI\_DT)

域	简称	复位值	类型	功能
位 15: 0	DT	0x0000	rw	数据值 (Data value) 该寄存器包含读和写的功能, 当数据位配置为 8 位时, 该寄存器只有低 8 位[7: 0]有效。

#### 13.4.5 SPICRC多项式寄存器 (SPI\_CPOLY) (I<sup>2</sup>S模式下不使用)

域	简称	复位值	类型	功能
位 15: 0	CPOLY	0x0007	rw	CRC 多项式寄存器 (CRC polynomial) 该寄存器为 CRC 计算时用到的多项式, 可以根据应用设置。 注: 该寄存器只在 SPI 模式下使用。

#### 13.4.6 SPIRxCRC寄存器 (SPI\_RCRC) (I<sup>2</sup>S模式下不使用)

域	简称	复位值	类型	功能
位 15: 0	RCRC	0x0000	ro	接收 CRC 寄存器 (receive CRC) CRC 使能后, 该寄存器值为根据接收到的数据计算得到的 CRC 值, 要复位该寄存器, 需操作 SPI_CTRL1 的 CCEN 位先清除再置起。 当数据位配置为 8 位时, 该寄存器只有低 8 位[7: 0]有效, 按照 CRC8 计算; 当数据位配置为 16 位时, 按照 CRC16 计算。 注: 该寄存器只在 SPI 模式下使用。

#### 13.4.7 SPITxCRC寄存器 (SPI\_TCRC)

域	简称	复位值	类型	功能
位 15: 0	TCRC	0x0000	ro	发送 CRC 寄存器 (transmit CRC) CRC 使能后, 该寄存器值为根据发送的数据计算得到的 CRC 值。要复位该寄存器, 需操作 SPI_CTRL1 的 CCEN 位先清除再置起。 当数据位配置为 8 位时, 该寄存器只有低 8 位[7: 0]有效, 按照 CRC8 计算; 当数据位配置为 16 位时, 按照 CRC16 计算。 注: 该寄存器只在 SPI 模式下使用。

#### 13.4.8 SPI\_I2S配置寄存器 (SPI\_I2SCTRL)

域	简称	复位值	类型	功能
位 15: 12	保留位	0x0	resd	硬件强制为 0
位 11	I2SMSSEL	0x0	rw	I <sup>2</sup> S 模式选择 (I <sup>2</sup> S mode select) 0: SPI 模式; 1: I <sup>2</sup> S 模式。
位 10	I2SEN	0x0	rw	I <sup>2</sup> S 使能 (I <sup>2</sup> S enable) 0: 关闭; 1: 开启。
位 9: 8	OPERSEL	0x0	rw	I <sup>2</sup> S 操作选择 (I <sup>2</sup> S operation select) 00: 从设备发送; 01: 从设备接收; 10: 主设备发送; 11: 主设备接收。

位 7	PCMFSSSEL	0x0	rw	PCM 帧同步 (PCM frame synchronization select) 该位只在使用 PCM 标准时才有意义。 0: 短帧同步; 1: 长帧同步。
位 6	保留位	0x0	resd	保持默认值。
位 5: 4	STDSEL	0x0	rw	I <sup>2</sup> S 标准选择 (I <sup>2</sup> S standard select) 00: 飞利浦标准; 01: 高字节对齐标准 (左对齐); 10: 低字节对齐标准 (右对齐); 11: PCM 标准。
位 3	I2SCLKPOL	0x0	rw	I <sup>2</sup> S 时钟极性 (I <sup>2</sup> S clock polarity) 时钟管脚上总线空闲时时钟输出的极性。 0: 低电平; 1: 高电平。
位 2: 1	I2SDBN	0x0	rw	I <sup>2</sup> S 数据位个数 (I <sup>2</sup> S data bit num) 00: 16 位; 01: 24 位; 10: 32 位; 11: 不允许。
位 0	I2SCBN	0x0	rw	I <sup>2</sup> S 声道位个数 (I <sup>2</sup> S channel bit num) 该位只有在 I <sup>2</sup> S 数据位个数为 16 位时配置才有意义, 否则都由硬件固定为 32 位。 0: 16 位宽; 1: 32 位宽。

### 13.4.9 SPI\_I2S预分频寄存器 (SPI\_I2SCLKP)

域	简称	复位值	类型	功能
位 15: 12	保留位	0x0	resd	硬件强制为 0
位 9	I2SMCLKOE	0x0	rw	I <sup>2</sup> S 主设备时钟输出使能 (I <sup>2</sup> S Master clock output enable) 0: 关闭; 1: 开启。
位 8	I2SODD	0x0	rw	I <sup>2</sup> S 分频系数配置奇数 (Odd result for I <sup>2</sup> S division) 0: 实际分频系数=I2SDIV*2; 1: 实际分频系数=(I2SDIV*2)+1。
位 11: 10 位 7: 0	I2SDIV	0x02	rw	I <sup>2</sup> S 分频系数 (I <sup>2</sup> S division) I2SDIV[9: 0]禁止设置为 0 或者 1。

## 14 定时器（TIMER）

AT32L021 定时器种类有基本定时器、通用定时器、高级控制定时器，详细功能模式可参考 14.1~14.6 节说明，下表为各种类型定时器的功能总表。

表 14-1 TMR功能对比

Timer 类型	Timer	计数位数	计数方式	重复计数器	预分频系数	DMA 请求产生	捕获/比较通道	PWM 输入模式	EXT 输入	刹车输入
高级控制定时器	TMR1	16	向上 向下 向上/向下	16 位	1~65536	支持	4	支持	支持	支持
通用定时器	TMR3	16	向上 向下 向上/向下	不支持	1~65536	支持	4	支持	支持	不支持
	TMR14	16	向上	不支持	1~65536	不支持	1	不支持	不支持	不支持
	TMR15	16	向上	8 位	1~65536	支持	2	支持	不支持	支持
	TMR16 TMR17	16	向上	8 位	1~65536	支持	1	不支持	不支持	支持
基本定时器	TMR6	16	向上	不支持	1~65536	支持	不支持	不支持	不支持	不支持

Timer 类型	Timer	计数位数	计数方式	PWM 输出	单周期输出	互补输出	死区	编码器接口连接	霍尔传感器接口连接	连动外设
高级控制定时器	TMR1	16	向上 向下 向上/向下	支持	支持	支持	支持	支持	支持	定时器同步
通用定时器	TMR3	16	向上 向下 向上/向下	支持	支持	不支持	不支持	支持	支持	定时器同步
	TMR14	16	向上	支持	支持	不支持	不支持	不支持	不支持	无
	TMR15	16	向上	支持	支持	支持	支持	不支持	不支持	定时器同步
	TMR16 TMR17	16	向上	支持	支持	支持	支持	不支持	不支持	无
基本定时器	TMR6 TMR7	16	向上	不支持	不支持	不支持	不支持	不支持	不支持	无

## 14.1 基本定时器（TMR6）

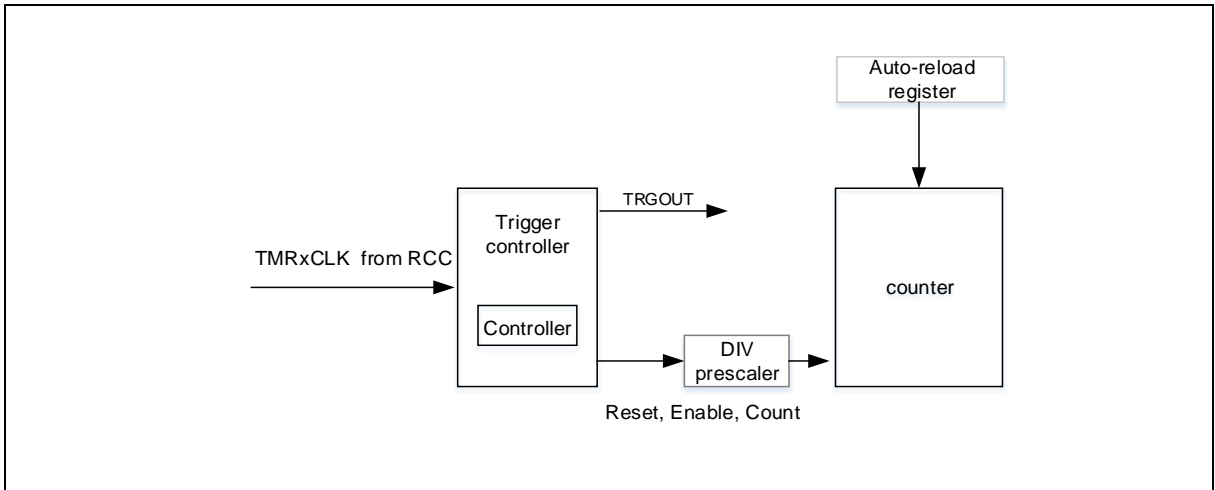
### 14.1.1 TMR6简介

基本定时器（TMR6）包含一个 16 位向上计数器以及对应的控制逻辑，没有外部 I/O 接入。可用于简单的定时功能。

### 14.1.2 TMR6的主要功能

- 16位向上计数器，可自动装载
- 16位预分频器，用于对TMR\_CLK时钟分频，分频系数为1~65536之间的任意数值

图 14-1 基本定时器框图

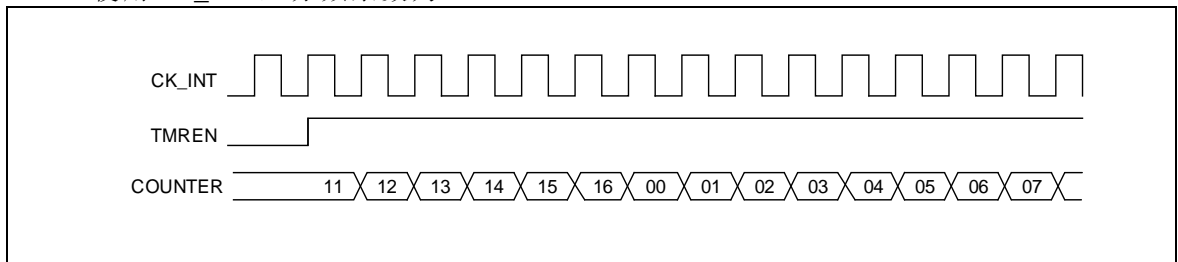


### 14.1.3 TMR6的功能

#### 14.1.3.1 计数时钟

TMR6 由内部时钟源（CK\_INT）经由预分频器提供计数器计数。当 TMR 对应的 APB 时钟预分频系数是 1 时，CK\_INT 频率等于 APB 时钟频率，否则 CK\_INT 频率等于 APB 时钟频率的 2 倍。

图 14-2 使用CK\_INT且分频系数为1



#### 14.1.3.2 计数模式

基本定时器仅提供向上计数模式。其内部拥有一个 16 位计数器。

TMRx\_PR 寄存器用于设置计数器计数周期。默认 TMRx\_PR 寄存器值会立即传入它的影子寄存器；当开启周期缓冲功能后（PRBEN 置 1），TMRx\_PR 寄存器值在溢出事件发生时传入它的影子寄存器。

TMRx\_DIV 寄存器用于设置计数器计数频率，每（DIV[15:0]+1）个计数时钟周期，计数器计数一次。和 TMRx\_PR 寄存器类似，开启周期缓冲功能后，TMRx\_DIV 寄存器值在溢出事件时更新至它的影子寄存器。

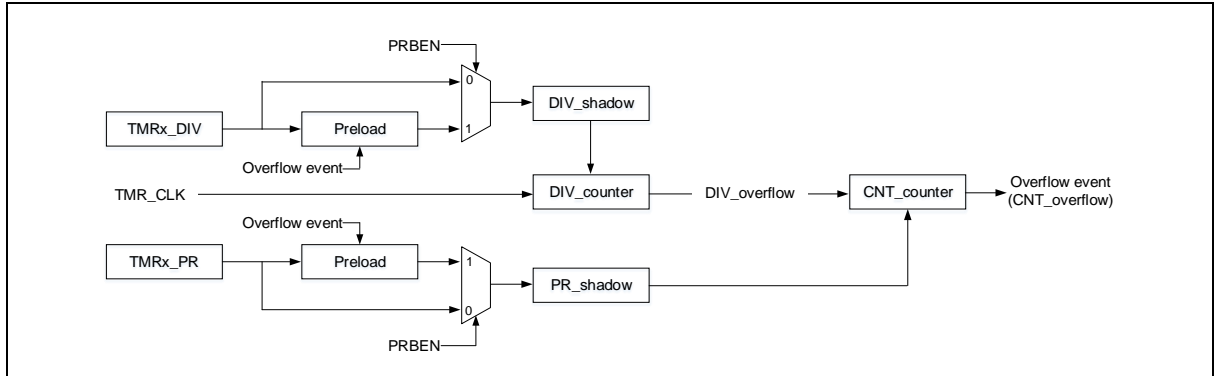
读取 TMRx\_CNT 寄存器会返回当前计数器计数值，写入 TMRx\_CNT 寄存器会更新计数器当前计数值为写入值。

默认允许产生溢出事件，设置 TMRx\_CTRL1 寄存器 OVFEN=1 将禁止更新事件产生。TMRx\_CTRL1 寄存器 OVFS 用于选择溢出事件来源，默认计数器上溢或下溢、置位 OVFSWTR、复位模式次定时

器控制器产生的复位信号产生溢出事件。置位 **OVFS** 后，只有计数器上溢或下溢产生溢出事件。

**TMREN** 位置 **1** 将使能定时器计数，由于同步逻辑，实际驱动计数器的使能信号 **TMR\_EN** 相对于 **TMREN** 延迟一个时钟周期。

图 14-3 计数器基本结构



### 向上计数模式

上计数模式中，计数值达到 **TMRx\_PR** 值时，重新从 **0** 向上计数，计数器上溢并产生溢出事件，同时 **OVFIF** 位置 **1**。若禁止产生溢出事件，计数器溢出后不再重载预分频值和周期值，否则预分频值和周期值在溢出事件后更新。

图 14-4 PRBEN=0时的溢出事件

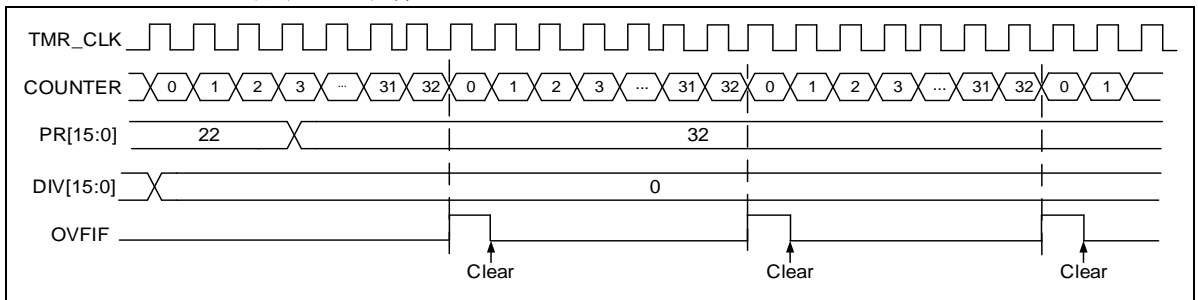


图 14-5 PRBEN=1时的溢出事件

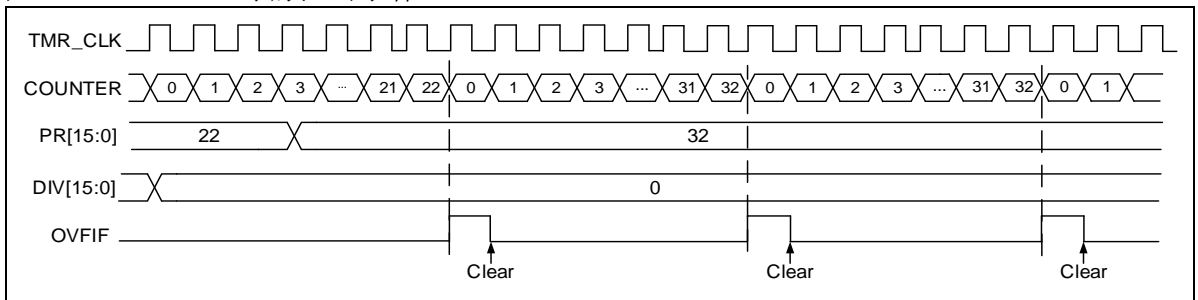
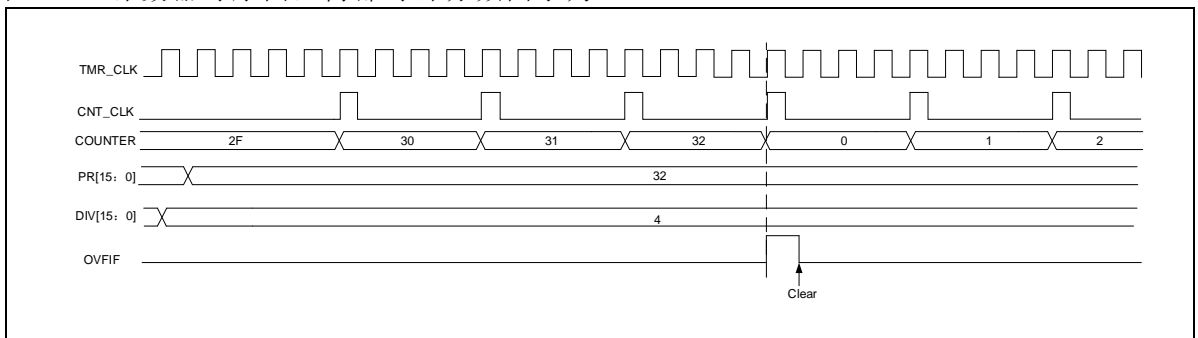


图 14-6 计数器时序图，内部时钟分频因子为4



### 14.1.3.3 调试模式

当微控制器进入调试模式（Cortex™-M0+核心停止）时，将 DEBUG 模块中的 TMRx\_PAUSE 置 1，可以使 TMRx 计数器暂停计数。

### 14.1.4 TMR6寄存器

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

下表中将 TMR6 的所有寄存器映射到一个 16 位可寻址（编址）空间。

表 14-2 TMR6寄存器和复位值

寄存器简称	基址偏移量	复位值
TMRx_CTRL1	0x00	0x0000
TMRx_CTRL2	0x04	0x0000
TMRx_IDEN	0x0C	0x0000
TMRx_ISTS	0x10	0x0000
TMRx_SWEVT	0x14	0x0000
TMRx_CVAL	0x24	0x0000
TMRx_DIV	0x28	0x0000
TMRx_PR	0x2C	0x0000

#### 14.1.4.1 TMR6控制寄存器1（TMRx\_CTRL1）

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7	PRBEN	0x0	rw	周期缓冲使能（Period buffer enable） 0：缓冲关闭； 1：缓冲开启。
位 6: 4	保留	0x0	resd	保持默认值。
位 3	OCMEN	0x0	rw	单周期使能（One cycle mode enable） 该功能用于选择溢出事件后，计数器是否停止。 0：关闭； 1：开启。
位 2	OVFS	0x0	rw	溢出事件源选择（Overflow event source） 配置溢出事件或 DMA 请求来源。 0：来源于计数器溢出、设置 OVFSWTR 位或次定时器控制器产生的溢出事件； 1：只能来源于计数器溢出。
位 1	OVFEN	0x0	rw	溢出事件使能（Overflow event enable） 该位用于允许或禁止溢出事件（OEV）产生。 0：允许溢出事件产生，溢出事件可以由下列事件产生： - 计数器溢出 - 将 OVFSWTR 位置 1 - 通过次定时器控制器产生的溢出事件 1：禁止溢出事件产生。 如果将 OVFSWTR 位置 1 或次定时器控制器产生了一个硬件复位，则计数器和预分频器将被重新初始化。 注：该位由软件置 1 和清 0。
位 0	TMREN	0x0	rw	使能定时器（TMR enable） 0：关闭； 1：开启。

#### 14.1.4.2 TMR6控制寄存器2（TMRx\_CTRL2）

域	简称	复位值	类型	功能
位 15: 7	保留	0x0	resd	保持默认值。
位 6: 4	PTOS	0x0	rw	主定时器输出信号选择（Primary TMR output selection） TMRx 输出到次定时器的信号选择： 000：复位；



位 3: 0	保留	0x0	resd	001: 使能; 010: 更新; 保持默认值。
--------	----	-----	------	--------------------------------

#### 14.1.4.3 TMR6 DMA/中断使能寄存器 (TMRx\_IDEN)

域	简称	复位值	类型	功能
位 15: 9	保留	0x0	resd	保持默认值。
位 8	OVFDEN	0x0	rw	溢出事件的 DMA 请求使能 (overflow event DMA request enable) 0: 关闭; 1: 开启。
位 7: 1	保留	0x0	resd	保持默认值。
位 0	OVFIEN	0x0	rw	溢出中断使能 (overflow interrupt enable) 0: 关闭; 1: 开启。

#### 14.1.4.4 TMR6中断状态寄存器 (TMRx\_ISTS)

域	简称	复位值	类型	功能
位 15: 1	保留	0x0	resd	保持默认值。
位 0	OVFIF	0x0	rw0c	溢出中断标记 (Overflow interrupt flag) 当溢出事件发生时由硬件置'1', 由软件清'0'。 0: 无溢出事件发生; 1: 发生溢出事件, 若 TMRx_CTRL1 的 OVFE=0、OVFS=0 时: - 当 TMRx_SWEVE 寄存器的 OVFG=1 时产生溢出事件; - 当计数值 CVAL 被触发事件重初始化时产生溢出事件。

#### 14.1.4.5 TMR6软件事件寄存器 (TMRx\_SWEVT)

域	简称	复位值	类型	功能
位 15: 1	保留	0x0	resd	保持默认值。
位 0	OVFSWTR	0x0	rw0c	软件触发溢出事件 (Overflow event triggered by software) 通过软件触发一个溢出事件。 0: 无作用; 1: 制造一个溢出事件。

#### 14.1.4.6 TMR6计数值 (TMRx\_CVAL)

域	简称	复位值	类型	功能
位 15: 0	CVAL	0x0	rw	计数值 (Counter value)

#### 14.1.4.7 TMR6分频系数 (TMRx\_DIV)

域	简称	复位值	类型	功能
位 15: 0	DIV	0x0	rw	分频系数 (Divider value) 计数器时钟频率 $f_{CK\_CNT} = f_{TMR\_CLK} / (DIV[15:0] + 1)$ 。 DIV 为溢出事件发生时写入的分频系数。

#### 14.1.4.8 TMR6周期寄存器 (TMRx\_PR)

域	简称	复位值	类型	功能
位 15: 0	PR	0x0	rw	周期值 (Period value) 定时器计数的周期值。当周期值为 0 时, 定时器不工作。

## 14.2 通用定时器 (TMR3)

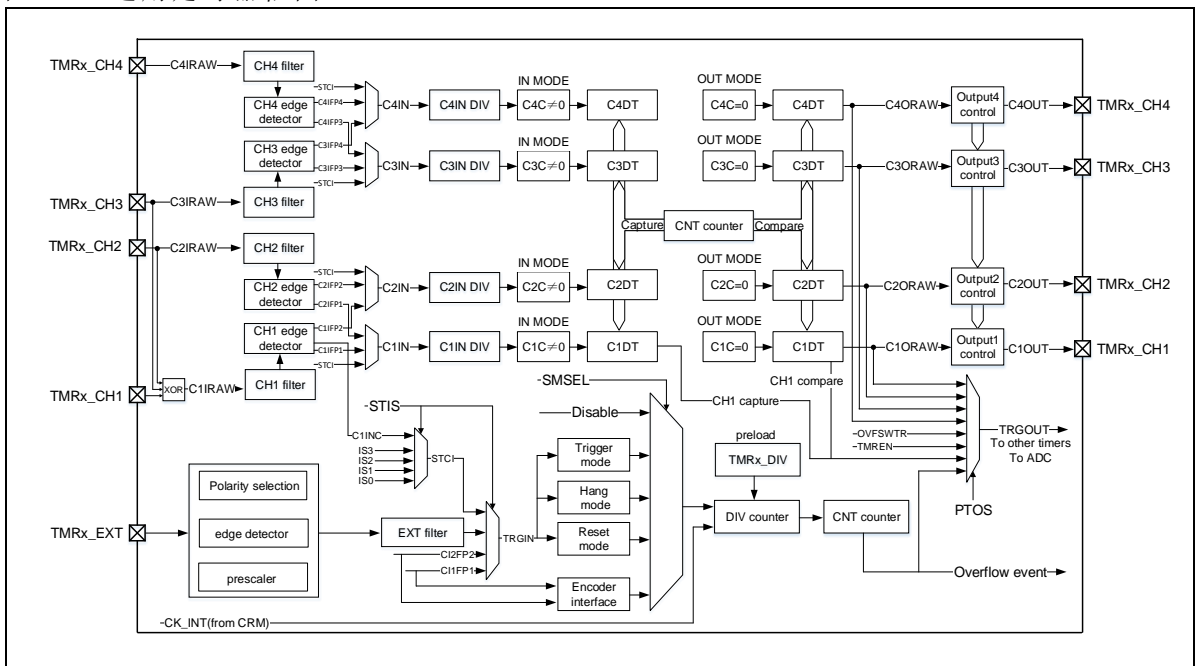
### 14.2.1 TMR3简介

通用定时器 TMR3 包含一个支持向上、向下、双向计数的 16 位计数器、4 个捕获/比较寄存器、4 组独立的通道。可实现输入捕获、可编程 PWM 输出。

### 14.2.2 TMR3主要功能

- 可选内部、外部、内部触发输入用作计数时钟
- 16位支持向上、向下、双向、编码器模式的计数器
- 4组独立通道，支持输入捕获、输出比较、PWM生成、单周期模式。
- 定时器之间可互联同步
- 支持溢出事件、触发事件、通道事件触发中断/DMA
- 支持TMR burst DMA传输

图 14-7 通用定时器框图

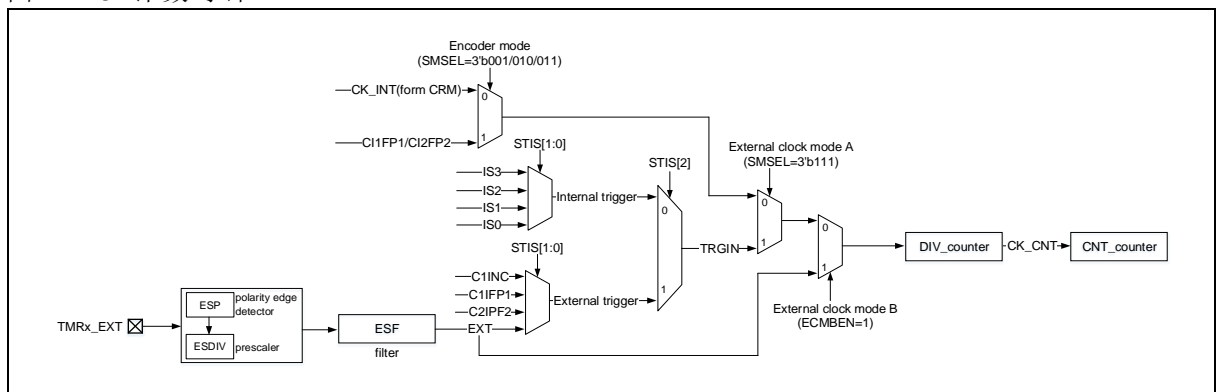


### 14.2.3 TMR3功能描述

#### 14.2.3.1 计数时钟

TMR3 计数时钟可从内部时钟 (CK\_INT)、外部时钟 (外部时钟模式 A、B)、内部触发输入 (ISx) 这些时钟源提供。

图 14-8 计数时钟

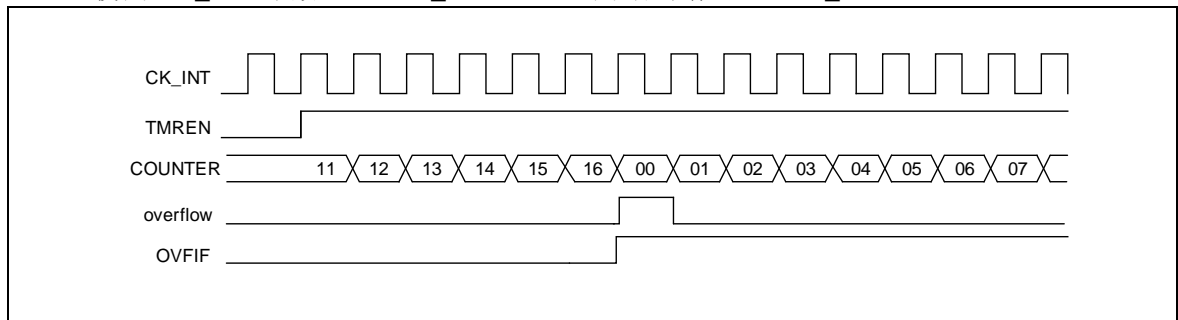


### 内部时钟 (CK\_INT)

默认下使用 CK\_INT 经由预分频器驱动计数器计数，当 TMR 对应的 APB 时钟预分频系数是 1 时，CK\_INT 频率等于 APB 时钟频率，否则 CK\_INT 频率等于 APB 时钟频率的 2 倍。相关配置流程如下：

- 配置 TMRx\_CTRL1 寄存器 TWCMSEL[1:0]，选择计数模式，若选择单向对齐计数模式，还需配置 TMRx\_CTRL1 寄存器 OWCDIR 选择计数方向。
- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-9 使用 CK\_INT 计数，TMRx\_DIV=0x0，周期寄存器 TMRx\_PR=0x16



### 外部时钟 (TRGIN/EXT)

计数时钟可由两种外部时钟源提供，分别为 TRGIN 和 EXT 信号。

当 SMSEL=3'b111 时，外部时钟模式 A 被选中，配置 STIS[2:0] 来选择外部时钟源 TRGIN 信号驱动计数器计数。外部时钟源 TRGIN 可选则 C1INC (STIS=3'b100, 通道 1 上升沿和下降沿信号)、C1IFP1 (STIS=3'b101, 通道 1 滤波且极性选择后信号)、C2IFP2 (STIS=3'b110, 通道 2 滤波且极性选择后信号) 和 EXT (STIS=3'b111, 外部输入经极性选择、分频和滤波后信号)。

当 ECMBEN=1 时，外部时钟模式 B 被选中，计数器由外部输入经极性选择、分频和滤波后 EXT 信号驱动计数。外部时钟模式 B 等效于外部时钟模式 A 选择 EXT 信号作为外部时钟源 TRGIN。

若要使用外部时钟模式 A，可按如下步骤配置：

- 配置外部时钟源 TRGIN 参数。

若选择 TRGIN 来源为 TMRx\_CH1，需配置通道 1 输入滤波 (TMRx\_CM1 寄存器 C1DF[3:0]) 和通道 1 输入极性 (TMRx\_CCTRL 寄存器 C1P/C1CP)。

若选择 TRGIN 来源为 TMRx\_CH2，需配置通道 2 输入滤波 (TMRx\_CM1 寄存器 C2DF[3:0]) 和通道 1 输入极性 (TMRx\_CCTRL 寄存器 C2P/C2CP)。

若选择 TRGIN 来源为 TMRx\_EXT，需配置外部信号极性 (TMRx\_STCTRL 寄存器 ESP)、外部信号分频 (TMRx\_STCTRL 寄存器 ESDIV[1:0]) 和外部信号滤波 (TMRx\_STCTRL 寄存器 ESF[3:0])。

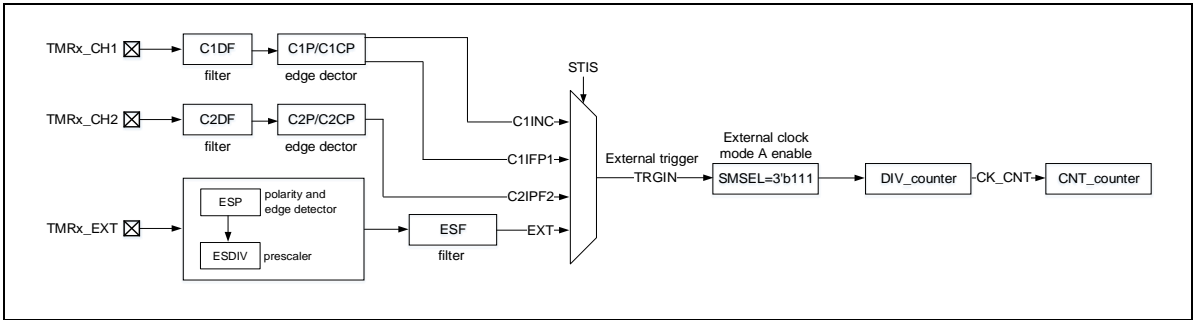
- 配置 TMRx\_STCTRL 寄存器 STIS[1:0]，设置 TRGIN 信号来源。
- 配置 TMRx\_STCTRL 寄存器 SMSEL=3'b111，使能外部时钟模式 A。
- 配置 TMRx\_DIV 寄存器 DIV[15:0]，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器 PR[15:0]，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

若要使用外部时钟模式 B，可按如下步骤配置：

- 配置 TMRx\_STCTRL 寄存器 ESP，设置外部信号极性。

- 配置 TMRx\_STCTRL 寄存器 ESDIV[1:0]，设置外部信号分频。
- 配置 TMRx\_STCTRL 寄存器 ESF[3:0]，设置外部信号滤波。
- 配置 TMRx\_STCTRL 寄存器 ECMBEN，使能外部时钟模式 B。
- 配置 TMRx\_DIV 寄存器 DIV[15:0]，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器 PR[15:0]，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-10 外部时钟模式A框图



注：由于同步逻辑，输入端信号与计数器实际时钟之间存在一定延时。

图 14-11 使用外部时钟模式A计数，PR=0x32，DIV=0x0

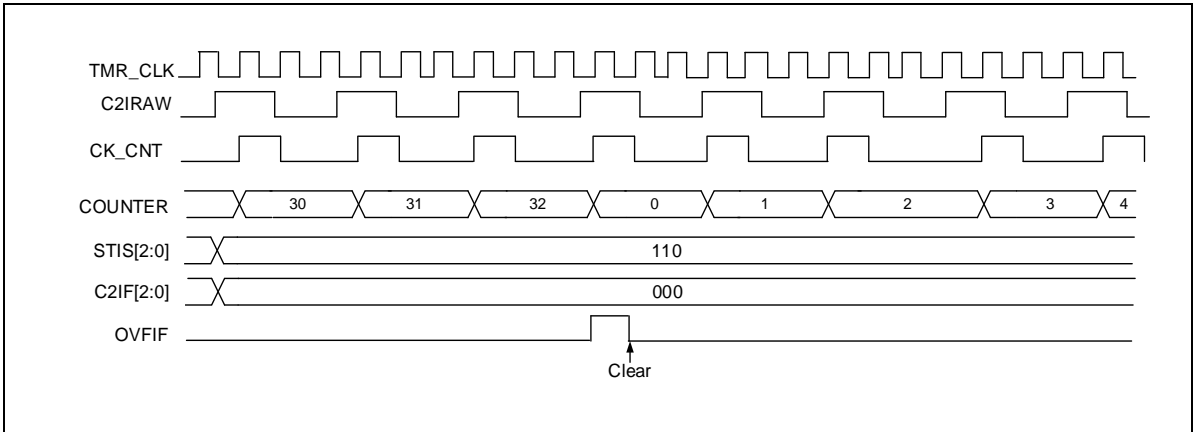
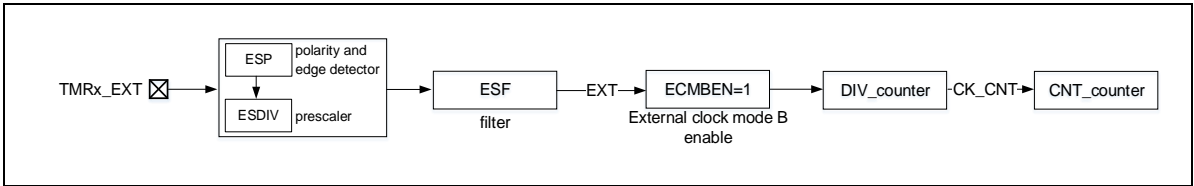
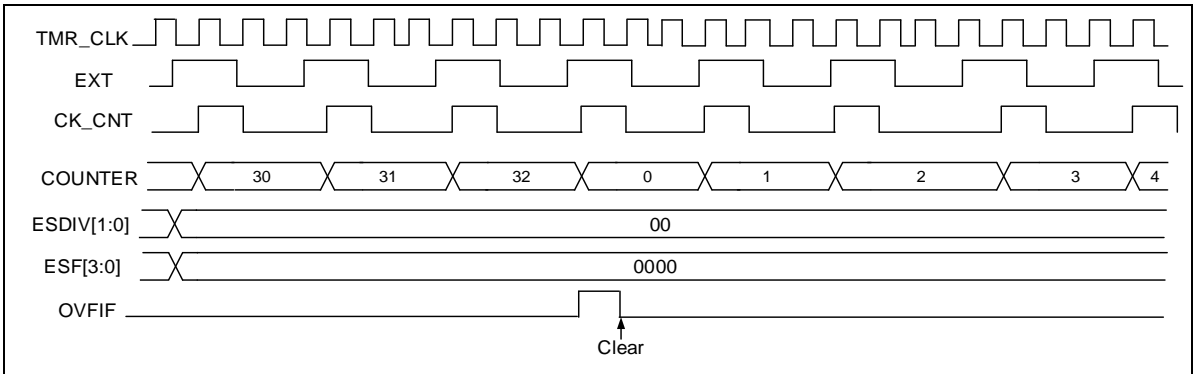


图 14-12 外部时钟模式B框图



注：由于同步逻辑。输入端 EXT 信号与计数器实际时钟之间存在一定延时。

图 14-13 使用外部时钟模式B计数，PR=0x32，DIV=0x0





**内部触发输入 (ISx)**

定时器之间支持互联同步,因此一个定时器的 TMR\_CLK 可由另一个定时器输出信号 TRGOUT 提供。配置 STIS[2:0]选择内部触发信号驱动计数器计数。

TMR3 定时器内含一个 16 位预分频器,用于产生驱动计数器计数的时钟 CK\_CNT,通过配置 TMRx\_DIV 寄存器值,可灵活调整 CK\_CNT 与 TMR\_CLK 之间的分频关系。预分频值可在任何时刻修改,但只在下一个溢出事件发生时,新值才会生效。

内部触发输入配置流程如下:

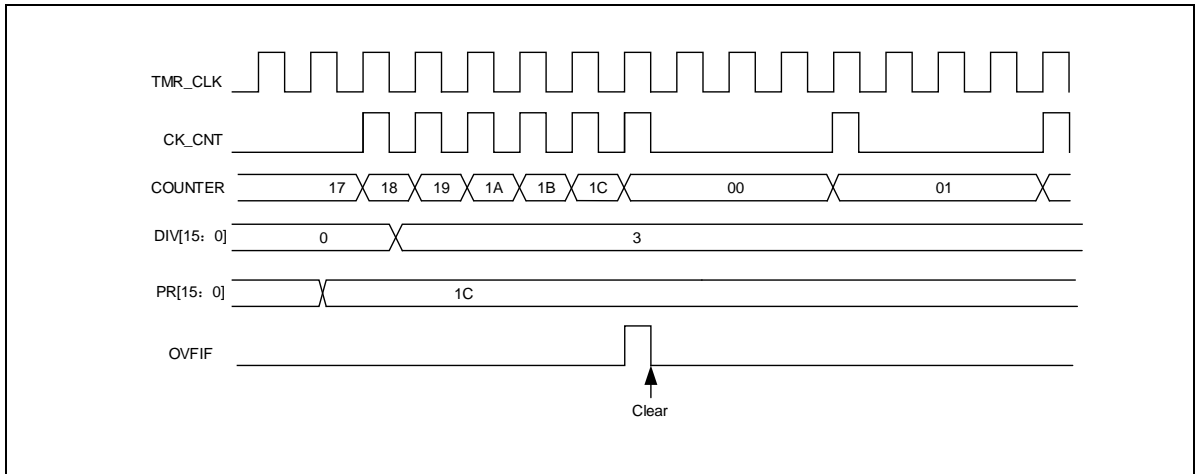
- 配置 TMRx\_PR 寄存器,设置计数器计数周期。
- 配置 TMRx\_DIV 寄存器,设置计数器计数频率。
- 配置 TMRx\_CTRL1 寄存器 TWCMSEL[1:0]位,设置计数器计数模式。
- 配置 TMRx\_STCTRL 寄存器 STIS[2:0]位范围为 3'b000~3'b011,选择内部触发。
- 配置 TMRx\_STCTRL 寄存器 SMSEL[2:0]=3'b111,选择外部时钟模式 A。
- 配置 TMRx\_CTRL1 寄存器 TMREN 位,使能 TMRx 计数。

表 14-3 TMRx内部触发连接

次定时器	IS0 (STIS = 000)	IS1 (STIS = 001)	IS2 (STIS = 010)	IS3 (STIS = 011)
TMR1	TMR15	-	TMR3	-
TMR3	TMR1	-	TMR15	-
TMR15	-	TMR3	TMR16_OC	TMR17_OC

注意: 如果某个产品中沒有相应的定时器,则对应的触发信号 ISx 也不存在。

图 14-14 当预分频器的参数从1变到4时,计数器的时序图



**14.2.3.2 计数模式**

TMR3 定时器提供了多种计数模式,用来满足不同的应用场景。其内部拥有一个支持 16 位向上计、向下、双向计数的计数器。

TMRx\_PR 寄存器用于设置计数器计数周期。默认 TMRx\_PR 寄存器值会立即传入它的影子寄存器;当开启周期缓冲功能后(PR BEN 置 1),TMRx\_PR 寄存器值在溢出事件发生时传入它的影子寄存器。

TMRx\_DIV 寄存器用于设置计数器计数频率,每 (DIV[15:0]+1) 个计数时钟周期,计数器计数一次。和 TMRx\_PR 寄存器类似,开启周期缓冲功能后,TMRx\_DIV 寄存器值在溢出事件时更新至它的影子寄存器。

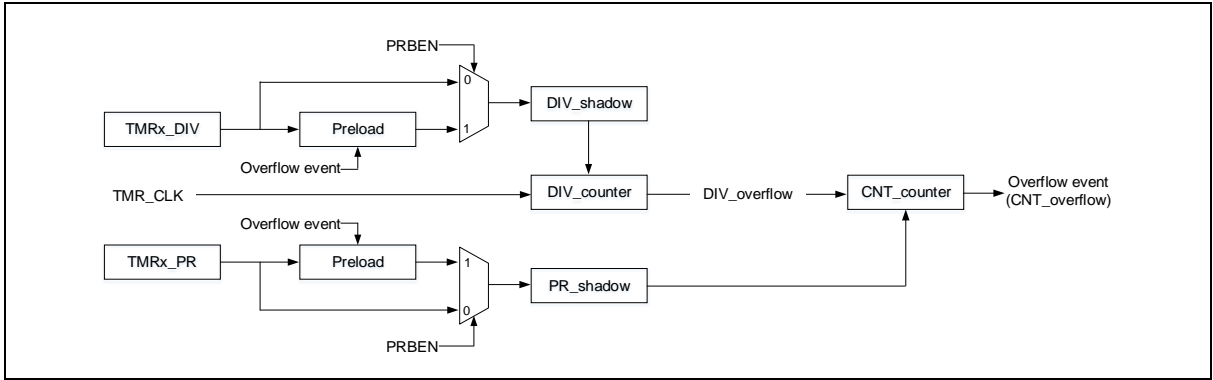
读取 TMRx\_CNT 寄存器会返回当前计数器计数值,写入 TMRx\_CNT 寄存器会更新计数器当前计数值为写入值。

默认允许产生溢出事件,设置 TMRx\_CTRL1 寄存器 OVFEN=1 将禁止更新事件产生。TMRx\_CTRL1 寄存器 OVFS 用于选择溢出事件来源,默认计数器上溢或下溢、置位 OVFSWTR、复位模式次定时器控制器产生的复位信号产生溢出事件。置位 OVFS 后,只有计数器上溢或下溢产生溢出事件。

TMREN 位置 1 将使能定时器计数,由于同步逻辑,实际驱动计数器的使能信号 TMR\_EN 相对于

TMREN 延迟一个时钟周期。

图 14-15 计数器基本结构



### 向上计数模式

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]=2'b00, OWCDIR=1'b0 开启向上计数模式, 计数值达到 TMRx\_PR 值时, 重新从 0 向上计数, 计数器上溢并产生溢出事件, 同时 OVFIF 位置 1。若禁止产生溢出事件, 计数器溢出后不再重载预分频值和周期值, 否则预分频值和周期值在溢出事件后更新。

图 14-16 PRBEN=0时的溢出事件

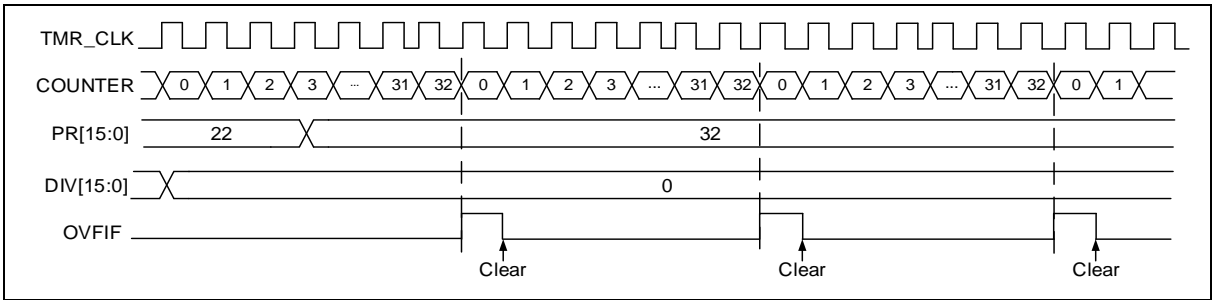
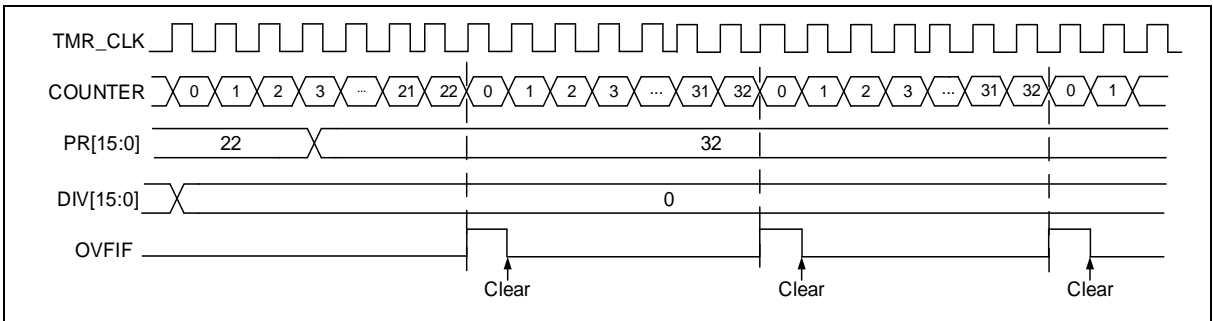


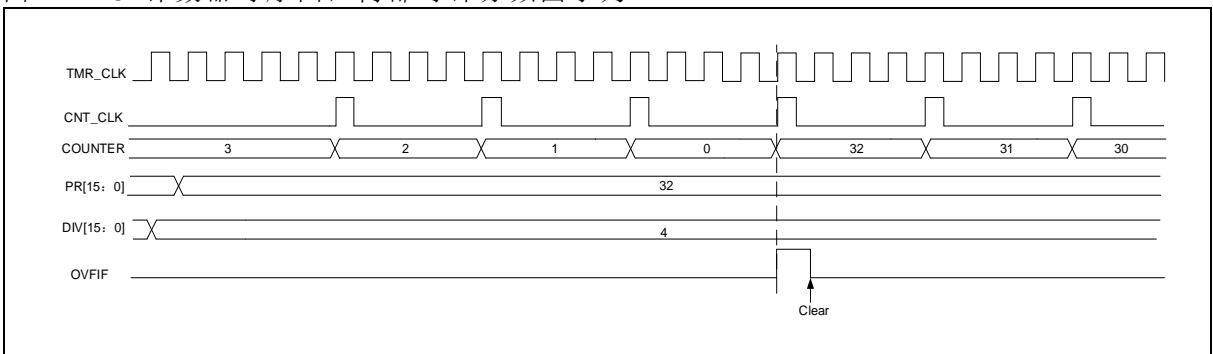
图 14-17 PRBEN=1时的溢出事件



### 向下计数模式

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]=2'b00, OWCDIR=1'b1 开启向下计数模式, 计数值达到 0 值并重新从 TMRx\_PR 向上计数时, 计数器下溢并产生溢出事件。

图 14-18 计数器时序图, 内部时钟分频因子为 4





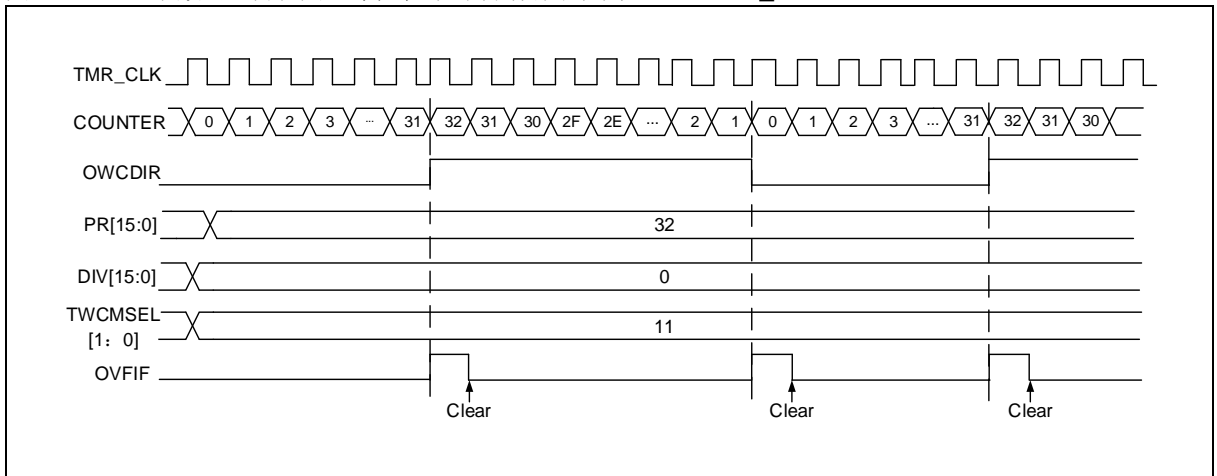
**中央双向对齐计数模式**

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]≠2'b00 开启中央双向对齐计数模式，中央双向对齐计数模式下计数器交替向上、向下计数。计数值从 TMRx\_PR 值向下计数到 1 值，产生下溢事件，然后从 0 开始向上计数；向上计数到 TMRx\_PR 值-1，产生上溢事件，之后从 TMRx\_PR 值向下计数。计数器计数方向由计数器方向控制位（OWCDIR）实时查看。

TMRx\_CTRL1 寄存器 TWCMSSEL[1:0]位还用于选择中央双向对齐计数模式下 CxIF 标志置起方式，中央双向对齐计数模式 1（TWCMSSEL[1:0]=2'b01）仅允许 CxIF 标志位在计数器向下计数时置起；双向对齐计数模式 2（TWCMSSEL[1:0]=2'b10）仅允许 CxIF 标志位在计数器向上计数时置起；双向对齐计数模式 3（TWCMSSEL[1:0]=2'b11）允许 CxIF 标志位在计数器向上和向下计数时置起。

*注意：* 中央双向对齐计数模式下，OWCDIR 位为只读位。

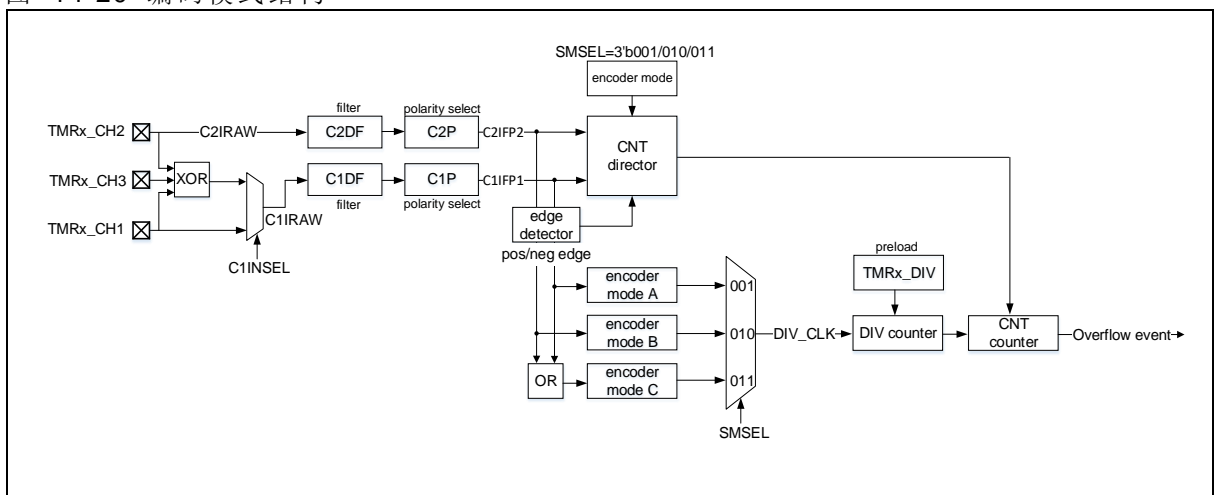
图 14-19 计数器时序图，内部时钟分频因子为1，TMRx\_PR=0x32



**编码器模式**

编码器模式下需提供两组输入信号 TMRx\_CH1 和 TMRx\_CH2，根据一组输入信号电平值，计数器在另一组输入信号边沿向上或向下计数。计数方向由 OWCDIR 值指示。

图 14-20 编码模式结构



编码器模式 A: SMSEL=3'b001，计数器在 C1IFP1 边沿计数（上升沿和下降沿），计数方向由 C1IFP1 边沿方向和 C2IFP2 电平高低共同决定。

编码器模式 B: SMSEL=3'b010，计数器在 C2IFP2 边沿计数（上升沿和下降沿），计数方向由 C2IFP2 边沿方向和 C1IFP1 电平高低共同决定。

编码器模式 C: SMSEL=3'b011，计数器在 C1IFP1 和 C2IFP2 边沿计数（上升沿和下降沿），计数方

向由 C1IFP1 边沿方向和 C2IFP2 电平高低、C2IFP2 边沿方向和 C1IFP1 电平高低共同决定共同决定。

若要使用编码器模式可按下面步骤配置：

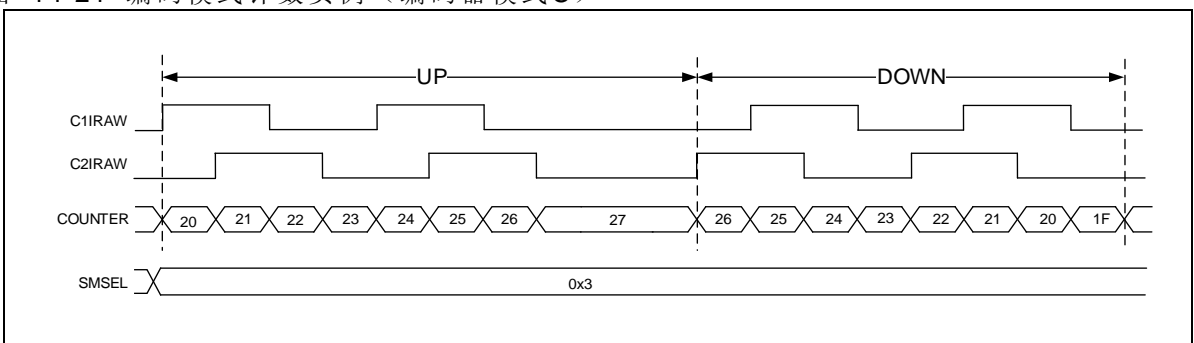
- 配置 TMRx\_CM1 寄存器 C1DF[3:0], 设置通道 1 输入信号滤波; 配置 TMRx\_CCTRL 寄存器 C1P, 设置通道 1 输入信号有效电平。
- 配置 TMRx\_CM1 寄存器 C2DF[3:0], 设置通道 2 输入信号滤波; 配置 TMRx\_CCTRL 寄存器 C2P, 设置通道 2 输入信号有效电平。
- 配置 TMRx\_CM1 寄存器 C1C[1:0], 设置通道 1 为输入模式; 配置 TMRx\_CM1 寄存器 C2C[1:0], 设置通道 2 为输入模式;
- 配置 TMRx\_STCTRL 寄存器 SMSEL[2:0], 选择编码器模式 A (SMSEL=3'b001)、编码器模式 B (SMSEL=3'b010) 或编码器模式 C (SMSEL=3'b011)。
- 配置 TMRx\_PR 寄存器 PR[15:0], 设置计数器计数周期。
- 配置 TMRx\_DIV 寄存器 DIV[15:0], 设置计数器计数频率。
- 配置 TMRx\_CH1 和 TMRx\_CH2 对应 IO 为复用模式。
- 配置 TMRx\_CTRL1 寄存器 TMREN, 使能计数器。

编码模式下计数器计数方向如下表所示：

表 14-4 计数方向与编码器信号的关系

计数边沿	计数边沿相对信号的电平 (C1IFP1 边沿对应 C2IFP2 电平, C2IFP2 边沿对应 C1IFP1 电平)	C1IFP1 边沿方向		C2IFP2 边沿方向	
		上升	下降	上升	下降
C1IFP1	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
C2IFP2	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
C1IFP1 和 C2IFP2	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

图 14-21 编码模式计数实例 (编码器模式 C)



### 14.2.3.3 TMR输入部分

TMR3 拥有 4 个独立通道，每个通道可配置为输入或输出，当配置位输入时，每个通道输入信号依次经过以下处理：

- TMRx\_CHx 经过预处理输出 CxIRAW。配置 C1INSEL 位，选择 C1IRAW 来源是 TMRx\_CH1 或是 TMRx\_CH1、TMRx\_CH2、TMRx\_CH3 异或。C2IRAW、C3IRAW、C4IRAW 来源是 TMRx\_CH2、TMRx\_CH3、TMRx\_CH4。

- CxIRAW 输入数字滤波器,输出滤波后信号 CxIF。数字滤波器通过 CxDF 位配置采样频率和次数。
- CxIF 输入边沿检测器,输出边沿选择后信号 CxIFPx。边沿选择由 CxP 和 CxCP 位共同控制,可选择输入上升沿、下降沿或双边沿有效。
- CxIFPx 输入捕获信号选择器,输出选择后信号 CxIN。捕获信号选择器由 CxC 控制,可选择 CxIN 来源为 CxIFPx、CyIFPx、STCI。其中 CyIFPx (x≠y) 是来自通道 y 的 CyIFPy 经通道 x 边沿检测器处理后的信号(例如 C1IFP2 是来自通道 1 的 C1IFP1 信号经过通道 2 边沿检测器处理后的信号); STCI 来自次定时器控制器,由 STIS 位选择来源。
- CxIN 经由输入通道分频器,输出分频后信号 CxIPS。分频系数由 CxIDIV 位配置为不分频、2 分频、4 分频或 8 分频。

图 14-22 输入/输出通道 1 的主电路

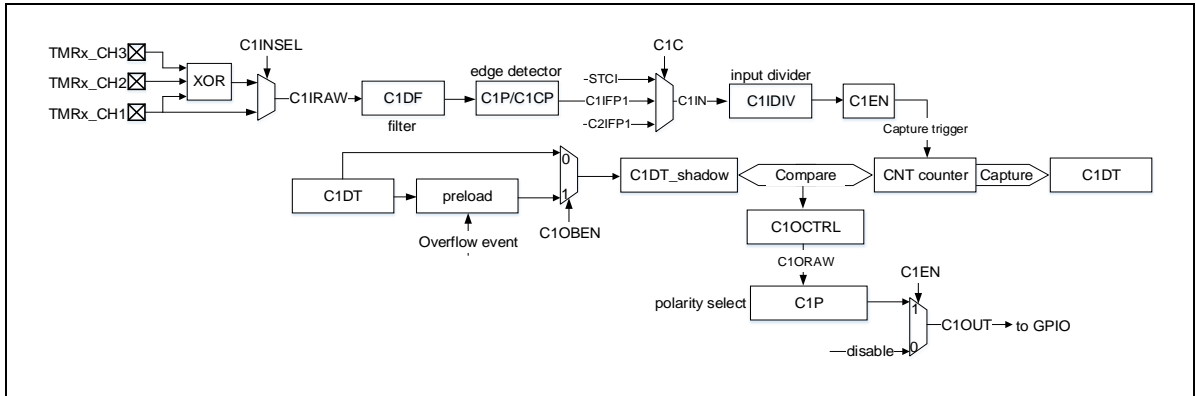
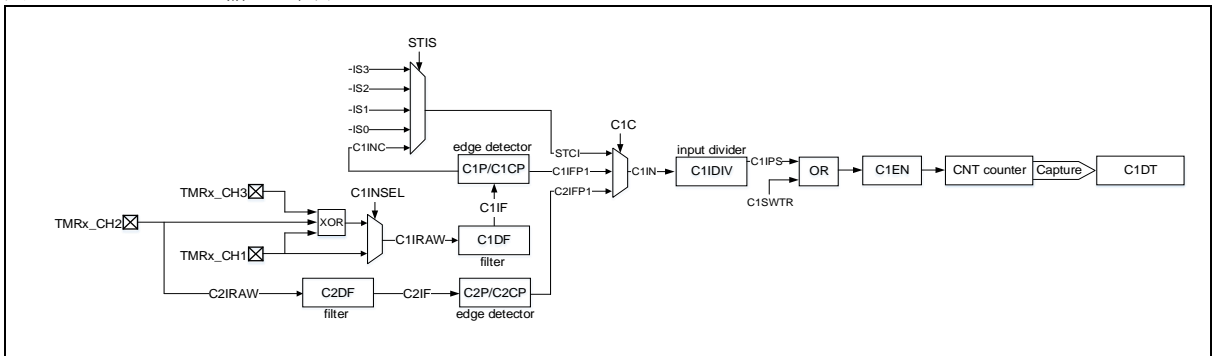


图 14-23 通道 1 输入部分



### 输入模式

此模式下,当选中的触发信号被检测到,通道寄存器(TMRx\_CxDT)记录当前计数器计数值,并将捕获比较中断标志位(CxIF)置 1,若已使能通道中断(CxIEN)、通道 DMA 请求(CxDEN)则产生相应的中断和 DMA 请求。若在 CxIF 置 1 后检测到触发信号,将产生捕获溢出事件,TMRx\_CxDT 会使用当前计数器计数值覆盖之前记录的计数器计数值,同时通道再捕获标志位(CxRF)置 1。

若要捕获 C1IN 输入的上升沿,可按如下进行配置:

- 将通道模式寄存器 1 (TMRx\_CM1) 中的 C1C 位配置为 01,选择 C1IN 作为通道 1 输入。
- 配置 C1IN 信号滤波器带宽 (CxDF[3:0])。
- 配置 C1IN 通道的有效沿,在 TMRx\_CCTRL 寄存器中写入 C1P=0 (上升沿)。
- 配置 C1IN 信号捕获分频 (C1DIV[1:0])。
- 使能通道 1 输入捕获 (C1EN=1)。
- 根据需要设置 TMRx\_IDEN 寄存器中的 C1IEN 为、TMRx\_IDEN 寄存器中的 C1DEN 位,选择中断请求或 DMA 请求。

### 多输入异或

通道 1 的输入端可选择 TMRx\_CH1、TMRx\_CH2 和 TMRx\_CH3 经异或逻辑后输入。将 TMRx\_CTRL2 寄存器中的 C1INSEL 位置 1 可开启此功能。

多输入异或功能可用于连接霍尔传感器,例如,将异或输入的三个输入端分别连接到三个霍尔传感器,

通过分析三路霍尔传感器信号可计算出转子的位置和速度。

## PWM 输入

PWM 输入模式适用于通道 1 和 2，要使用此模式，需要将 C1IN 和 C2IN 映射到同一 TMRx\_CHx，并且通道 1 或 2 的 CxIFPx 配置成触发次定时器控制器复位。

PWM 输入模式可用于测量输入信号的周期和占空比，如需测量通道 1 输入信号的周期和占空比，操作步骤如下：

- 配置 C1C=2'b01，选择 C1IN 为 C1IFP1。
- 配置 C1P=1'b0，选择 C1IFP1 上升沿有效。
- 配置 C2C=2'b10，选择 C2IN 为 C1IFP2。
- 配置 C2P=1'b1，选择 C1IFP2 下降沿有效。
- 配置 STIS=3'b101，选择次定时器触发信号为 C1IFP1。
- 配置 SMSEL=3'b100，选择次定时器模式为复位模式。
- 配置 C1EN=1'b1，C2EN=1'b1。使能通道 1 和输入捕获。

上述配置下，通道 1 输入信号的上升沿会触发捕获并将捕获值存储到 C1DT 寄存器，同时通道 1 输入信号上升沿复位计数器。通道 1 输入信号下降沿触发捕获并将捕获值存储到 C2DT 寄存器。通道 1 输入信号的周期可通过 C1DT 计算，占空比可通过 C2DT 计算。

图 14-24 PWM 输入模式配置实例

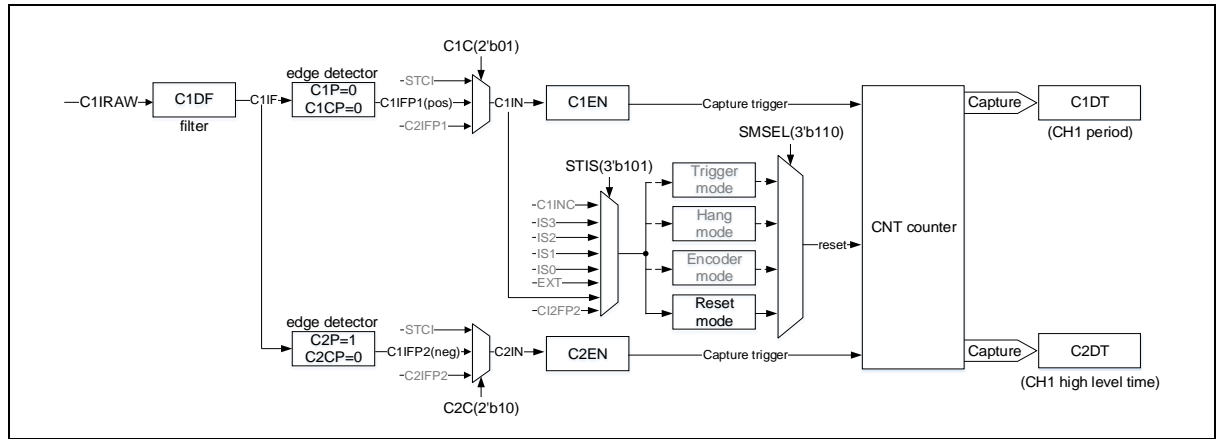
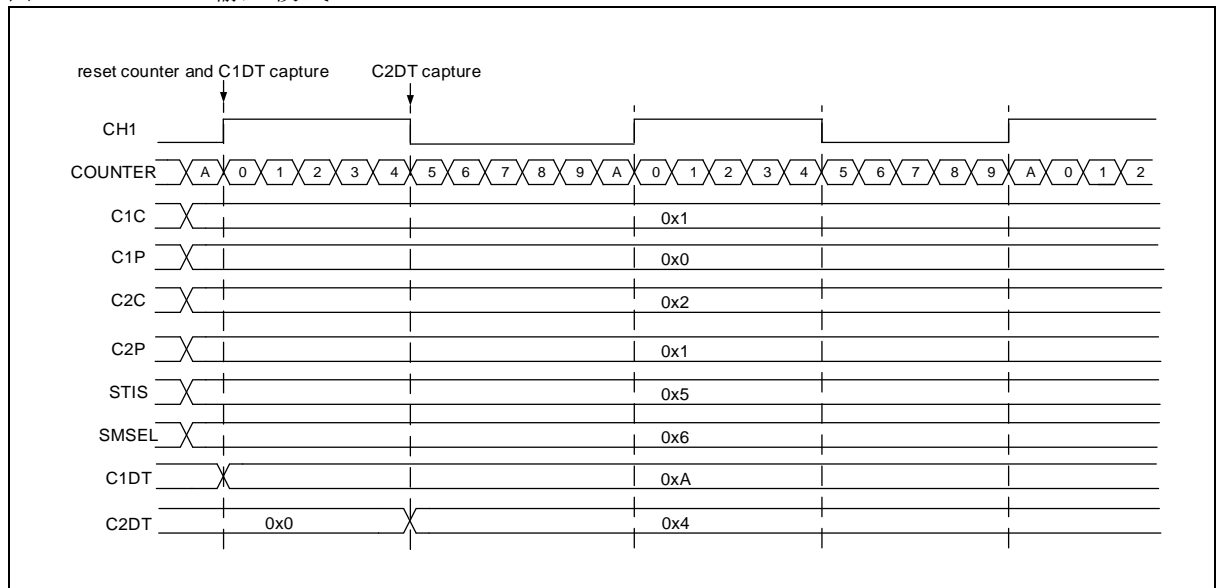


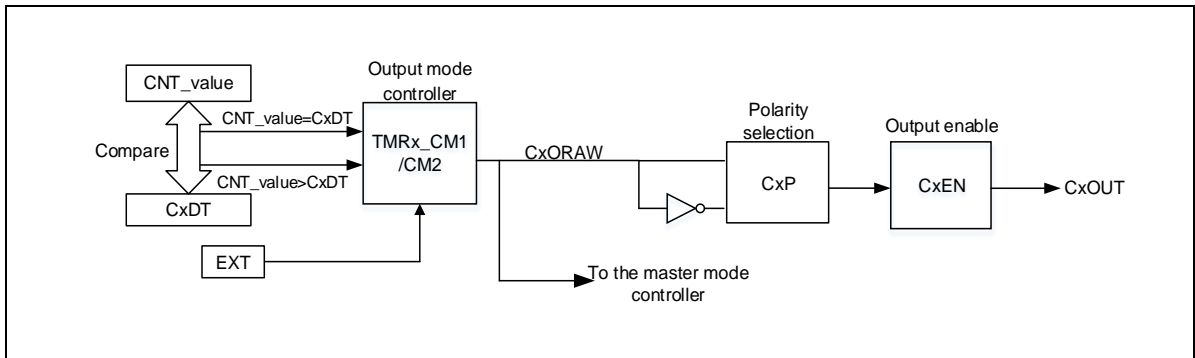
图 14-25 PWM 输入模式



### 14.2.3.4 TMR输出部分

TMR 的输出部分由比较器和输出控制构成，用于编程输出信号的周期、占空比、极性。

图 14-26 捕获/比较通道的输出部分（通道1至4）



#### 输出模式

配置  $CxC[1:0] \neq 2'b00$  将通道配置为输出可实现多种输出模式，此时，计数器计数值将与  $CxDT$  寄存器值比较，并根据  $CxOCTRL[2:0]$  位配置的输出模式，产生中间信号  $CxORAW$ ，再经过输出控制逻辑处理后输送到 IO。输出信号的周期由  $TMRx\_PR$  寄存器值配置，占空比则由  $CxDT$  寄存器值配置。输出比较模式有以下子类：

**PWM 模式 A：**  $CxOCTRL=3'b110$  时，开启 PWM 模式 A。向上计数时， $TMRx\_C1DT > TMRx\_CVAL$  时  $C1ORAW$  输出高电平，否则为低电平；向下计数时， $TMRx\_C1DT < TMRx\_CVAL$  时  $C1ORAW$  输出低电平，否则为高电平。若要使用 PWM 模式 A，可按如下方式配置。

- 配置  $TMRx\_PR$  寄存器，设置 PWM 周期。
- 配置  $TMRx\_CxDT$  寄存器，设置 PWM 占空比。
- 配置  $TMRx\_CM1/CM2$  寄存器  $CxOCTRL$  位为  $3'b110$ ，设置输出模式为 PWM 模式 A。
- 配置  $TMRx\_DIV$  寄存器，设置计数器计数频率。
- 配置  $TMRx\_CTRL1$  寄存器  $TWCMSEL[1:0]$  位，设置计数器计数模式。
- 配置  $TMRx\_CTRL$  寄存器  $CxP$  位、 $CxCP$  位，设置输出极性。
- 配置  $TMRx\_CTRL$  寄存器  $CxEN$  位、 $CxCEN$  位，使能通道输出。
- 配置  $TMRx\_BRK$  寄存器  $OEN$  位，使能  $TMRx$  输出。
- 配置 TMR 输出通道对应 GPIO 为对应的复用模式。
- 配置  $TMRx\_CTRL1$  寄存器  $TMREN$  位，使能  $TMRx$  计数。

**PWM 模式 B：**  $CxOCTRL=3'b111$  时，开启 PWM 模式 B。向上计数时， $TMRx\_C1DT > TMRx\_CVAL$  时  $C1ORAW$  输出低电平，否则为高电平；向下计数时， $TMRx\_C1DT < TMRx\_CVAL$  时  $C1ORAW$  输出高电平，否则为低电平。

**强制输出模式：**  $CxOCTRL=3'b100/101$  时，开启强制输出模式。此时， $CxORAW$  信号的电平被强制输出为配置的电平，而与计数值无关。虽然输出信号不依赖于比较结果，但通道标志位和 DMA 请求仍依赖于比较结果。

**输出比较模式：**  $CxOCTRL=3'b001/010/011$  时，开启输出比较模式。此时，当计数值与  $CxDT$  值匹配时， $CxORAW$  强制输出高电平（ $CxOCTRL=3'b001$ ）、低电平（ $CxOCTRL=3'b010$ ）或进行电平翻转（ $CxOCTRL=3'b011$ ）。

**单周期模式：** PWM 模式的特例，将  $OCMEN$  位置 1 可开启单周期模式，此模式下，仅在当前计数周期中进行比较匹配，完成当前计数后， $TMREN$  位清 0，因此仅输出一个脉冲。当配置为向上计数模式时，需要严格配置  $CVAL < CxDT \leq PR$ ；向下计数时，需严格配置  $CVAL > CxDT$ 。

**快速输出模式：** 将  $CxOIEN$  位置 1 可开启此功能，开启后  $CxORAW$  电平值不再在计数值与  $CxDT$  匹配时变化，而是在当前计数周期开始时，也就是说，比较结果被提前了，计数器值与  $CxDT$  寄存器的比较结果将会提前决定  $CxORAW$  的电平。

图 14-27 展示了输出比较模式（翻转）的例子， $C1DT=0x3$ ，当计数值等于  $0x3$  时，输出电平  $C1OUT$  被翻转。

图 14-28 展示了计数器向上计数与 PWM 模式 A 配合的例子， $PR=0x32$ ， $CxDT$  配置为不同的值时输出时输出信号的翻转情况。

图 14-29 展示了计数器双向计数与 PWM 模式 A 配合的例子，PR=0x32，CxDT 配置为不同的值时输出时输出信号的翻转情况。

图 14-30 展示了计数器向上计数与单周期模式下 PWM 模式 B 配合的例子，计数器仅计数了一个周期，输出信号在这个周期中只输出了一个脉冲。

图 14-27 计数值与 C1DT 值匹配时翻转 C1ORAW

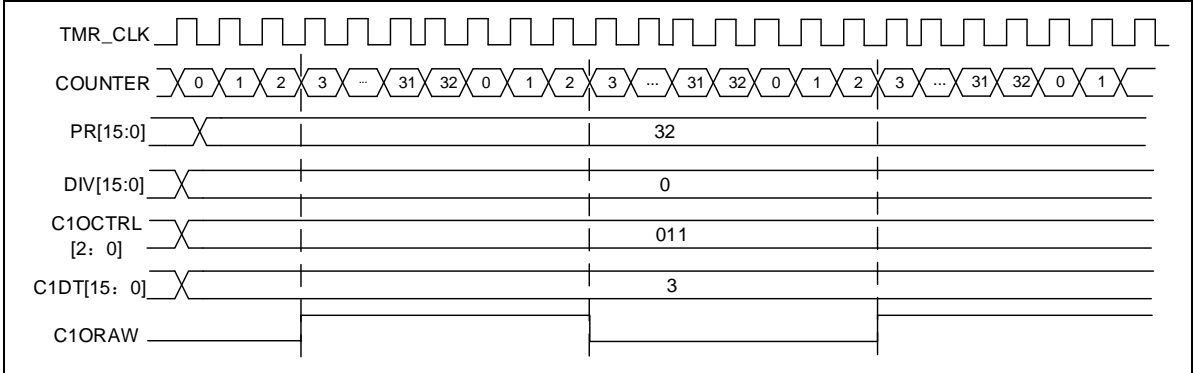


图 14-28 向上计数下 PWM 模式 A

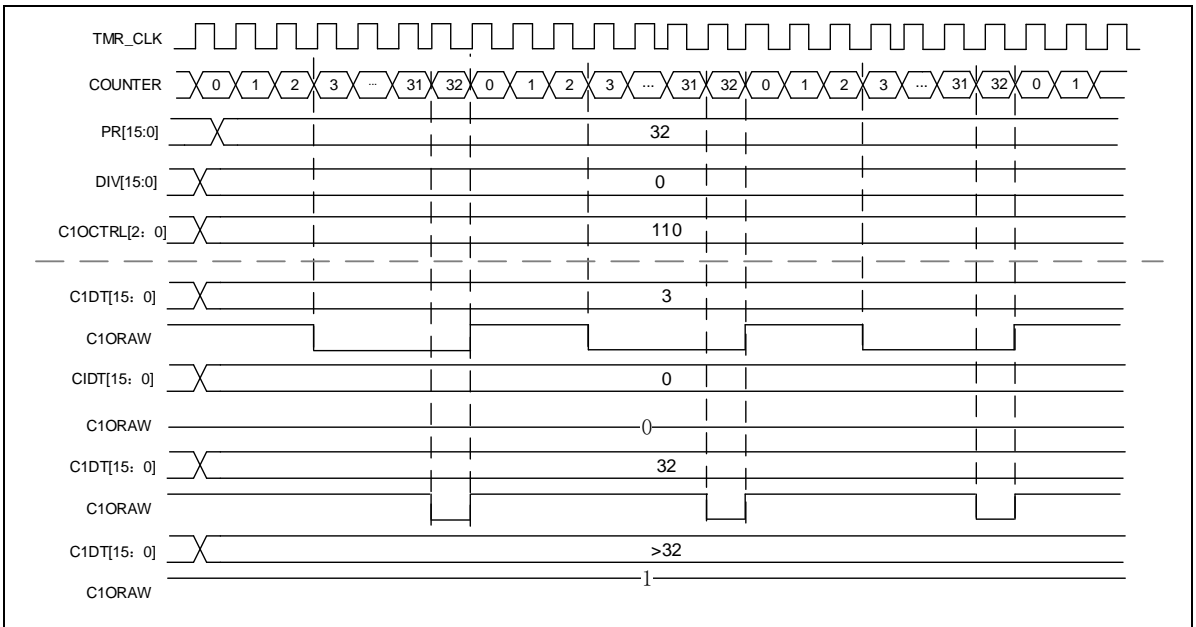


图 14-29 双向计数下 PWM 模式 A

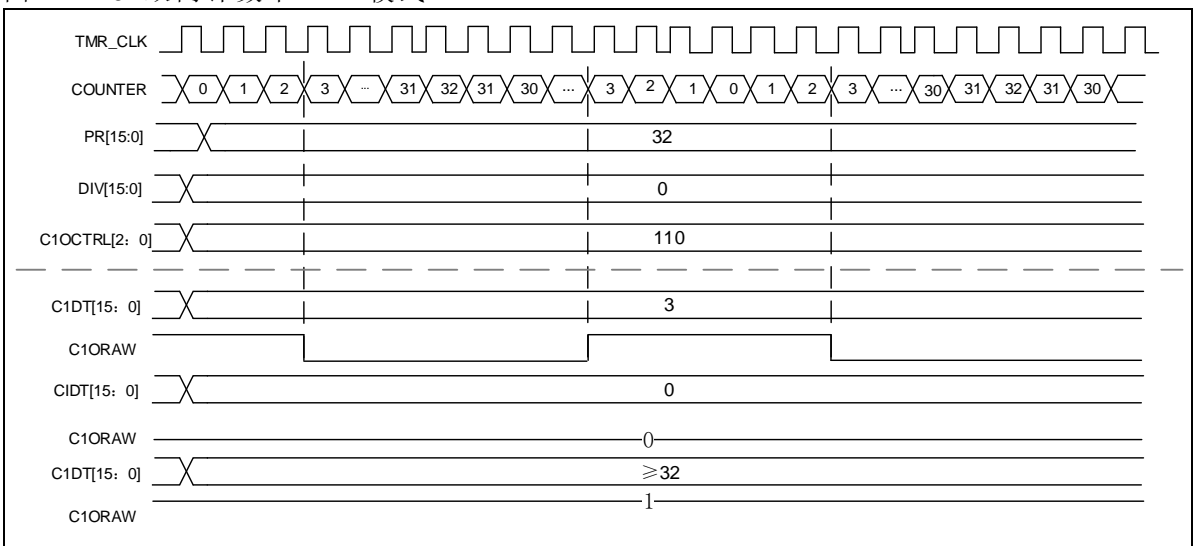
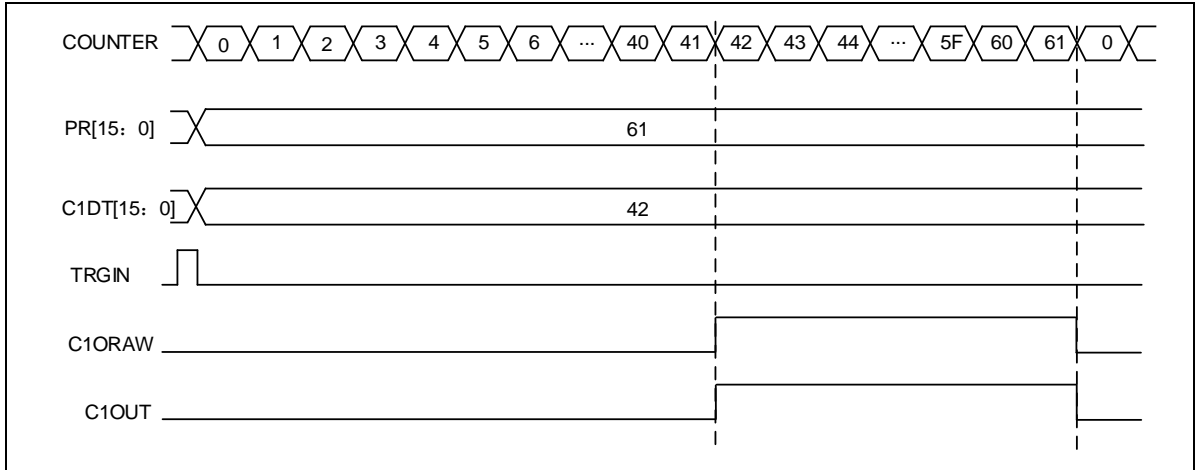


图 14-30 单周期模式



### 主定时器事件输出

当 TMR 作为主定时器时，可选择如下信号源作为 TRGOUT 信号输出到次定时器，选择信号为 TMRxCTRL2 寄存器 PTOS 位。

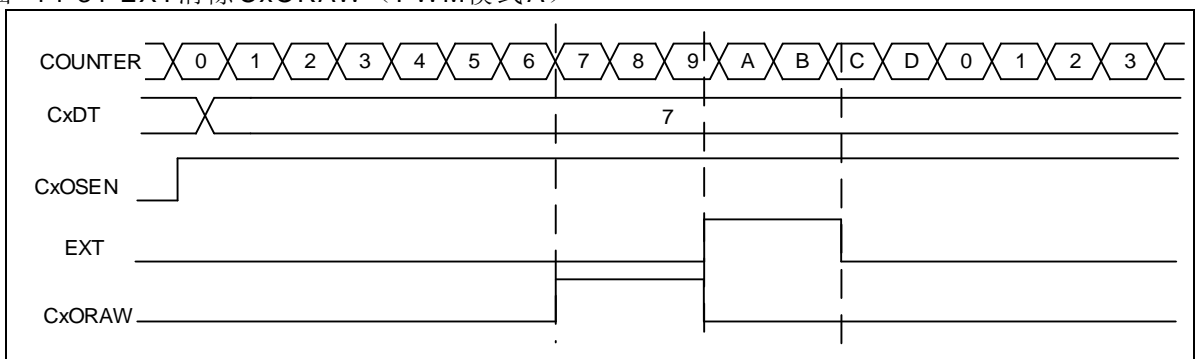
- PTOS=3'b000, TRGOUT 输出软件溢出事件 (TMRx\_SWEVT 寄存器 OVFSWTR 位)。
- PTOS=3'b001, TRGOUT 输出计数器使能信号。
- PTOS=3'b010, TRGOUT 输出计数器溢出事件。
- PTOS=3'b011, TRGOUT 输出捕获、比较事件。
- PTOS=3'b100, TRGOUT 输出 C1ORAW 信号。
- PTOS=3'b101, TRGOUT 输出 C2ORAW 信号。
- PTOS=3'b110, TRGOUT 输出 C3ORAW 信号。
- PTOS=3'b111, TRGOUT 输出 C4ORAW 信号。

### CxORAW 信号清除

将 CxOSEN 位置 1 后，指定通道的 CxORAW 信号由 EXT 高电平清 0，在下一次溢出事件发生前 CxORAW 信号无法被改变。

强制输出模式时，CxORAW 信号清除功能不可用，只有在输出比较模式或 PWM 模式，此功能有效。下图显示了使用 EXT 信号清除 CxORAW 的例子，当 EXT 为高电平期间，原本为高电平的 CxORAW 信号被拉低，当 EXT 为低电平时，CxORAW 根据计数值和 CxDT 比较结果输出电平。

图 14-31 EXT清除CxORAW (PWM模式A)





### 14.2.3.5 定时器同步

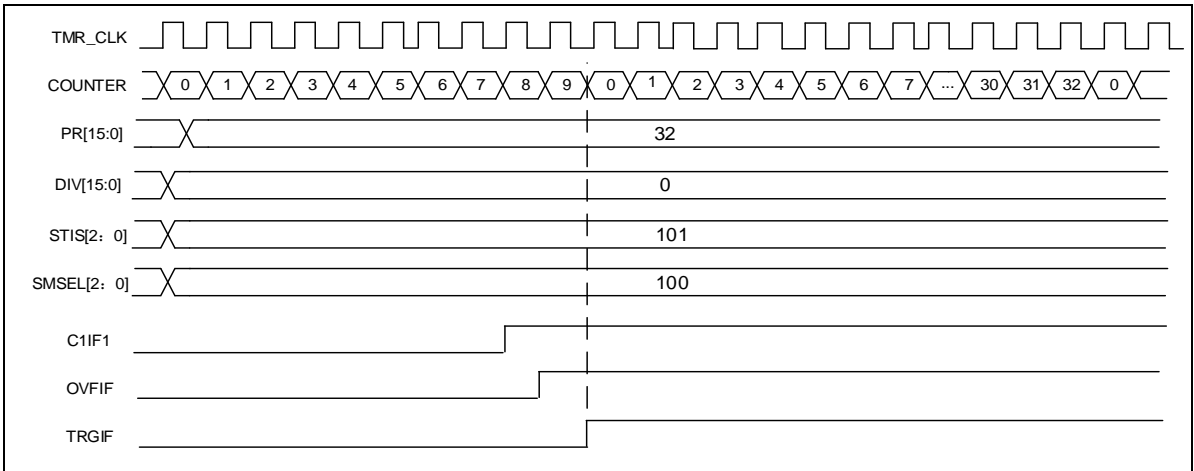
主次定时器之间可由内部连接信号进行同步。主定时器可由 PTOS[2:0]位选择主定时器输出，即同步信息；次定时器由 SMSEL[2:0]位选择从模式，即次定时器的工作模式。

定时器从模式有以下几种：

**从模式：复位模式**

选中的触发信号将复位计数器和预分频器，若 OVFS 位为 0，将产生一个溢出事件。

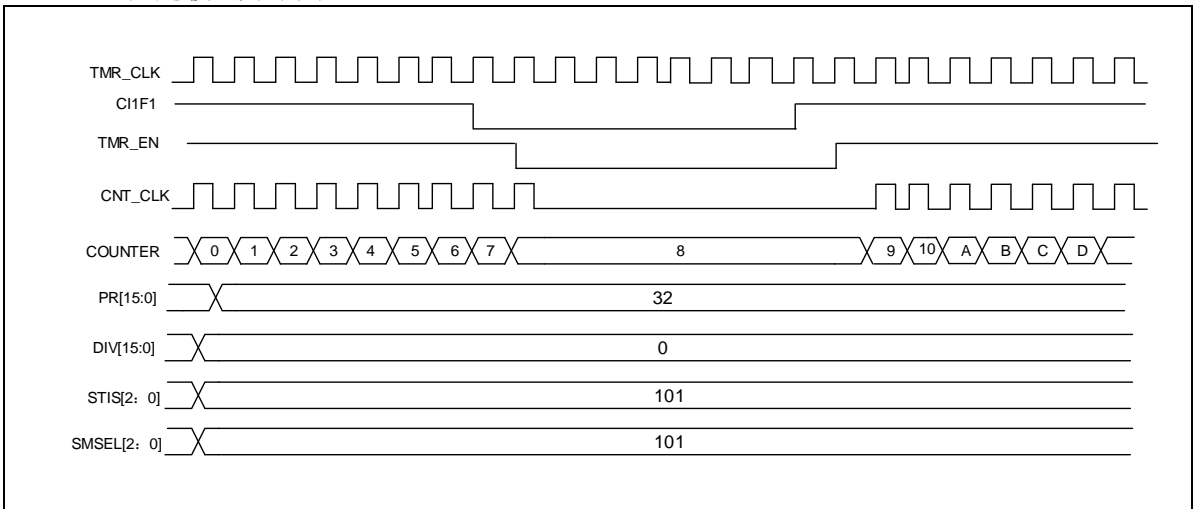
图 14-32 复位模式例子



**从模式：挂起模式**

挂起模式下，计数的计数和停止受选中触发输入信号控制，当触发输入为高电平时计数器开始计数；当为低电平时，计数器暂停计数。

图 14-33 挂起模式下例子

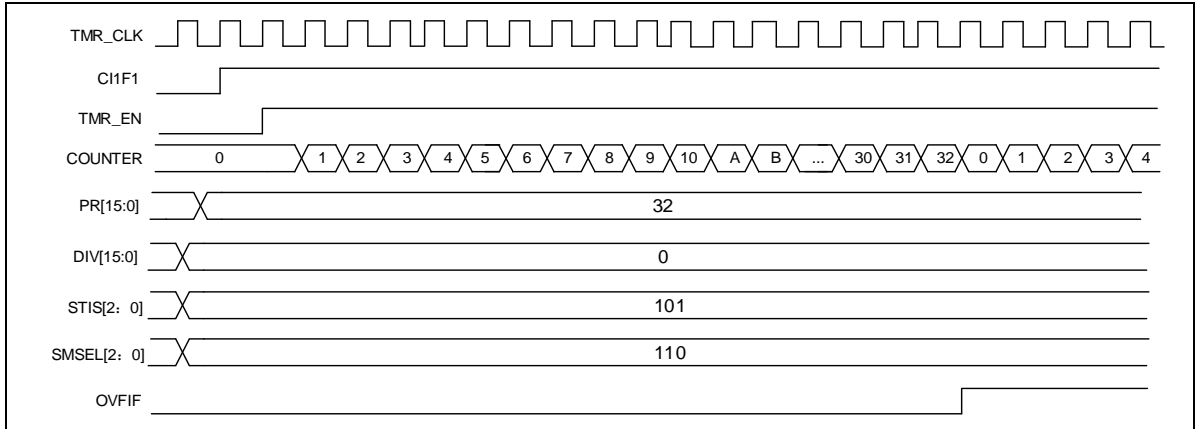




**从模式：触发模式**

计数器将在选中的触发输入上升沿启动计数（将 TMR\_EN 置 1）。

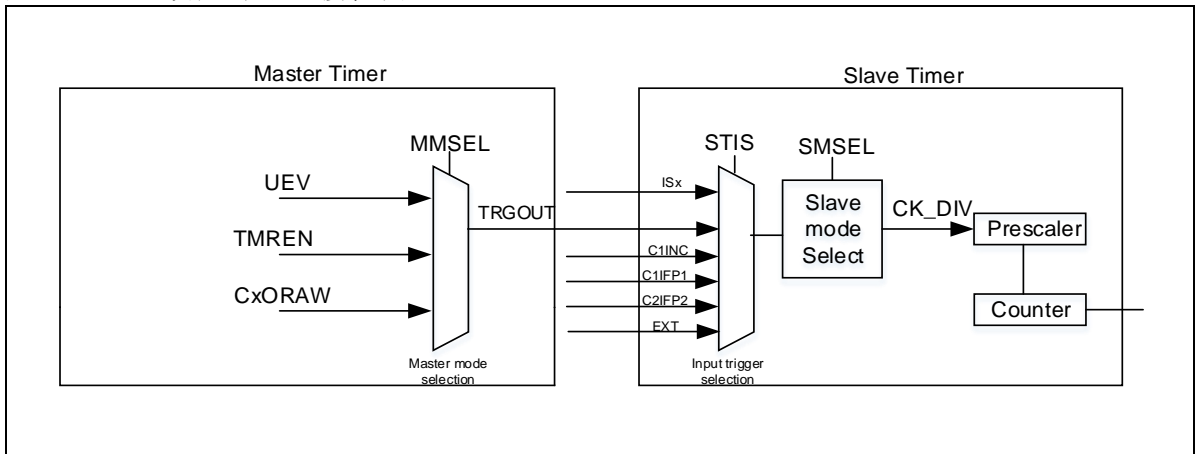
图 14-34 触发器模式例子



**主/次定时器互联实例**

主/次定时器可分别配置不同的主模式和从模式，两者搭配可实现多种功能，一下提供了一些定时器互联的例子。

图 14-35 主/次定时器连接框图

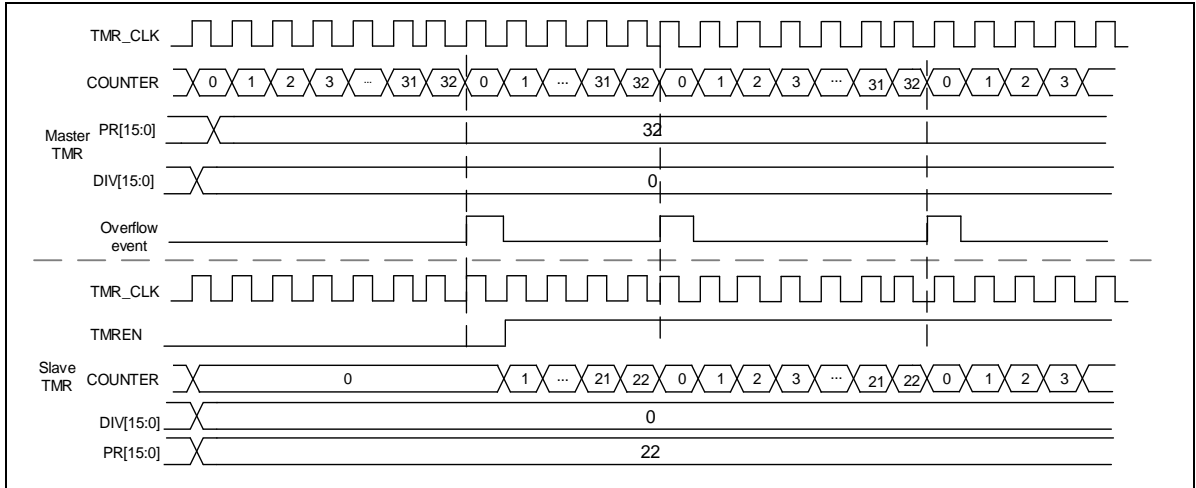


所主定时器为次定时器提供时钟：

- 配置主定时器输出信号TRGOUT为溢出事件，配置PTOS[2: 0]=3'b010，主定时器每次计数器溢出输出一个脉冲信号，用作次定时器计数时钟。
- 配置主定时器计数周期（TMRx\_PR寄存器）。
- 配置次定时器触发输入信号TRGIN为主定时器输出（TMRx\_STCTRL寄存器的STIS[2: 0]）。
- 配置次定时器使用外部时钟模式A（TMRx\_STCTRL寄存器的SMSEL[2: 0]=3'b111）。
- 将主定时器和次定时器的TMREN位置1启动定时器。

主定时器启动次定时器：

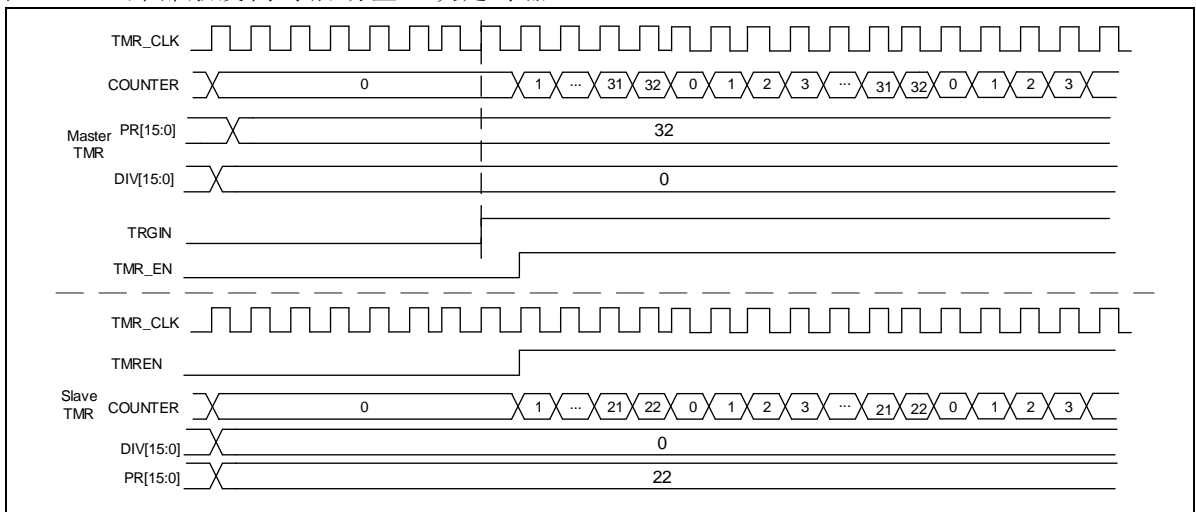
- 配置主定时器输出信号TRGOUT为溢出事件，配置PTOS[2: 0]=3'b010，主定时器每次计数器溢出输出一个脉冲信号，用作次定时器计数时钟。
- 配置主定时器计数周期（TMRx\_PR寄存器）。
- 配置次定时器触发输入TRGIN为主定时器输出。
- 配置次定时器为触发模式（TMR3\_STCTRL寄存器的SMSEL=3'b110）
- 置主定时器TMREN=1以启动主定时器。

**图 14-36 主定时器启动次定时器例子**


外部触发信号同步启动主、次定时器：

这个例子中，主定时器同时作为主定时器和次定时器，将主定时器的次定时器同步功能开启，此模式用于将主定时器和次定时器保持同步。

- 配置主定时器STS位为1。
- 配置主定时器输出信号TRGOUT为溢出事件，配置PTOS[2: 0]=3'b010，主定时器每次计数器溢出输出一个脉冲信号，用作次定时器计数时钟。
- 配置主定时器的次定时模式为触发模式，触发源选择C1IN。
- 配置次定时器触发输入TRGIN为主定时器输出。
- 配置次定时器为触发模式（TMR3\_STCTRL寄存器的SMSEL=3'b110）。

**图 14-37 外部触发同时启动主、次定时器**


### 14.2.3.6 调试模式

当微控制器进入调试模式（Cortex™-M0+核心停止）时，将DEBUG模块中的TMRx\_PAUSE置1，可以使TMRx计数器暂停计数。

## 14.2.4 TMR3寄存器描述

可以用半字（16位）或字（32位）的方式操作这些外设寄存器。

下表中将TMR3的所有寄存器映射到一个32位可寻址（编址）空间。

表 14-5 TMR3寄存器和复位值

寄存器简称	基址偏移量	复位值
TMRx_CTRL1	0x00	0x0000
TMRx_CTRL2	0x04	0x0000
TMRx_STCTRL	0x08	0x0000
TMRx_IDEN	0x0C	0x0000
TMRx_ISTS	0x10	0x0000
TMRx_SWEVT	0x14	0x0000
TMRx_CM1	0x18	0x0000
TMRx_CM2	0x1C	0x0000
TMRx_CCTRL	0x20	0x0000
TMRx_CVAL	0x24	0x0000
TMRx_DIV	0x28	0x0000
TMRx_PR	0x2C	0x0000
TMRx_C1DT	0x34	0x0000
TMRx_C2DT	0x38	0x0000
TMRx_C3DT	0x3C	0x0000
TMRx_C4DT	0x40	0x0000
TMRx_DMACTRL	0x48	0x0000
TMRx_DMADT	0x4C	0x0000

### 14.2.4.1 TMR3控制寄存器1（TMRx\_CTRL1）

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9: 8	CLKDIV	0x0	rw	时钟除频（Clock divider） 此位用于设置数字滤波器采样频率 $f_{DTS}$ 和定时器时钟频率 $f_{CK\_INT}$ 之间的分频比。 00: 无除频, $f_{DTS}=f_{CK\_INT}$ ; 01: 2 除频, $f_{DTS}=f_{CK\_INT}/2$ ; 10: 4 除频, $f_{DTS}=f_{CK\_INT}/4$ ; 11: 保留。
位 7	PRBEN	0x0	rw	周期缓冲使能（Period buffer enable） 0: 缓冲关闭; 1: 缓冲开启。
位 6: 5	TWCMSEL	0x0	rw	中央双向对齐计数模式选择（Two-way count mode selection） 00: 单向计数模式, 方向由 OWCDIR 配置; 01: 中央双向对齐计数模式 1, 上下交替计数, CxIF 位只在计数器向下计数时被置起; 10: 中央双向对齐计数模式 2, 上下交替计数, CxIF 位只在计数器向上计数时被置起; 11: 中央双向对齐计数模式 3, 上下交替计数, CxIF 位在计数器向上和向下计数时皆被置起。
位 4	OWCDIR	0x0	rw	单向计数方向（One-way count direction） 0: 向上;

位 3	OCMEN	0x0	rw	1: 向下。 单周期使能 (One cycle mode enable) 该功能用于选择溢出事件后, 计数器是否停止。 0: 关闭; 1: 开启。
位 2	OVFS	0x0	rw	溢出事件源选择 (Overflow event source) 配置溢出事件或 DMA 请求来源。 0: 来源于计数器溢出、设置 OVFSWTR 位或次定时器控制器产生的溢出事件; 1: 只能来源于计数器溢出。
位 1	OVFEN	0x0	rw	溢出事件使能 (Overflow event enable) 0: 开启; 1: 关闭。
位 0	TMREN	0x0	rw	使能定时器 (TMR enable) 0: 关闭; 1: 开启。

#### 14.2.4.2 TMR3控制寄存器2 (TMRx\_CTRL2)

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7	C1INSEL	0x0	rw	C1IN 选择 (C1IN selection) 0: CH1 引脚连到 C1IRAW 输入; 1: CH1、CH2 和 CH3 引脚异或结果连到 C1IRAW 输入。
位 6: 4	PTOS	0x0	rw	主定时器输出信号选择 (Primary TMR output selection) TMRx 输出到次定时器的信号选择: 000: 复位; 001: 使能; 010: 更新; 011: 比较脉冲; 100: C1ORAW 信号; 101: C2ORAW 信号; 110: C3ORAW 信号; 111: C4ORAW 信号。
位 3	DRS	0x0	rw	DMA 请求源 (DMA request source) DMA 请求来源。 0: 捕获/比较事件; 1: 溢出事件。
位 2: 0	保留	0x0	resd	保持默认值。

#### 14.2.4.3 TMR3次定时器控制寄存器 (TMRx\_STCTRL)

域	简称	复位值	类型	功能
位 15	ESP	0x0	rw	外部信号极性 (External signal polarity) 用于选择外部方式。 0: 高电平或上升沿; 1: 低电平或下降沿。
位 14	ECMBEN	0x0	rw	外部时钟模式 B 使能 (External clock mode 2 enable) 用于启用外部时钟模式 B 0: 关闭; 1: 开启。
位 13: 12	ESDIV	0x0	rw	外部信号除频 (External trigger signal division) 用于选择降低外部触发频率的除频。 00: 关闭分频; 01: 2 分频; 10: 4 分频; 11: 8 分频。
位 11: 8	ESF	0x0	rw	外部信号滤波 (External signal filter) 用于过滤外部信号, 当外部信号产生了 N 次之后才能被采样。 0000: 无滤波器, 以 $f_{DTS}$ 采样

				<p>0001: <math>f_{SAMPLING} = f_{CK\_INT}</math>, N=2;</p> <p>0010: <math>f_{SAMPLING} = f_{CK\_INT}</math>, N=4;</p> <p>0011: <math>f_{SAMPLING} = f_{CK\_INT}</math>, N=8;</p> <p>0100: <math>f_{SAMPLING} = f_{DTS}/2</math>, N=6;</p> <p>0101: <math>f_{SAMPLING} = f_{DTS}/2</math>, N=8;</p> <p>0110: <math>f_{SAMPLING} = f_{DTS}/4</math>, N=6;</p> <p>0111: <math>f_{SAMPLING} = f_{DTS}/4</math>, N=8;</p> <p>1000: <math>f_{SAMPLING} = f_{DTS}/8</math>, N=6;</p> <p>1001: <math>f_{SAMPLING} = f_{DTS}/8</math>, N=8;</p> <p>1010: <math>f_{SAMPLING} = f_{DTS}/16</math>, N=5;</p> <p>1011: <math>f_{SAMPLING} = f_{DTS}/16</math>, N=6;</p> <p>1100: <math>f_{SAMPLING} = f_{DTS}/16</math>, N=8;</p> <p>1101: <math>f_{SAMPLING} = f_{DTS}/32</math>, N=5;</p> <p>1110: <math>f_{SAMPLING} = f_{DTS}/32</math>, N=6;</p> <p>1111: <math>f_{SAMPLING} = f_{DTS}/32</math>, N=8。</p>
位 7	STS	0x0	rw	<p>次定时器同步 (Subordinate TMR synchronization)</p> <p>该位开启后, 主次定时器可实现高度同步。</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 6: 4	STIS	0x0	rw	<p>次定时器输入选择 (Subordinate TMR input selection)</p> <p>用于次定时器的输入选择。</p> <p>000: 内部选择 0 (IS0);</p> <p>001: 内部选择 1 (IS1);</p> <p>010: 内部选择 2 (IS2);</p> <p>011: 内部选择 3 (IS3);</p> <p>100: C1IRAW 的输入检测器 (C1INC);</p> <p>101: 滤波输入 1 (C1IF1);</p> <p>110: 滤波输入 2 (C2IF2);</p> <p>111: 外部输入 (EXT)。</p> <p>关于每个定时器中 ISx 的细节, 参见表 14-4。</p>
位 3	保留	0x0	resd	保持默认值。
位 2: 0	SMSEL	0x0	rw	<p>次定时器模式选择 (Subordinate TMR mode selection)</p> <p>000: 关闭从模式;</p> <p>001: 编码模式 A;</p> <p>010: 编码模式 B;</p> <p>011: 编码模式 C;</p> <p>100: 复位模式 - TRGIN 输入上升沿时, 重新初始化计数器;</p> <p>101: 挂起模式 - TRGIN 输入高电平时, 计数器计数;</p> <p>110: 触发模式 - TRGIN 输入上升沿时, 产生触发事件;</p> <p>111: 外部时钟模式 A - TRGIN 输入上升沿提供时钟;</p> <p>注: 编码模式 A/B/C 配置方法请查看计数模式模式章节。</p>

### 14.2.4.4 TMR3 DMA/中断使能寄存器 (TMRx\_IDEN)

域	简称	复位值	类型	功能
位 15	保留	0x0	resd	保持默认值。
位 14	TDEN	0x0	rw	<p>触发 DMA 请求使能 (Trigger DMA request enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 13	保留	0x0	resd	保持默认值。
位 12	C4DEN	0x0	rw	<p>通道 4 的 DMA 请求使能 (Channel 4 DMA request enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 11	C3DEN	0x0	rw	<p>通道 3 的 DMA 请求使能 (Channel 3 DMA request enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 10	C2DEN	0x0	rw	<p>通道 2 的 DMA 请求使能 (Channel 2 DMA request enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 9	C1DEN	0x0	rw	<p>通道 1 的 DMA 请求使能 (Channel 1 DMA request enable)</p>

				0: 关闭; 1: 开启。
位 8	OVFDEN	0x0	rw	溢出事件的 DMA 请求使能 (overflow event DMA request enable) 0: 关闭; 1: 开启。
位 7	保留	0x0	resd	保持默认值。
位 6	TIEN	0x0	rw	触发中断使能 (Trigger interrupt enable) 0: 关闭; 1: 开启。
位 5	保留	0x0	resd	保持默认值。
位 4	C4IEN	0x0	rw	通道 4 中断使能 (Channel 4 interrupt enable) 0: 关闭; 1: 开启。
位 3	C3IEN	0x0	rw	通道 3 中断使能 (Channel 3 interrupt enable) 0: 关闭; 1: 开启。
位 2	C2IEN	0x0	rw	通道 2 中断使能 (Channel 2 interrupt enable) 0: 关闭; 1: 开启。
位 1	C1IEN	0x0	rw	通道 1 中断使能 (Channel 1 interrupt enable) 0: 关闭; 1: 开启。
位 0	OVFIEN	0x0	rw	溢出中断使能 (overflow interrupt enable) 0: 关闭; 1: 开启。

#### 14.2.4.5 TMR3 状态寄存器 (TMRx\_ISTS)

域	简称	复位值	类型	功能
位 15: 13	保留	0x0	resd	保持默认值。
位 12	C4RF	0x0	rw0c	通道 4 再捕获标记 (Channel 4 recapture flag) 见 C1RF 的描述。
位 11	C3RF	0x0	rw0c	通道 3 再捕获标记 (Channel 3 recapture flag) 见 C1RF 的描述。
位 10	C2RF	0x0	rw0c	通道 2 再捕获标记 (Channel 2 recapture flag) 见 C1RF 的描述。
位 9	C1RF	0x0	rw0c	通道 1 再捕获标记 (Channel 1 recapture flag) C1IF 的状态已经为'1'时是否再次发生了捕获, 由硬件置'1', 写'0'清除。 0: 无捕获发生; 1: 捕获发生。
位 8: 7	保留	0x0	resd	保持默认值。
位 6	TRGIF	0x0	rw0c	触发中断标记 (Trigger interrupt flag) 当发生触发事件时由硬件置'1', 写'0'清除。 0: 无触发事件发生; 1: 发生触发事件。 触发事件: 在 TRGIN 接收到有效边沿, 或挂起模式下接收到任意边沿。
位 5	保留	0x0	resd	保持默认值。
位 4	C4IF	0x0	rw0c	通道 4 中断标记 (Channel 4 interrupt flag) 参考 C1IF 描述。
位 3	C3IF	0x0	rw0c	通道 3 中断标记 (Channel 3 interrupt flag) 参考 C1IF 描述。
位 2	C2IF	0x0	rw0c	通道 2 中断标记 (Channel 2 interrupt flag) 参考 C1IF 描述。
位 1	C1IF	0x0	rw0c	通道 1 中断标记 (Channel 1 interrupt flag) 若通道 1 为输入模式时: 捕获事件发生时由硬件置'1', 由软件清'0'或读 TMRx_C1DT 清'0'。

				0: 无捕获事件发生; 1: 发生捕获事件。 若通道 1 为输出模式时: 比较事件发生时由硬件置'1', 由软件清'0'。 0: 无比较事件发生; 1: 发生比较事件。
位 0	OVFIF	0x0	rw0c	溢出中断标记 (Overflow interrupt flag) 当溢出事件发生时由硬件置'1', 由软件清'0'。 0: 无溢出事件发生; 1: 发生溢出事件, 若 TMRx_CTRL1 的 OVFEN=0、OVFS=0 时: - 当 TMRx_SWEVE 寄存器的 OVFG=1 时产生溢出事件; - 当计数值 CVAL 被触发事件重初始化时产生溢出事件。

### 14.2.4.6 TMR3事件产生寄存器 (TMRx\_SWEVT)

域	简称	复位值	类型	功能
位 15: 7	保留	0x0	resd	保持默认值。
位 6	TRGSWTR	0x0	rw	软件触发触发事件 (Trigger event triggered by software) 通过软件触发一个触发事件。 0: 无作用; 1: 制造一个触发事件。
位 5	保留	0x0	resd	保持默认值。
位 4	C4SWTR	0x0	wo	软件触发通道 4 事件 (Channel 4 event triggered by software) 见 C1M 的描述。
位 3	C3SWTR	0x0	wo	软件触发通道 3 事件 (Channel 3 event triggered by software) 见 C1M 的描述。
位 2	C2SWTR	0x0	wo	软件触发通道 2 事件 (Channel 2 event triggered by software) 见 C1M 的描述。
位 1	C1SWTR	0x0	wo	软件触发通道 1 事件 (Channel 1 event triggered by software) 通过软件触发一个通道 1 事件。 0: 无作用; 1: 制造一个通道 1 事件。
位 0	OVFSWTR	0x0	wo	软件触发溢出事件 (Overflow event triggered by software) 通过软件触发一个溢出事件。 0: 无作用; 1: 制造一个溢出事件。

### 14.2.4.7 TMR3捕获/比较模式寄存器 1 (TMRx\_CM1)

输出比较模式:

域	简称	复位值	类型	功能
位 15	C2OSEN	0x0	rw	通道 2 输出开关使能 (Channel 2 output switch enable)
位 14: 12	C2OCTRL	0x0	rw	通道 2 输出控制 (Channel 2 output control)
位 11	C2OBEN	0x0	rw	通道 2 输出缓存使能 (Channel 2 output buffer enable)
位 10	C2OIEN	0x0	rw	通道 2 输出立即使能 (Channel 2 output immediately enable)
位 9: 8	C2C	0x0	rw	通道 2 配置 (Channel 2 configure) 当 C2EN='0'时, 这些位用于选择通道 2 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C2IN 映射在 C2IFP2 上; 10: 输入, C2IN 映射在 C1IFP2 上; 11: 输入, C2IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。



位 7	C1OSEN	0x0	rw	通道 1 输出开关使能 (Channel 1 output switch enable) 0: EXT 输入不影响 C1ORAW; 1: 当 EXT 输入高电平时, 将 C1ORAW 清 0。
位 6: 4	C1OCTRL	0x0	rw	通道 1 输出控制 (Channel 1 output control) 这些位用于设置原始信号 C1ORAW 的工作状态。 000: 断开。断开 C1ORAW 到 C1OUT 的输出; 001: 设置 C1ORAW 为高: TMRx_CVAL=TMRx_C1DT 时。 010: 设置 C1ORAW 为低: TMRx_CVAL=TMRx_C1DT 时。 010: 切换 C1ORAW 电平: TMRx_CVAL=TMRx_C1DT 时。 100: 固定 C1ORAW 为低。 101: 固定 C1ORAW 为高。 110: PWM 模式 A —OWCDIR=0, 若 TMRx_C1DT>TMRx_CVAL 时设置 C1ORAW 为高, 否则为低; —OWCDIR=1, 若 TMRx_C1DT <TMRx_CVAL 时设置 C1ORAW 为低, 否则为高。 111: PWM 模式 B —OWCDIR=0, 若 TMRx_C1DT >TMRx_CVAL 时设置 C1ORAW 为低, 否则为高; —OWCDIR=1, 若 TMRx_C1DT <TMRx_CVAL 时设置 C1ORAW 为高, 否则为低。 注: 除'000'外, 其余配置下 C1OUT 将连接到 C1ORAW, C1OUT 的输出电平除了会根据 C1ORAW 变化外, 还与 CCTRL 所配置的输出极性有关。
位 3	C1OBEN	0x0	rw	通道 1 输出缓存使能 (Channel 1 output buffer enable) 0: 关闭 TMRx_C1DT 的缓存功能, 写入 TMRx_C1DT 的内容会立即生效。 1: 启用 TMRx_C1DT 的缓存功能, 写入 TMRx_C1DT 的内容将保存到缓存寄存器中, 当发生溢出事件时再更新到 TMRx_C1DT 中。
位 2	C1OIEN	0x0	rw	通道 1 输出立即使能 (Channel 1 output immediately enable) 在 PWM 模式 A 或模式 B 下, 该位能够缩短触发事件到通道 1 的输出响应间的时间。 0: 需要比较 CVAL 与 C1DT 的值之后再产生输出。 1: 无需比较 CVAL 与 C1DT 的值, 当发生触发事件时立即产生输出。
位 1: 0	C1C	0x0	rw	通道 1 配置 (Channel 1 configure) 当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C1IN 映射在 C1IFP1 上; 10: 输入, C1IN 映射在 C2IFP1 上; 11: 输入, C1IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。

### 输入模式:

域	简称	复位值	类型	功能
位 15: 12	C2DF	0x0	rw	通道 2 滤波器 (Channel 2 digital filter)
位 11: 10	C2IDIV	0x0	rw	通道 2 分频系数 (Channel 2 input divider)
位 9: 8	C2C	0x0	rw	通道 2 配置 (Channel 2 configure) 当 C2EN='0'时, 这些位用于选择通道 2 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C2IN 映射在 C2IFP2 上; 10: 输入, C2IN 映射在 C1IFP2 上;



				11: 输入, C2IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
				通道 1 滤波器 (Channel 1 digital filter) 这些位用于配置通道 1 的滤波器。滤波的个数为 N, 则表示发生了 N 次采样事件后输入边沿才能通过滤波器: 0000: 无滤波器, 以 $f_{DTS}$ 采样 1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$ , N=6 0001: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=2 1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$ , N=8 0010: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=4 1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=5 0011: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=8 1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=6 0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=6 1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=8 0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=8 1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=5 0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=6 1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=6 0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=8 1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=8
位 7: 4	C1DF	0x0	rw	
				通道 1 分频系数 (Channel 1 input divider) 这些位定义了通道 1 的分频系数。 00: 不分频, 每一个有效的边沿都会产生一次输入; 01: 每 2 个有效的边沿产生一次输入; 10: 每 4 个有效的边沿产生一次输入; 11: 每 8 个有效的边沿产生一次输入。 注: C1EN='0'时, 分频系数复位。
位 3: 2	C1IDIV	0x0	rw	
				通道 1 配置 (Channel 1 configure) 当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C1IN 映射在 C1IFP1 上; 10: 输入, C1IN 映射在 C2IFP1 上; 11: 输入, C1IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
位 1: 0	C1C	0x0	rw	

## 14.2.4.8 TMR3通道模式寄存器 2 (TMRx\_CM2)

输出比较模式:

域	简称	复位值	类型	功能
位 15	C4OSEN	0x0	rw	通道 4 输出开关使能 (Channel 4 output switch enable)
位 14: 12	C4OCTRL	0x0	rw	通道 4 输出控制 (Channel 4 output control)
位 11	C4OBEN	0x0	rw	通道 4 输出缓存使能 (Channel 4 output buffer enable)
位 10	C4OIEN	0x0	rw	通道 4 输出立即使能 (Channel 4 output immediately enable)
				通道 4 配置 (Channel 4 configure) 当 C4EN='0'时, 这些位用于选择通道 4 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C4IN 映射在 C4IFP4 上; 10: 输入, C4IN 映射在 C3IFP4 上; 11: 输入, C4IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
位 9: 8	C4C	0x0	rw	
位 7	C3OSEN	0x0	rw	通道 3 输出开关使能 (Channel 3 output switch enable)
位 6: 4	C3OCTRL	0x0	rw	通道 3 输出控制 (Channel 3 output control)
位 3	C3OBEN	0x0	rw	通道 3 输出缓存使能 (Channel 3 output buffer enable)
位 2	C3OIEN	0x0	rw	通道 3 输出立即使能 (Channel 3 output immediately enable)

位 1: 0	C3C	0x0	rw	通道 3 配置 (Channel 3 configure) 当 C3EN='0'时, 这些位用于选择通道 3 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C3IN 映射在 C3IFP3 上; 10: 输入, C3IN 映射在 C4IFP3 上; 11: 输入, C3IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
<b>输入模式:</b>				
位 15: 12	C4DF	0x0	rw	通道 4 滤波器 (Channel 4 digital filter)
位 11: 10	C4IDIV	0x0	rw	通道 4 分频系数 (Channel 4 input divider)
位 9: 8	C4C	0x0	rw	通道 4 配置 (Channel 4 configure) 当 C4EN='0'时, 这些位用于选择通道 4 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C4IN 映射在 C4IFP4 上; 10: 输入, C4IN 映射在 C3IFP4 上; 11: 输入, C4IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
位 7: 4	C3DF	0x0	rw	通道 3 滤波器 (Channel 3 digital filter)
位 3: 2	C3IDIV	0x0	rw	通道 3 分频系数 (Channel 3 input divider)
位 1: 0	C3C	0x0	rw	通道 3 配置 (Channel 3 configure) 当 C3EN='0'时, 这些位用于选择通道 3 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C3IN 映射在 C3IFP3 上; 10: 输入, C3IN 映射在 C4IFP3 上; 11: 输入, C3IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。

#### 14.2.4.9 TMR3通道控制寄存器 (TMRx\_CTRL)

域	简称	复位值	类型	功能
位 15: 14	保留	0x0	resd	保持默认值。
位 13	C4P	0x0	rw	通道 4 极性 (Channel 4 polarity) 见 C1P 的描述。
位 12	C4EN	0x0	rw	通道 4 使能 (Channel 4 enable) 见 C1EN 的描述。
位 11	C3CP	0x0	rw	通道 3 互补极性 (Channel 3 complementary polarity) 定义输入信号的有效沿, 详见 C1P 位描述。
位 10	保留	0x0	resd	保持默认值。
位 9	C3P	0x0	rw	通道 3 极性 (Channel 3 polarity) 见 C1P 的描述。
位 8	C3EN	0x0	rw	通道 3 使能 (Channel 3 enable) 见 C1EN 的描述。
位 7	C2CP	0x0	rw	通道 2 互补极性 (Channel 2 complementary polarity) 定义输入信号的有效沿, 详见 C1P 位描述。
位 6	保留	0x0	resd	保持默认值。
位 5	C2P	0x0	rw	通道 2 极性 (Channel 2 polarity) 见 C1P 的描述。
位 4	C2EN	0x0	rw	通道 2 使能 (Channel 2 enable) 见 C1EN 的描述。
位 3	C1CP	0x0	rw	通道 1 互补极性 (Channel 1 complementary polarity) 定义输入信号的有效沿, 详见 C1P 位描述。
位 2	保留	0x0	resd	保持默认值。
位 1	C1P	0x0	rw	通道 1 极性 (Channel 1 polarity) 通道 1 配置为输出: 0: C1OUT 的有效电平为高

				<p>1: C1OUT 的有效电平为低</p> <p>通道 1 配置为输入:</p> <p>C1LP/C1P 位共同定义输入信号有效沿。</p> <p>00: C1IN 的有效边沿为上升沿; 作为外部触发使用时, C1IN 不反相。</p> <p>01: C1IN 的有效边沿为下降沿; 作为外部触发使用时, C1IN 反相。</p> <p>10: 保留</p> <p>11: C1IN 的有效边沿为上升沿和下降沿; 作为外部触发使用时, C1IN 不反相。</p>
位 0	C1EN	0x0	rw	<p>通道 1 使能 (Channel 1 enable)</p> <p>0: 禁止输入或输出;</p> <p>1: 使能输入或输出。</p>

表 14-6 标准CxOUT通道的输出控制位

CxEN 位	CxOUT 输出状态
0	禁止输出 (CxOUT=0, Cx_EN=0)
1	CxOUT = CxORAW + 极性, Cx_EN=1

注意：连接到标准 CxOUT 通道的外部 I/O 引脚状态，取决于 CxOUT 通道状态和 GPIO 以及 AFIO 寄存器。

#### 14.2.4.10 TMR3计数值 (TMRx\_CVAL)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0	resd	保持默认值。
位 15: 0	CVAL	0x0	rw	计数值 (Counter value)

#### 14.2.4.11 TMR3分频系数 (TMRx\_DIV)

域	简称	复位值	类型	功能
位 15: 0	DIV	0x0	rw	分频系数 (Divider value) 计数器时钟频率 $f_{CK\_CNT} = f_{TMR\_CLK} / (DIV[15: 0] + 1)$ 。 DIV 为溢出事件发生时写入的分频系数。

#### 14.2.4.12 TMR3周期寄存器 (TMRx\_PR)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0	resd	保持默认值。
位 15: 0	PR	0x0	rw	周期值 (Period value) 定时器计数的周期值。当周期值为 0 时，定时器不工作。

#### 14.2.4.13 TMR3通道1数据寄存器 (TMRx\_C1DT)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0	resd	保持默认值。
位 15: 0	C1DT	0x0	rw	通道 1 数据寄存器值 (Channel 1 data register) 若通道 1 配置为输入： C1DT 是前一次通道 1 输入事件 (C1IN) 所保存的 CVAL。 若通道 1 配置为输出： C1DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位 (C1OBEN)，并根据设置在 C1OUT 上产生相应的输出。

#### 14.2.4.14 TMR3通道2数据寄存器 (TMRx\_C2DT)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0	resd	保持默认值。
位 15: 0	C2DT	0x0	rw	通道 2 数据寄存器值 (Channel 2 data register) 若通道 2 配置为输入： C2DT 是前一次通道 2 输入事件 (C2IN) 所保存的 CVAL。 若通道 2 配置为输出： C2DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位 (C2OBEN)，并根据设置在 C2OUT 上产生相应的输出。

#### 14.2.4.15 TMR3通道3数据寄存器 (TMRx\_C3DT)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0	resd	保持默认值。
位 15: 0	C3DT	0x0	rw	通道 3 数据寄存器值 (Channel 3 data register) 若通道 3 配置为输入： C3DT 是前一次通道 3 输入事件 (C3IN) 所保存的 CVAL。

若通道 3 配置为输出：

C3DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位（C3OBEN），并根据设置在 C3OUT 上产生相应的输出。

#### 14.2.4.16 TMR3通道4数据寄存器（TMRx\_C4DT）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0	resd	保持默认值。
位 15: 0	C4DT	0x0	rw	通道 4 数据寄存器值（Channel 4 data register） 若通道 4 配置为输入： C4DT 是前一次通道 4 输入事件（C4IN）所保存的 CVAL。 若通道 4 配置为输出： C4DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位（C4OBEN），并根据设置在 C4OUT 上产生相应的输出。

#### 14.2.4.17 TMR3 DMA控制寄存器（TMRx\_DMACTRL）

域	简称	复位值	类型	功能
位 15: 13	保留	0x0	resd	保持默认值。
位 12: 8	DTB	0x0	rw	DMA 传输字节（DMA transfer bytes） 这些位定义了传输的字节个数： 00000: 1 个字节      00001: 2 个字节 00010: 3 个字节      00011: 4 个字节 ..... 10000: 17 个字节      10001: 18 个字节
位 7: 5	保留	0x0	resd	保持默认值。
位 4: 0	ADDR	0x0	rw	DMA 传输地址偏移（DMA transfer address offset） ADDR 定义了从 TMRx_CTRL1 所在地址开始的偏移量： 00000: TMRx_CTRL1, 00001: TMRx_CTRL2, 00010: TMRx_STCTRL, .....

#### 14.2.4.18 TMR3 DMA数据寄存器（TMRx\_DMADT）

域	简称	复位值	类型	功能
位 15: 0	DMADT	0x0	rw	DMA 传输的数据寄存器（DMA data register） 通过对 DMADT 寄存器的读写能够实现任意 TMR 寄存器的操作，其操作的寄存器地址范围是：TMRx 外设地址 + ADDR*4 至 TMRx 外设地址 + ADDR*4 + DTB*4。

### 14.3 通用定时器（TMR14）

#### 14.3.1 TMR14简介

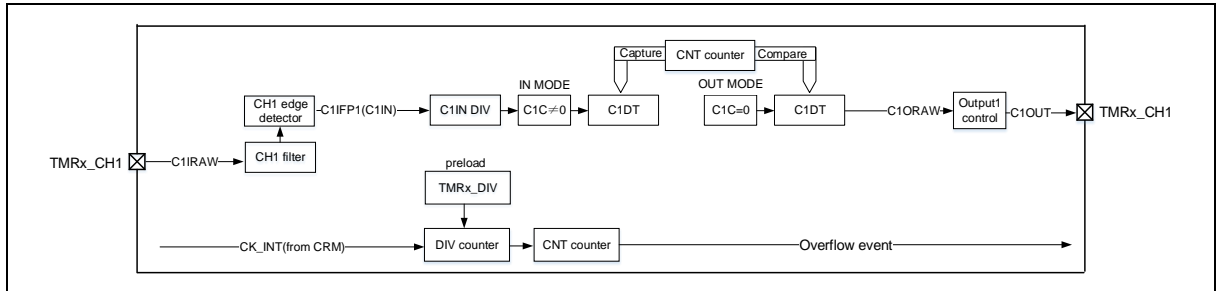
通用定时器 TMR14 支持 16 位向上计数。

#### 14.3.2 TMR14主要功能

通用 TMR14 定时器功能包括：

- 由内部用作计数时钟
- 16位向上计数器
- 1组独立通道，支持输入捕获、输出比较、PWM生成
- 定时器之间可互联同步
- 输支持溢出事件、通道事件触发中断

图 14-38 通用定时器TMR14框图

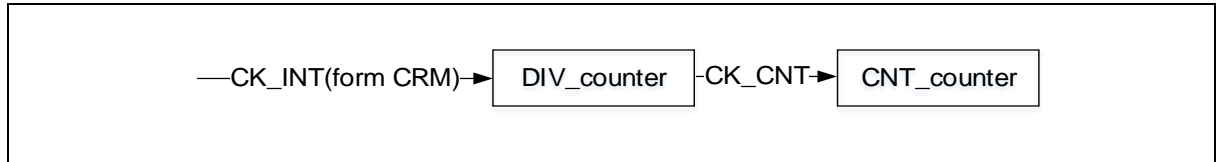


#### 14.3.3 TMR14功能描述

##### 14.3.3.1 计数时钟

TMR14 计数时钟从内部时钟（CK\_INT）时钟源提供。

图 14-39 计数时钟

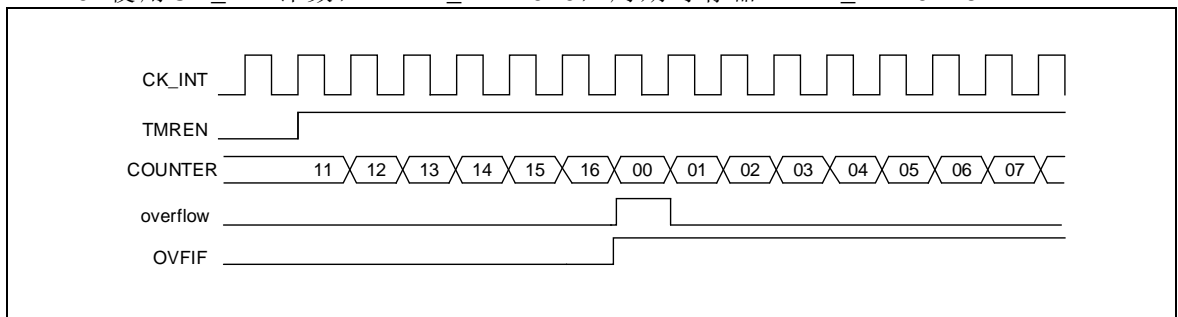


##### 内部时钟（CK\_INT）

默认下使用 CK\_INT 经由预分频器驱动计数器计数，当 TMR 对应的 APB 时钟预分频系数是 1 时，CK\_INT 频率等于 APB 时钟频率，否则 CK\_INT 频率等于 APB 时钟频率的 2 倍。相关配置流程如下：

- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-40 使用CK\_INT计数，TMRx\_DIV=0x0，周期寄存器TMRx\_PR=0x16



### 14.3.3.2 计数模式

TMR14 仅提供向上计数模式，其内部拥有一个支持 16 位计数的计数器。

TMRx\_PR 寄存器用于设置计数器计数周期。默认 TMRx\_PR 寄存器值会立即传入它的影子寄存器；当开启周期缓冲功能后 (PRBEN 置 1)，TMRx\_PR 寄存器值在溢出事件发生时传入它的影子寄存器。

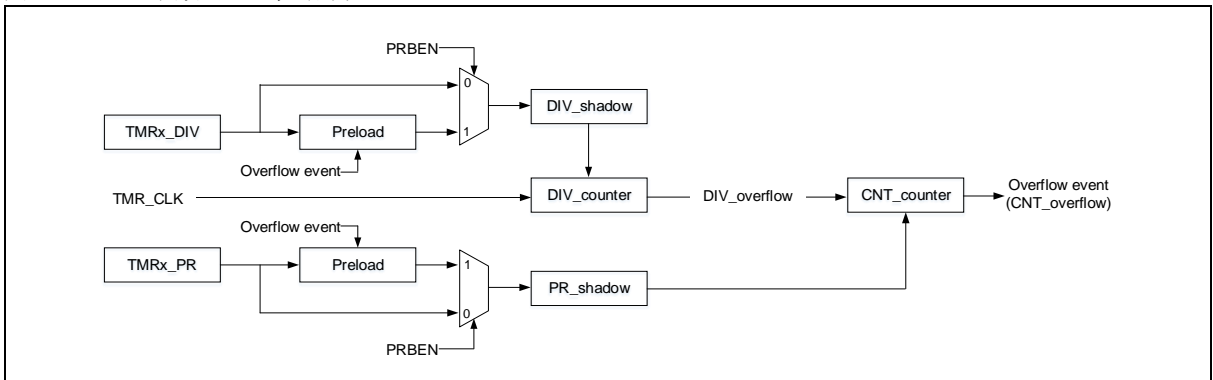
TMRx\_DIV 寄存器用于设置计数器计数频率，每 (DIV[15:0]+1) 个计数时钟周期，计数器计数一次。和 TMRx\_PR 寄存器类似，开启周期缓冲功能后，TMRx\_DIV 寄存器值在溢出事件时更新至它的影子寄存器。

读取 TMRx\_CNT 寄存器会返回当前计数器计数值，写入 TMRx\_CNT 寄存器会更新计数器当前计数值为写入值。

默认允许产生溢出事件，设置 TMRx\_CTRL1 寄存器 OVFEN=1 将禁止更新事件产生。TMRx\_CTRL1 寄存器 OVFS 用于选择溢出事件来源，默认计数器上溢或下溢、置位 OVFSWTR、复位模式次定时器控制器产生的复位信号产生溢出事件。置位 OVFS 后，只有计数器上溢或下溢产生溢出事件。

TMREN 位置 1 将使能定时器计数，由于同步逻辑，实际驱动计数器的使能信号 TMR\_EN 相对于 TMREN 延迟一个时钟周期。

图 14-41 计数器基本结构



#### 向上计数模式

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]=2'b00, OWCDIR=1'b0 开启向上计数模式，计数值达到 TMRx\_PR 值时，重新从 0 向上计数，计数器上溢并产生溢出事件，同时 OVFIF 位置 1。若禁止产生溢出事件，计数器溢出后不再重载预分频值和周期值，否则预分频值和周期值在溢出事件后更新。

图 14-42 PRBEN=0时的溢出事件

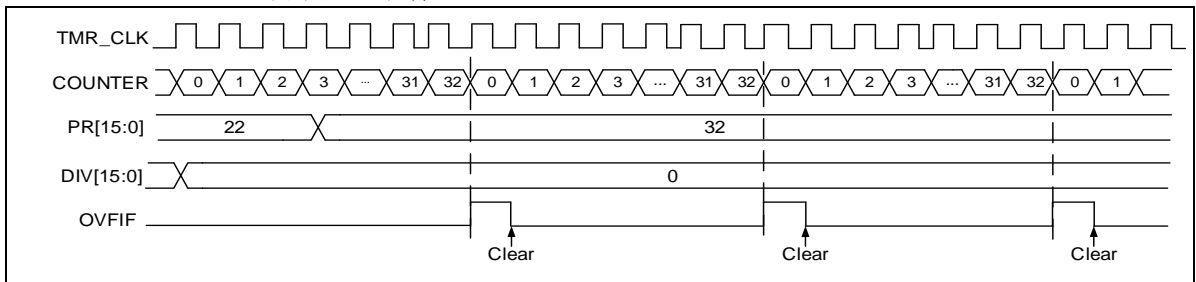
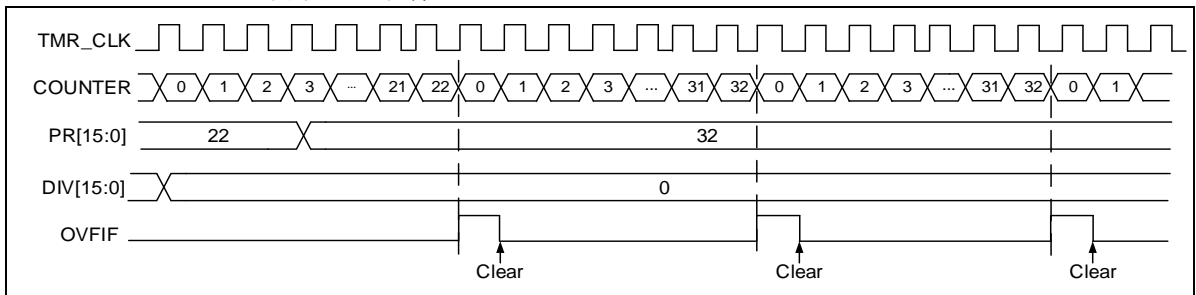


图 14-43 PRBEN=1时的溢出事件





### 14.3.3.3 TMR输入部分

TMR14 拥有一个独立通道，可配置为输入或输出，当配置为输入时，每个通道输入信号依次经过以下处理：

- TMRx\_CHx 经过预处理输出 CxIRAW。配置 C1INSEL 位，选择 CxIRAW 来源是 TMRx\_CHx。
- CxIRAW 输入数字滤波器，输出滤波后信号 CxIF。数字滤波器通过 CxDF 位配置采样频率和次数。
- CxIF 输入边沿检测器，输出边沿选择后信号 CxIFPx。边沿选择由 CxP 和 CxCP 位共同控制，可选择输入上升沿、下降沿或双边沿有效。
- CxIFPx 输入捕获信号选择器，输出选择后信号 CxIN。捕获信号选择器由 CxC 控制，可选择 CxIN 来源为 CxIFPx。
- CxIN 经由输入通道分频器，输出分频后信号 CxIPS。分频系数由 CxIDIV 位配置为不分频、2 分频、4 分频或 8 分频。

图 14-44 输入/输出通道 1 的主电路

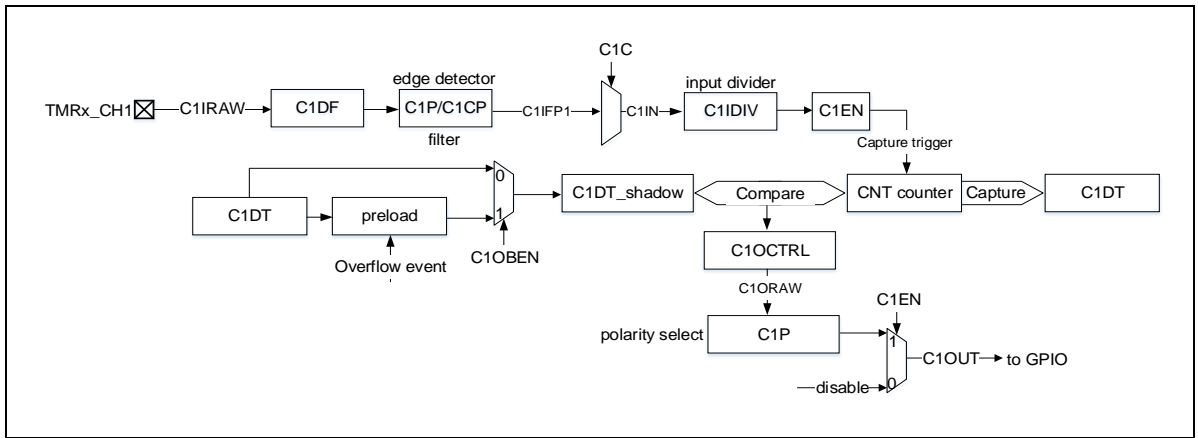
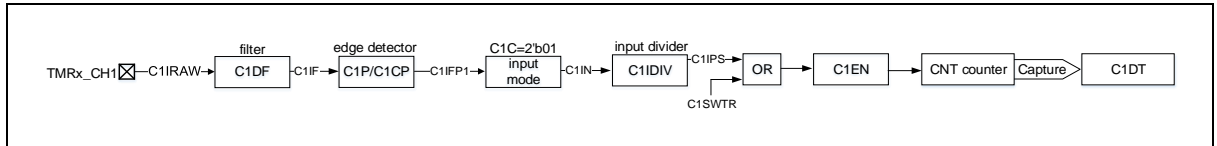


图 14-45 通道 1 输入部分



#### 输入模式

此模式下，当选中的触发信号被检测到，通道寄存器（TMRx\_CxDT）记录当前计数器计数值，并将捕获比较中断标志位（CxIF）置 1，若已使能通道中断（CxIEN）、通道 DMA 请求（CxDEN）则产生相应的中断和 DMA 请求。若在 CxIF 置 1 后检测到触发信号，将产生捕获溢出事件，TMRx\_CxDT 会使用当前计数器计数值覆盖之前记录的计数器计数值，同时通道再捕获标志位（CxRF）置 1。若要捕获 C1IN 输入的上升沿，可按如下进行配置：

- 将通道模式寄存器 1（TMRx\_CM1）中的 C1C 位配置为 01，选择 C1IN 作为通道 1 输入。
- 配置 C1IN 信号滤波器带宽（CxDF[3:0]）。
- 配置 C1IN 通道的有效沿，在 TMRx\_CCTRL 寄存器中写入 C1P=0（上升沿）。
- 配置 C1IN 信号捕获分频（C1DIV[1:0]）。
- 使能通道 1 输入捕获（C1EN=1）。

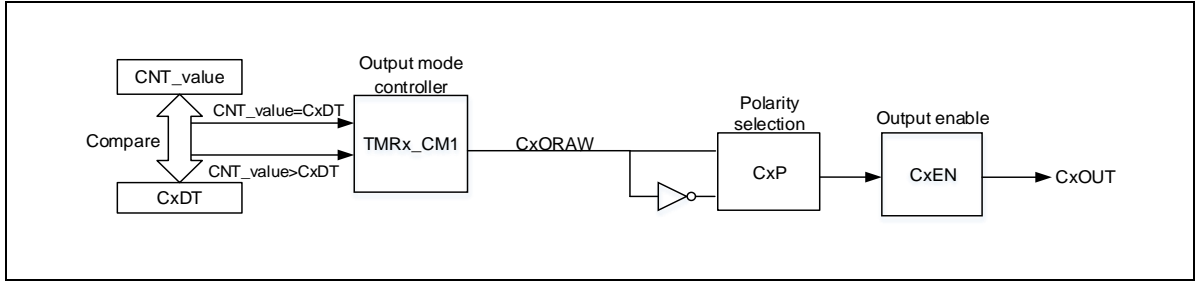
根据需要设置 TMRx\_IDEN 寄存器中的 C1IEN 位，选择中断请求。



### 14.3.3.4 TMR输出部分

TMR 的输出部分由比较器和输出控制构成，用于编程输出信号的周期、占空比、极性。

图 14-46 捕获/比较通道的输出部分



#### 输出模式

配置  $CxC[1:0] \neq 2'b00$  将通道配置为输出可实现多种输出模式，此时，计数器计数值将与  $CxD$  寄存器值比较，并根据  $CxOCTRL[2:0]$  位配置的输出模式，产生中间信号  $CxORAW$ ，再经过输出控制逻辑处理后输送到 IO。输出信号的周期由  $TMRx\_PR$  寄存器值配置，占空比则由  $CxD$  寄存器值配置。输出比较模式有以下子类：

**PWM 模式 A:**  $CxOCTRL=3'b110$  时，开启 PWM 模式 A。向上计数时， $TMRx\_C1DT > TMRx\_CVAL$  时  $C1ORAW$  输出高电平，否则为低电平；向下计数时， $TMRx\_C1DT < TMRx\_CVAL$  时  $C1ORAW$  输出低电平，否则为高电平。若要使用 PWM 模式 A，可按如下方式配置。

- 配置  $TMRx\_PR$  寄存器，设置 PWM 周期。
- 配置  $TMRx\_CxDT$  寄存器，设置 PWM 占空比。
- 配置  $TMRx\_CM1/CM2$  寄存器  $CxOCTRL$  位为  $3'b110$ ，设置输出模式为 PWM 模式 A。
- 配置  $TMRx\_DIV$  寄存器，设置计数器计数频率。
- 配置  $TMRx\_CTRL1$  寄存器  $TWCMSEL[1:0]$  位，设置计数器计数模式。
- 配置  $TMRx\_CCTRL$  寄存器  $CxP$  位、 $CxCP$  位，设置输出极性。
- 配置  $TMRx\_CCTRL$  寄存器  $CxEN$  位、 $CxCEN$  位，使能通道输出。
- 配置  $TMRx\_BRK$  寄存器  $OEN$  位，使能  $TMRx$  输出。
- 配置 TMR 输出通道对应 GPIO 为对应的复用模式。
- 配置  $TMRx\_CTRL1$  寄存器  $TMREN$  位，使能  $TMRx$  计数。

**PWM 模式 B:**  $CxOCTRL=3'b111$  时，开启 PWM 模式 B。向上计数时， $TMRx\_C1DT > TMRx\_CVAL$  时  $C1ORAW$  输出低电平，否则为高电平；向下计数时， $TMRx\_C1DT < TMRx\_CVAL$  时  $C1ORAW$  输出高电平，否则为低电平。

**强制输出模式:**  $CxOCTRL=3'b100/101$  时，开启强制输出模式。此时， $CxORAW$  信号的电平被强制输出为配置的电平，而与计数值无关。虽然输出信号不依赖于比较结果，但通道标志位和 DMA 请求仍依赖于比较结果。

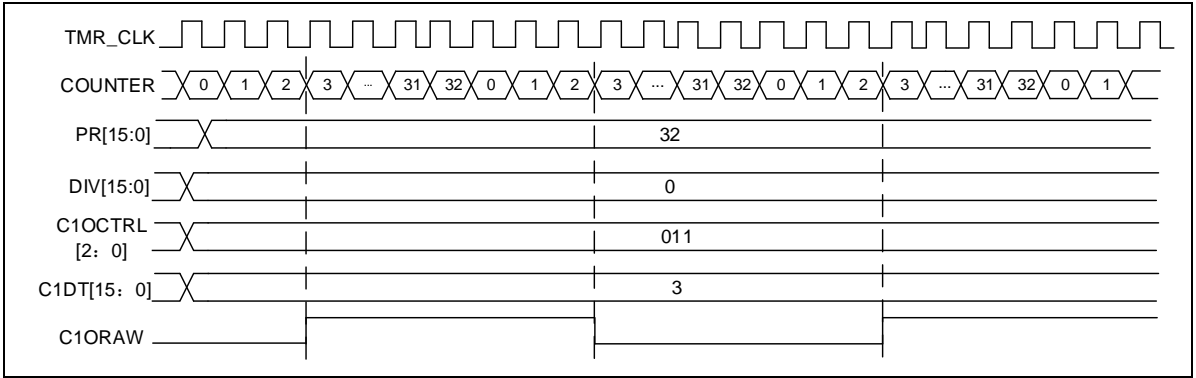
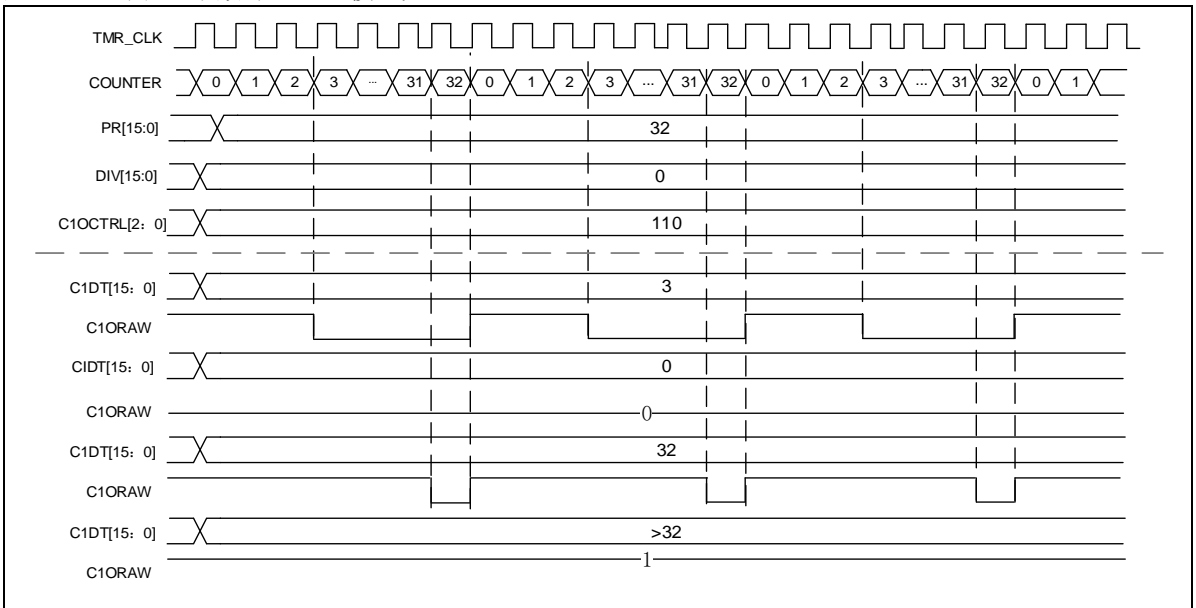
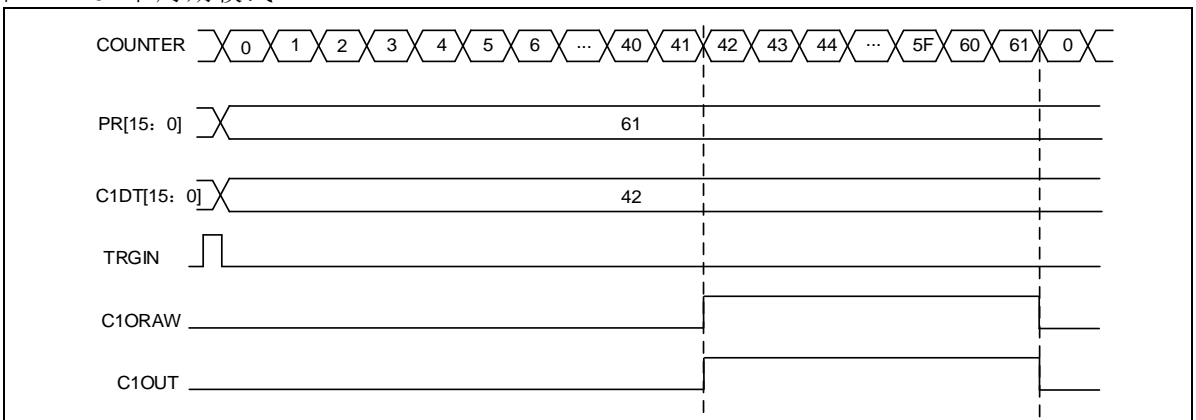
**输出比较模式:**  $CxOCTRL=3'b001/010/011$  时，开启输出比较模式。此时，当计数值与  $CxD$  值匹配时， $CxORAW$  强制输出高电平 ( $CxOCTRL=3'b001$ )、低电平 ( $CxOCTRL=3'b010$ ) 或进行电平翻转 ( $CxOCTRL=3'b011$ )。

**单周期模式:** PWM 模式的特例，将  $OCMEN$  位置 1 可开启单周期模式，此模式下，仅在当前计数周期中进行比较匹配，完成当前计数后， $TMREN$  位清 0，因此仅输出一个脉冲。当配置为向上计数模式时，需要严格配置  $CVAL < CxD \leq PR$ ；向下计数时，需严格配置  $CVAL > CxD$ 。

图 14-47 展示了输出比较模式（翻转）的例子， $C1DT=0x3$ ，当计数值等于  $0x3$  时，输出电平  $C1OUT$  被翻转。

图 14-48 展示了计数器向上计数与 PWM 模式 A 配合的例子， $PR=0x32$ ， $CxD$  配置为不同的值时输出时输出信号的翻转情况。

图 14-49 展示了计数器向上计数与单周期模式下 PWM 模式 B 配合的例子，计数器仅计数了一个周期，输出信号在这个周期中只输出了一个脉冲。

**图 14-47 计数值与C1DT值匹配时翻转C1ORAW**

**图 14-48 向上计数下PWM模式A**

**图 14-49 单周期模式**


### 14.3.3.5 调试模式

当微控制器进入调试模式（Cortex™-M0+核心停止）时，将 DEBUG 模块中的 TMRx\_PAUSE 置 1，可以使 TMRx 计数器暂停计数。

### 14.3.4 TMR14寄存器描述

可以用半字（16位）或字（32位）的方式操作这些外设寄存器。

下表中将TMR14的所有寄存器映射到一个16位可寻址（编址）空间。

表 14-7 TMR14寄存器和复位值

寄存器简称	基址偏移量	复位值
TMRx_CTRL1	0x00	0x0000
TMRx_IDEN	0x0C	0x0000
TMRx_ISTS	0x10	0x0000
TMRx_SWEVT	0x14	0x0000
TMRx_CM1	0x18	0x0000
TMRx_CCTRL	0x20	0x0000
TMRx_CVAL	0x24	0x0000
TMRx_DIV	0x28	0x0000
TMRx_PR	0x2C	0x0000
TMRx_C1DT	0x34	0x0000
TMR14_RMP	0x50	0x0000

#### 14.3.4.1 TMR14控制寄存器1（TMRx\_CTRL1）

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9: 8	CLKDIV	0x0	rw	时钟除频（Clock divider） 此位用于设置数字滤波器采样频率 $f_{DTS}$ 和定时器时钟频率 $f_{CK\_INT}$ 之间的分频比。 00: 无除频, $f_{DTS}=f_{CK\_INT}$ ; 01: 2 除频, $f_{DTS}=f_{CK\_INT}/2$ ; 10: 4 除频, $f_{DTS}=f_{CK\_INT}/4$ ; 11: 保留。
位 7	PRBEN	0x0	rw	周期缓冲使能（Period buffer enable） 0: 缓冲关闭; 1: 缓冲开启。
位 6: 3	保留	0x0	resd	保持默认值。
位 2	OVFS	0x0	rw	溢出事件源选择（Overflow event source） 配置溢出事件或 DMA 请求来源。 0: 来源于计数器溢出、设置 OVFSWTR 位或次定时器控制器产生的溢出事件; 1: 只能来源于计数器溢出。
位 1	OVFEN	0x0	rw	溢出事件使能（Overflow event enable） 0: 开启; 1: 关闭。
位 0	TMREN	0x0	rw	使能定时器（TMR enable） 0: 关闭; 1: 开启。

#### 14.3.4.2 TMR14 DMA/中断使能寄存器（TMRx\_IDEN）

域	简称	复位值	类型	功能
位 15: 2	保留	0x0	resd	保持默认值。
位 1	C1IEN	0x0	rw	通道 1 中断使能（Channel 1 interrupt enable） 0: 关闭; 1: 开启。
位 0	OVFIEN	0x0	rw	溢出中断使能（overflow interrupt enable）

0: 关闭;  
1: 开启。

### 14.3.4.3 TMR14中断状态寄存器 (TMRx\_ISTS)

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9	C1RF	0x0	rw0c	通道 1 再捕获标记 (Channel 1 recapture flag) C1IF 的状态已经为'1'时是否再次发生了捕获, 由硬件置'1', 写'0'清除。 0: 无捕获发生; 1: 捕获发生。
位 8: 2	保留	0x0	resd	保持默认值。
位 1	C1IF	0x0	rw0c	通道 1 中断标记 (Channel 1 interrupt flag) 若通道 1 为输入模式时: 捕获事件发生时由硬件置'1', 由软件清'0'或读 TMRx_C1DT 清'0'。 0: 无捕获事件发生; 1: 发生捕获事件。 若通道 1 为输出模式时: 比较事件发生时由硬件置'1', 由软件清'0'。 0: 无比较事件发生; 1: 发生比较事件。
位 0	OVFIF	0x0	rw0c	溢出中断标记 (Overflow interrupt flag) 当溢出事件发生时由硬件置'1', 由软件清'0'。 0: 无溢出事件发生; 1: 发生溢出事件, 若 TMRx_CTRL1 的 OVFEN=0、OVFS=0 时: - 当 TMRx_SWEVE 寄存器的 OVFG=1 时产生溢出事件; - 当计数值 CVAL 被触发事件重初始化时产生溢出事件。

### 14.3.4.4 TMR14软件事件寄存器 (TMRx\_SWEVT)

域	简称	复位值	类型	功能
位 15: 2	保留	0x0	resd	保持默认值。
位 1	C1SWTR	0x0	wo	软件触发通道 1 事件 (Channel 1 event triggered by software) 通过软件触发一个通道 1 事件。 0: 无作用; 1: 制造一个通道 1 事件。
位 0	OVFSWTR	0x0	wo	软件触发溢出事件 (Overflow event triggered by software) 通过软件触发一个溢出事件。 0: 无作用; 1: 制造一个溢出事件。

### 14.3.4.5 TMR14通道模式寄存器1 (TMRx\_CM1)

通道可用于输入 (捕获模式) 或输出 (比较模式), 通道的方向由相应的 CxC 定义。该寄存器其它位的作用在输入和输出模式下不同。CxOx 描述了通道在输出模式下的功能, CxIx 描述了通道在输出模式下的功能。因此必须注意, 同一个位在输出模式和输入模式下的功能是不同的。

输出比较模式:

域	简称	复位值	类型	功能
位 15: 7	保留	0x0	resd	保持默认值。
位 6: 4	C1OCTRL	0x0	rw	通道 1 输出控制 (Channel 1 output control) 这些位用于设置原始信号 C1ORAW 的工作状态。 000: 断开。断开 C1ORAW 到 C1OUT 的输出; 001: 设置 C1ORAW 为高: TMRx_CVAL=TMRx_C1DT 时。 010: 设置 C1ORAW 为低: TMRx_CVAL=TMRx_C1DT 时。

				<p>011：切换 C1ORAW 的电平：当 TMRx_CVAL=TMRx_C1DT 时。</p> <p>100：固定 C1ORAW 为低。</p> <p>101：固定 C1ORAW 为高。</p> <p>110：PWM 模式 A</p> <p>— OWCDIR=0，若 TMRx_C1DT&gt;TMRx_CVAL 时设置 C1ORAW 为高，否则为低；</p> <p>— OWCDIR=1，若 TMRx_C1DT &lt;TMRx_CVAL 时设置 C1ORAW 为低，否则为高。</p> <p>111：PWM 模式 B</p> <p>— OWCDIR=0，若 TMRx_C1DT &gt;TMRx_CVAL 时设置 C1ORAW 为低，否则为高；</p> <p>— OWCDIR=1，若 TMRx_C1DT &lt;TMRx_CVAL 时设置 C1ORAW 为高，否则为低。</p> <p>注：除'000'外，其余配置下 C1OUT 将连接到 C1ORAW，C1OUT 的输出电平除了会根据 C1ORAW 变化外，还与 CCTRL 所配置的输出极性有关。</p>
位 3	C1OBEN	0x0	rw	<p>通道 1 输出缓存使能 (Channel 1 output buffer enable)</p> <p>0：关闭 TMRx_C1DT 的缓存功能，写入 TMRx_C1DT 的内容会立即生效。</p> <p>1：启用 TMRx_C1DT 的缓存功能，写入 TMRx_C1DT 的内容将保存到缓存寄存器中，当发生溢出事件时再更新到 TMRx_C1DT 中。</p>
位 2	C1OIEEN	0x0	rw	<p>通道 1 输出立即使能 (Channel 1 output immediately enable)</p> <p>在 PWM 模式 A 或模式 B 下，该位能够缩短触发事件到通道 1 的输出响应间的时间。</p> <p>0：需要比较 CVAL 与 C1DT 的值之后再产生输出。</p> <p>1：无需比较 CVAL 与 C1DT 的值，当发生触发事件时立即产生输出。</p>
位 1: 0	C1C	0x0	rw	<p>通道 1 配置 (Channel 1 configure)</p> <p>当 C1EN='0'时，这些位用于选择通道 1 为输出或输入，以及输入时的映射选择：</p> <p>00：输出；</p> <p>01：输入，C1IN 映射在 C1IFP1 上；</p> <p>10：保留；</p> <p>11：保留。</p>

### 输入模式：

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值
位 7: 4	C1DF	0x0	rw	<p>通道 1 滤波器 (Channel 1 digital filter)</p> <p>这些位用于配置通道 1 的滤波器。滤波的个数为 N，则表示发生了 N 次采样事件后输入边沿才能通过滤波器：</p> <p>0000：无滤波器，以 <math>f_{DTS}</math> 采样</p> <p>1000：采样频率 <math>f_{SAMPLING}=f_{DTS}/8</math>，N=6</p> <p>0001：采样频率 <math>f_{SAMPLING}=f_{CK\_INT}</math>，N=2</p> <p>1001：采样频率 <math>f_{SAMPLING}=f_{DTS}/8</math>，N=8</p> <p>0010：采样频率 <math>f_{SAMPLING}=f_{CK\_INT}</math>，N=4</p> <p>1010：采样频率 <math>f_{SAMPLING}=f_{DTS}/16</math>，N=5</p> <p>0011：采样频率 <math>f_{SAMPLING}=f_{CK\_INT}</math>，N=8</p> <p>1011：采样频率 <math>f_{SAMPLING}=f_{DTS}/16</math>，N=6</p> <p>0100：采样频率 <math>f_{SAMPLING}=f_{DTS}/2</math>，N=6</p> <p>1100：采样频率 <math>f_{SAMPLING}=f_{DTS}/16</math>，N=8</p> <p>0101：采样频率 <math>f_{SAMPLING}=f_{DTS}/2</math>，N=8</p> <p>1101：采样频率 <math>f_{SAMPLING}=f_{DTS}/32</math>，N=5</p> <p>0110：采样频率 <math>f_{SAMPLING}=f_{DTS}/4</math>，N=6</p> <p>1110：采样频率 <math>f_{SAMPLING}=f_{DTS}/32</math>，N=6</p> <p>0111：采样频率 <math>f_{SAMPLING}=f_{DTS}/4</math>，N=8</p> <p>1111：采样频率 <math>f_{SAMPLING}=f_{DTS}/32</math>，N=8</p>

位 3: 2	C1IDIV	0x0	rw	<p>通道 1 分频系数 (Channel 1 input divider)</p> <p>这些位定义了通道 1 的分频系数。</p> <p>00: 不分频, 每一个有效的边沿都会产生一次输入;</p> <p>01: 每 2 个有效的边沿产生一次输入;</p> <p>10: 每 4 个有效的边沿产生一次输入;</p> <p>11: 每 8 个有效的边沿产生一次输入。</p> <p>注: C1EN='0'时, 分频系数复位。</p>
位 1: 0	C1C	0x0	rw	<p>通道 1 配置 (Channel 1 configure)</p> <p>当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择:</p> <p>00: 输出;</p> <p>01: 输入, C1IN 映射在 C1IFP1 上;</p> <p>10: 保留;</p> <p>11: 保留。</p>

### 14.3.4.6 TMR14通道控制寄存器 (TMRx\_CTRL)

域	简称	复位值	类型	功能
位 15: 14	保留	0x0	resd	保持默认值。
位 3	C1CP	0x0	rw	<p>通道 1 互补极性 (Channel 1 complementary polarity)</p> <p>0: C1COUT 的有效电平为高</p> <p>1: C1COUT 的有效电平为低</p>
位 2	保留	0x0	resd	保持默认值。
位 1	C1P	0x0	rw	<p>通道 1 极性 (Channel 1 polarity)</p> <p>通道 1 配置为输出:</p> <p>0: C1OUT 的有效电平为高</p> <p>1: C1OUT 的有效电平为低</p> <p>通道 1 配置为输入:</p> <p>C1LP/C1P 位共同定义输入信号有效沿。</p> <p>00: C1IN 的有效边沿为上升沿; 作为外部触发使用时, C1IN 不反相。</p> <p>01: C1IN 的有效边沿为下降沿; 作为外部触发使用时, C1IN 反相。</p> <p>10: 保留</p> <p>11: C1IN 的有效边沿为上升沿和下降沿; 作为外部触发使用时, C1IN 不反相。</p>
位 0	C1EN	0x0	rw	<p>通道 1 使能 (Channel 1 enable)</p> <p>0: 禁止输入或输出;</p> <p>1: 使能输入或输出。</p>

表 14-8 标准 CxOUT 通道的输出控制位

CxEN 位	CxOUT 输出状态
0	禁止输出 (CxOUT=0)
1	CxOUT = CxORAW + 极性

注意: 连接到标准 CxOUT 通道的外部 I/O 引脚状态, 取决于 CxOUT 通道状态和 GPIO 以及 AFIO 寄存器。

### 14.3.4.7 TMR14计数值 (TMRx\_CVAL)

域	简称	复位值	类型	功能
位 15: 0	CVAL	0x0	rw	计数值 (Counter value)

### 14.3.4.8 TMR14预分频器 (TMRx\_DIV)

域	简称	复位值	类型	功能
位 15: 0	DIV	0x0	rw	<p>分频系数 (Divider value)</p> <p>计数器时钟频率 <math>f_{CK\_CNT} = f_{TMR\_CLK} / (DIV[15: 0] + 1)</math></p> <p>溢出事件发生时该寄存器值被传送到实际的预分频寄存器中。</p>

#### 14.3.4.9 TMR14周期寄存器（TMRx\_PR）

域	简称	复位值	类型	功能
位 15: 0	PR	0x0	rw	周期值（Period value） 定时器计数的周期值。当周期值为 0 时，定时器不工作。

#### 14.3.4.10 TMR14通道1数据寄存器（TMRx\_C1DT）

域	简称	复位值	类型	功能
位 15: 0	C1DT	0x0	rw	通道 1 数据寄存器值（Channel 1 data register） 若通道 1 配置为输入： C1DT 是前一次通道 1 输入事件（C1IN）所保存的 CVAL。 若通道 1 配置为输出： C1DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位（C1OBEN），并根据设置在 C1OUT 上产生相应的输出。

#### 14.3.4.11 TMR14通道输入重映射寄存器（TMR14\_RMP）

域	简称	复位值	类型	功能
位 15: 2	保留	0x00	resd	保持默认值。
位 1: 0	TMR14_CH1_IRMP	0x0	rw	TMR14 通道 1 输入重映射(TMR14 channel 1 input remap) 00: TMR14 通道 1 输入与 GPIO 相连接 01: ERTC_CLK 10: 32 分频后 HEXT 11: CLK_OUT



## 14.4 通用定时器（TMR15）

### 14.4.1 TMR15简介

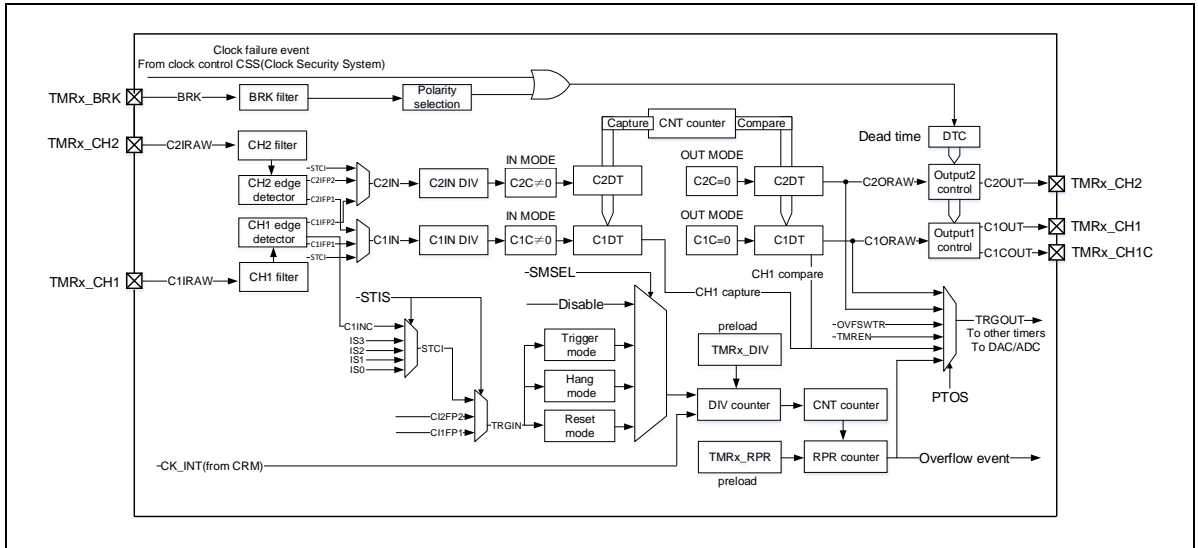
TMR15 包含一个支持向上计数的 16 位计数器、2 个捕获/比较寄存器、2 组独立的通道。可实现嵌入死区、输入捕获、可编程 PWM 输出。

### 14.4.2 TMR15主要功能

TMR15 定时器的功能包括：

- 可选内部时钟、外部输入、内部触发输入用作计数时钟
- 16位向上计数器、8位重复计数计数器
- 2组独立通道，支持输入捕获、输出比较、PWM生成、单周期模式、死区插入。
- 1组支持互补输出的独立通道
- 支持TMR刹车功能
- 定时器之间可互联同步
- 支持溢出事件、触发事件、刹车输入、通道事件触发中断/DMA
- 支持TMR burst DMA传输

图 14-50 TMR15定时器框图

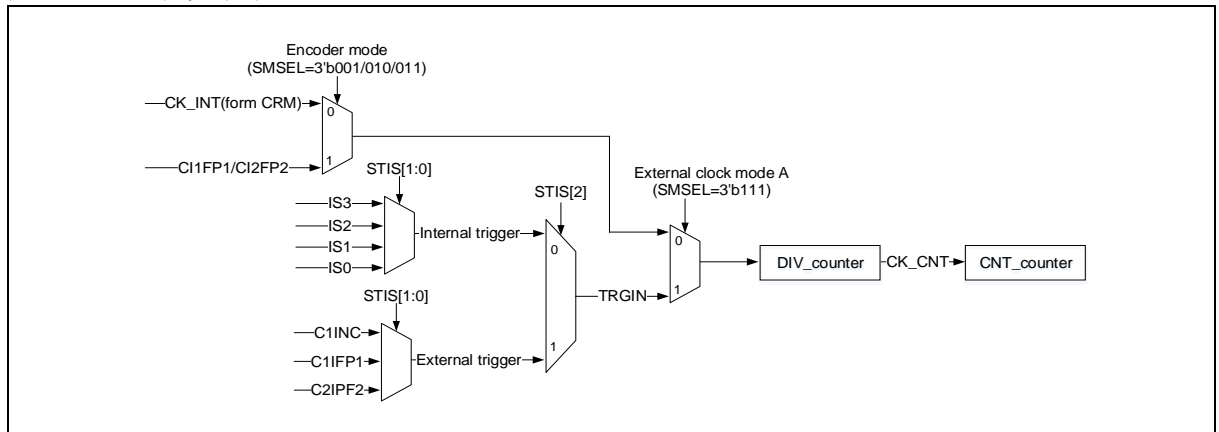


### 14.4.3 TMR15功能描述

#### 14.4.3.1 计数时钟

TMR15 计数时钟可从内部时钟（CK\_INT）、外部时钟（外部时钟模式 A）、内部触发输入（ISx）这些时钟源提供。

图 14-51 计数时钟



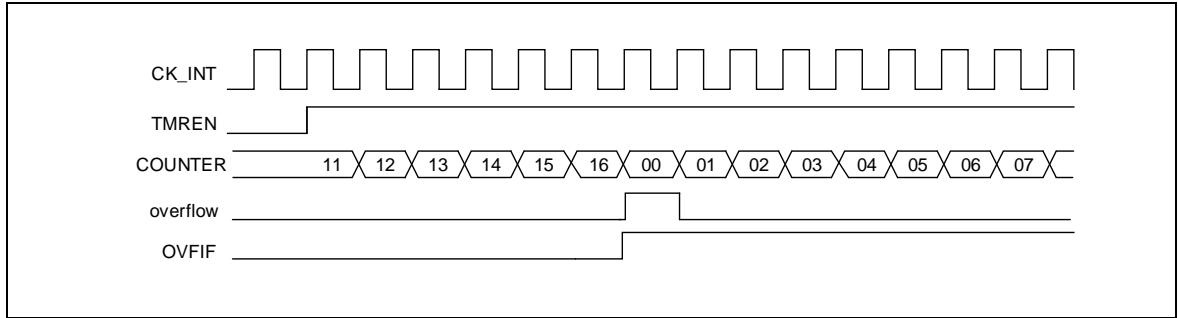


## 内部时钟 (CK\_INT)

默认下使用 CK\_INT 经由预分频器驱动计数器计数，当 TMR 对应的 APB 时钟预分频系数是 1 时，CK\_INT 频率等于 APB 时钟频率，否则 CK\_INT 频率等于 APB 时钟频率的 2 倍。相关配置流程如下：

- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-52 使用 CK\_INT 计数，TMRx\_DIV=0x0，周期寄存器 TMRx\_PR=0x16



## 外部时钟 (TRGIN/EXT)

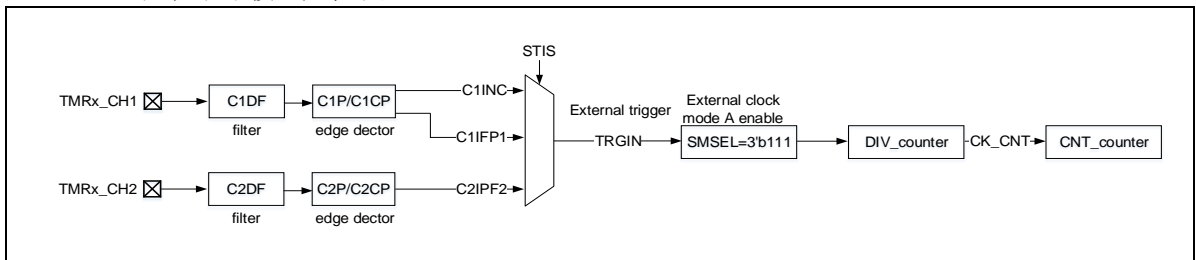
计数时钟由 TRGIN 外部时钟源提供。

当 SMSEL=3'b111 时，外部时钟模式 A 被选中，配置 STIS[2: 0] 来选择外部时钟源 TRGIN 信号驱动计数器计数。外部时钟源 TRGIN 可选则 C1INC (STIS=3'b100, 通道 1 上升沿和下降沿信号)、C1IFP1 (STIS=3'b101, 通道 1 滤波且极性选择后信号) 和 C2IFP2 (STIS=3'b110, 通道 2 滤波且极性选择后信号)。

若要使用外部时钟模式 A，可按如下步骤配置：

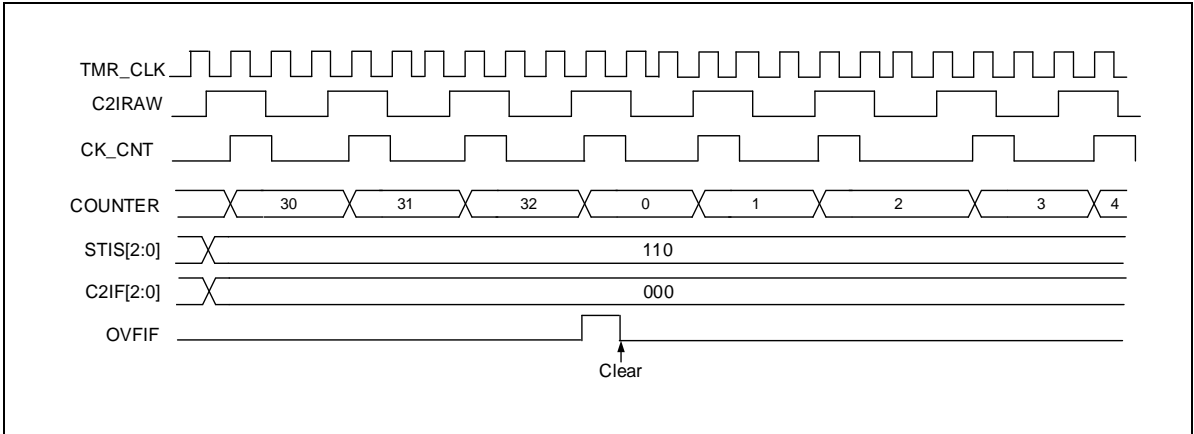
- 配置外部时钟源 TRGIN 参数。
  - 若选择 TRGIN 来源为 TMRx\_CH1，需配置通道 1 输入滤波 (TMRx\_CM1 寄存器 C1DF[3:0]) 和通道 1 输入极性 (TMRx\_CCTRL 寄存器 C1P/C1CP)。
  - 若选择 TRGIN 来源为 TMRx\_CH2，需配置通道 2 输入滤波 (TMRx\_CM1 寄存器 C2DF[3:0]) 和通道 1 输入极性 (TMRx\_CCTRL 寄存器 C2P/C2CP)。
- 配置 TMRx\_STCTRL 寄存器 STIS[1:0]，设置 TRGIN 信号来源。
- 配置 TMRx\_STCTRL 寄存器 SMSEL=3'b111，使能外部时钟模式 A。
- 配置 TMRx\_DIV 寄存器 DIV[15:0]，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器 PR[15:0]，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-53 外部时钟模式 A 框图



注：由于同步逻辑，输入端信号与计数器实际时钟之间存在一定延时。

图 14-54 使用外部时钟模式A计数，PR=0x32，DIV=0x0



**内部触发输入 (ISx)**

定时器之间支持互联同步,因此一个定时器的 TMR\_CLK 可由另一个定时器输出信号 TRGOUT 提供。配置 STIS[2:0]选择内部触发信号驱动计数器计数。

TMR15 定时器内含一个 16 位预分频器,用于产生驱动计数器计数的时钟 CK\_CNT,通过配置 TMR15\_DIV 寄存器值,可灵活调整 CK\_CNT 与 TMR\_CLK 之间的分频关系。预分频值可在任何时刻修改,但只在下一个溢出事件发生时,新值才会生效。

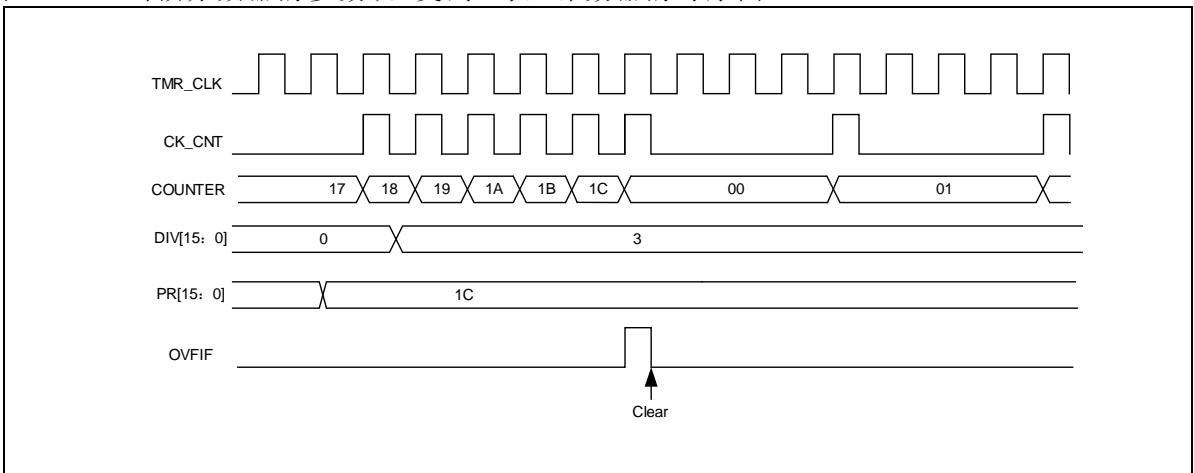
内部触发输入配置流程如下:

- 配置 TMRx\_PR 寄存器,设置计数器计数周期。
- 配置 TMRx\_DIV 寄存器,设置计数器计数频率。
- 配置 TMRx\_STCTRL 寄存器 STIS[2:0]位范围为 3'b000~3'b011,选择内部触发。
- 配置 TMRx\_STCTRL 寄存器 SMSEL[2:0]=3'b111,选择外部时钟模式 A。
- 配置 TMRx\_CTRL1 寄存器 TMREN 位,使能 TMRx 计数。

表 14-9 TMRx内部触发连接

次定时器	IS0 (STIS=000)	IS1 (STIS=001)	IS2 (STIS=010)	IS3 (STIS=011)
TMR1	TMR15	-	TMR3	-
TMR3	TMR1	-	TMR15	-
TMR15	-	TMR3	TMR16	TMR17_OC

图 14-55 当预分频器的参数从1变到4时,计数器的时序图



**14.4.3.2 计数模式**

TMR15 定时器提供了多种计数模式,用来满足不同的应用场景。其内部拥有一个支持 16 位向上计数的计数器。

TMRx\_PR 寄存器用于设置计数器计数周期。默认 TMRx\_PR 寄存器值会立即传入它的影子寄存器;

当开启周期缓冲功能后(**PRBEN** 置 1),**TMRx\_PR** 寄存器值在溢出事件发生时传入它的影子寄存器。

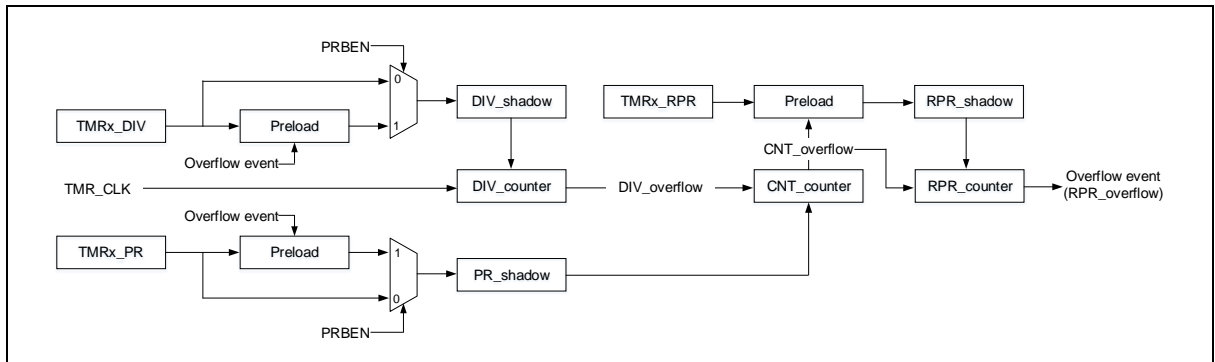
**TMRx\_DIV** 寄存器用于设置计数器计数频率, 每 (**DIV[15:0]+1**) 个计数时钟周期, 计数器计数一次。和 **TMRx\_PR** 寄存器类似, 开启周期缓冲功能后, **TMRx\_DIV** 寄存器值在溢出事件时更新至它的影子寄存器。

读取 **TMRx\_CNT** 寄存器会返回当前计数器计数值, 写入 **TMRx\_CNT** 寄存器会更新计数器当前计数值为写入值。

默认允许产生溢出事件, 设置 **TMRx\_CTRL1** 寄存器 **OVFEN=1** 将禁止更新事件产生。**TMRx\_CTRL1** 寄存器 **OVFS** 用于选择溢出事件来源, 默认计数器上溢或下溢、置位 **OVFSWTR**、复位模式次定时器控制器产生的复位信号产生溢出事件。置位 **OVFS** 后, 只有计数器上溢或下溢产生溢出事件。

**TMREN** 位置 1 将使能定时器计数, 由于同步逻辑, 实际驱动计数器的使能信号 **TMR\_EN** 相对于 **TMREN** 延迟一个时钟周期。

图 14-56 计数器基本结构



### 向上计数模式

配置 **TMRx\_CTRL1** 寄存器 **CMSEL[1:0]=2'b00**, **OWCDIR=1'b0** 开启向上计数模式, 计数值达到 **TMRx\_PR** 值时, 重新从 0 向上计数, 计数器上溢并产生溢出事件, 同时 **OVFIF** 位置 1。若禁止产生溢出事件, 计数器溢出后不再重载预分频值和周期值, 否则预分频值和周期值在溢出事件后更新。

图 14-57 PRBEN=0时的溢出事件

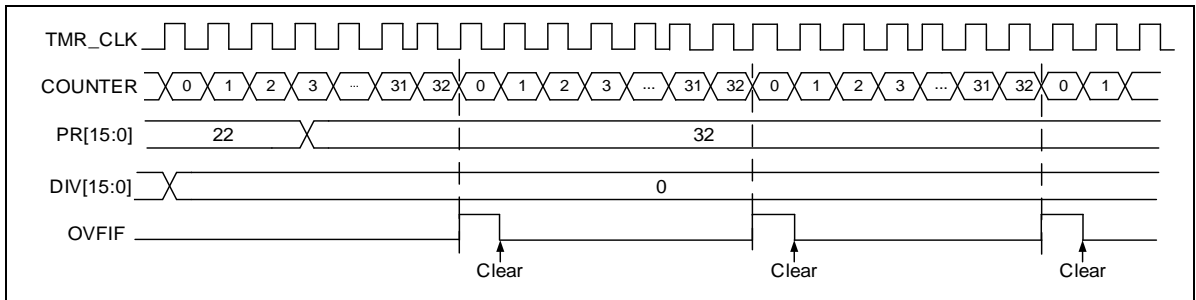
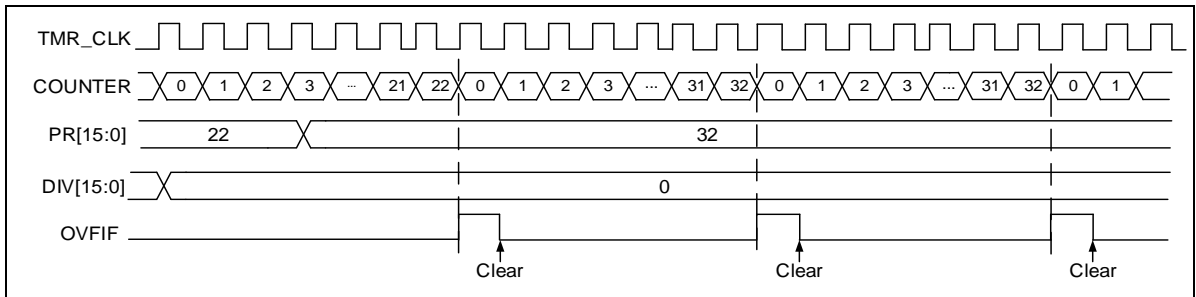


图 14-58 PRBEN=1时的溢出事件

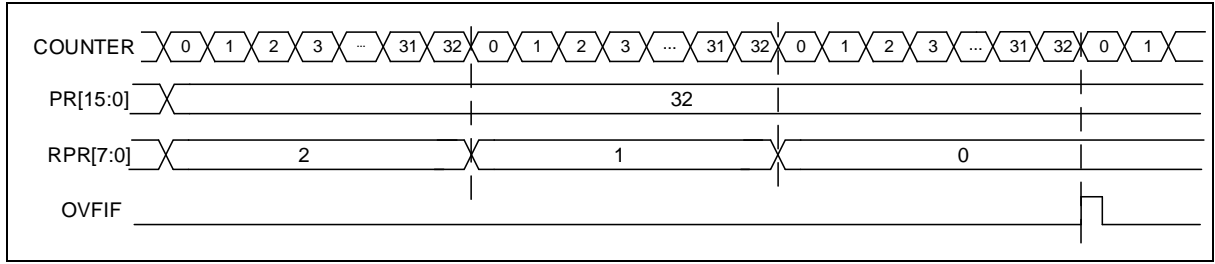


### 重复计数模式:

**TMRx\_RPR** 寄存器用于配置重复计数器计数周期, **TMRx\_RPR** 寄存器为非 0 值时, 重复计数模式启动。重复计数模式下, 每 (**RPR[7:0]+1**) 次计数器溢出将产生一次溢出事件。每次计数器溢出, 重复

计数器递减，仅当重复计数器计数值等于 0 值时，计数器溢出会产生溢出事件。通过配置不同重复计数器值，可调整溢出事件产生的频率。

图 14-59 RPR=2时的OVFIF



### 14.4.3.3 TMR输入部分

TMR15 拥有 2 个独立通道，每个通道可配置为输入或输出，当配置位输入时，当配置位输入时，当配置为输入时，每个通道输入信号依次经过以下处理：

- TMRx\_CHx 经过预处理输出 CxIRAW。配置 C1INSEL 位，选择 CxIRAW 来源是 TMRx\_CHx。
- CxIRAW 输入数字滤波器，输出滤波后信号 CxIF。数字滤波器通过 CxDF 位配置采样频率和次数。
- CxIF 输入边沿检测器，输出边沿选择后信号 CxIFPx。边沿选择由 CxP 和 CxCP 位共同控制，可选择输入上升沿、下降沿或双边沿有效。
- CxIFPx 输入捕获信号选择器，输出选择后信号 CxIN。捕获信号选择器由 CxC 控制，可选择 CxIN 来源为 CxIFPx、CyIFPx、STCI。其中 CyIFPx (x≠y) 是来自通道 y 的 CyIFPy 经通道 x 边沿检测器处理后的信号（例如 C1IFP2 是来自通道 1 的 C1IFP1 信号经过通道 2 边沿检测器处理后的信号）；STCI 来自次定时器控制器，由 STIS 位选择来源。
- CxIN 经由输入通道分频器，输出分频后信号 CxIPS。分频系数由 CxIDIV 位配置为不分频、2 分频、4 分频或 8 分频。

图 14-60 输入/输出通道 1 的主电路

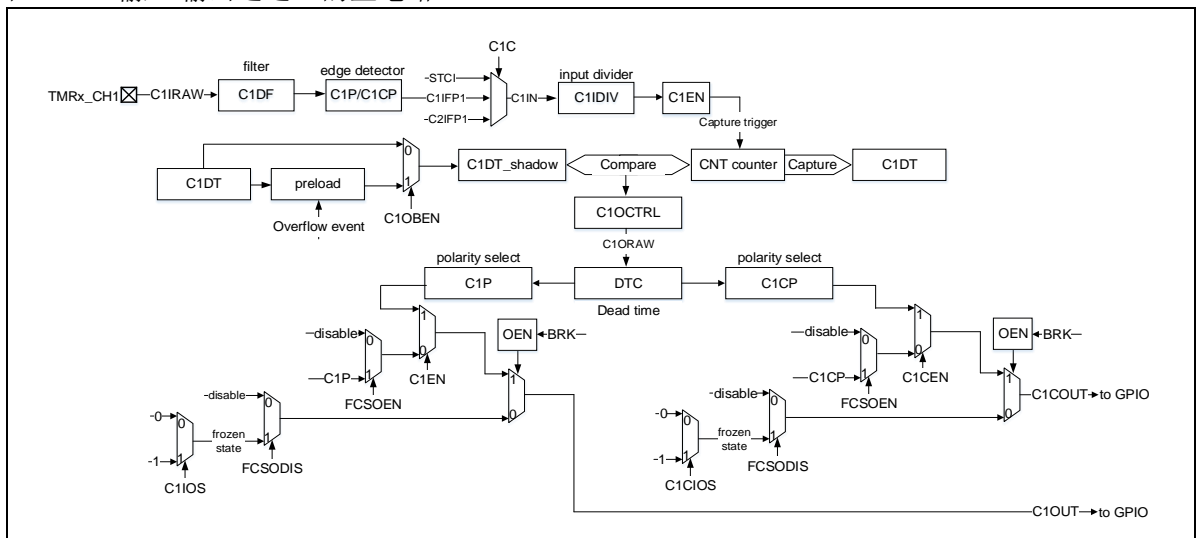
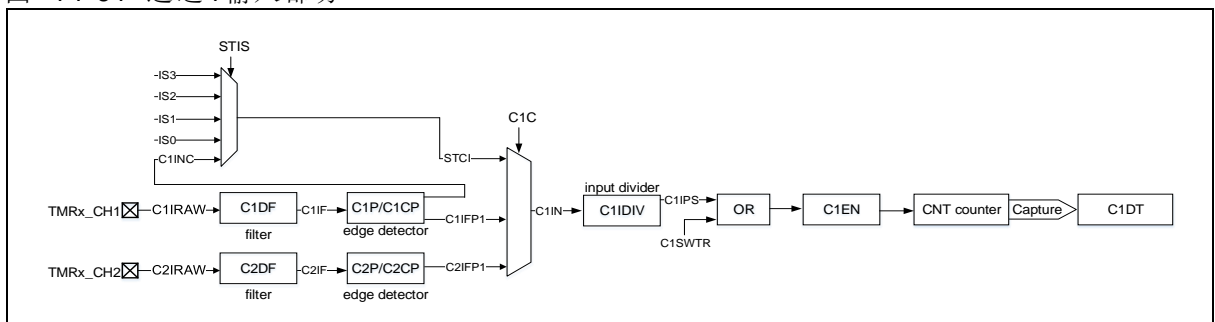


图 14-61 通道1输入部分



## 输入模式

此模式下，当选中的触发信号被检测到，通道寄存器（TMRx\_CxDT）记录当前计数器计数值，并将捕获比较中断标志位（CxIF）置 1，若已使能通道中断（CxIEN）、通道 DMA 请求（CxDEN）则产生相应的中断和 DMA 请求。若在 CxIF 置 1 后检测到触发信号，将产生捕获溢出事件，TMRx\_CxDT 会使用当前计数器计数值覆盖之前记录的计数器计数值，同时通道再捕获标志位（CxRF）置 1。

若要捕获 C1IN 输入的上升沿，可按如下进行配置：

- 将通道模式寄存器 1（TMR15\_CM1）中的 C1C 位配置为 01，选择 C1IN 作为通道 1 输入。
- 配置 C1IN 信号滤波器带宽（CxDF[3:0]）。
- 配置 C1IN 通道的有效沿，在 TMR15\_CTRL 寄存器中写入 C1P=0（上升沿）。
- 配置 C1IN 信号捕获分频（C1DIV[1:0]）。
- 使能通道 1 输入捕获（C1EN=1）。
- 根据需要设置 TMR15\_IDEN 寄存器中的 C1IEN 为、TMR15\_IDEN 寄存器中的 C1DEN 位，选择中断请求或 DMA 请求。

## PWM 输入

PWM 输入模式适用于通道 1 和 2，要使用此模式，需要将 C1IN 和 C2IN 映射到同一 TMRx\_CHx，并且通道 1 或 2 的 CxIFPx 配置成触发次定时器控制器复位。

PWM 输入模式可用于测量输入信号的周期和占空比，如需测量通道 1 输入信号的周期和占空比，操作步骤如下：

- 配置 C1C=2'b01，选择 C1IN 为 C1IFP1。
- 配置 C1P=1'b0，选择 C1IFP1 上升沿有效。
- 配置 C2C=2'b10，选择 C2IN 为 C1IFP2。
- 配置 C2P=1'b1，选择 C1IFP2 下降沿有效。
- 配置 STIS=3'b101，选择次定时器触发信号为 C1IFP1。
- 配置 SMSEL=3'b100，选择次定时器模式为复位模式。
- 配置 C1EN=1'b1，C2EN=1'b1。使能通道 1 和输入捕获。

上述配置下，通道 1 输入信号的上升沿会触发捕获并将捕获值存储到 C1DT 寄存器，同时通道 1 输入信号上升沿复位计数器。通道 1 输入信号下降沿触发捕获并将捕获值存储到 C2DT 寄存器。通道 1 输入信号的周期可通过 C1DT 计算，占空比可通过 C2DT 计算。

图 14-62 PWM 输入模式配置实例

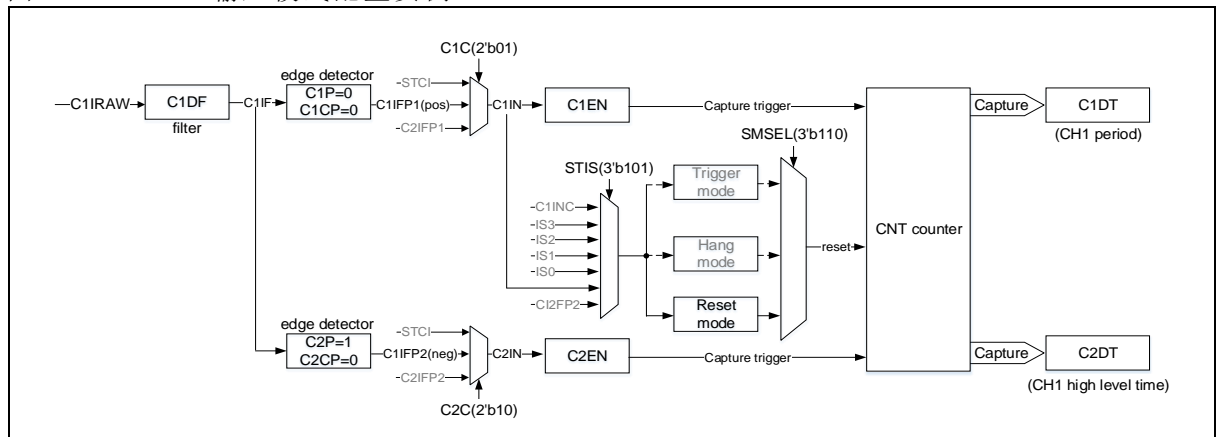
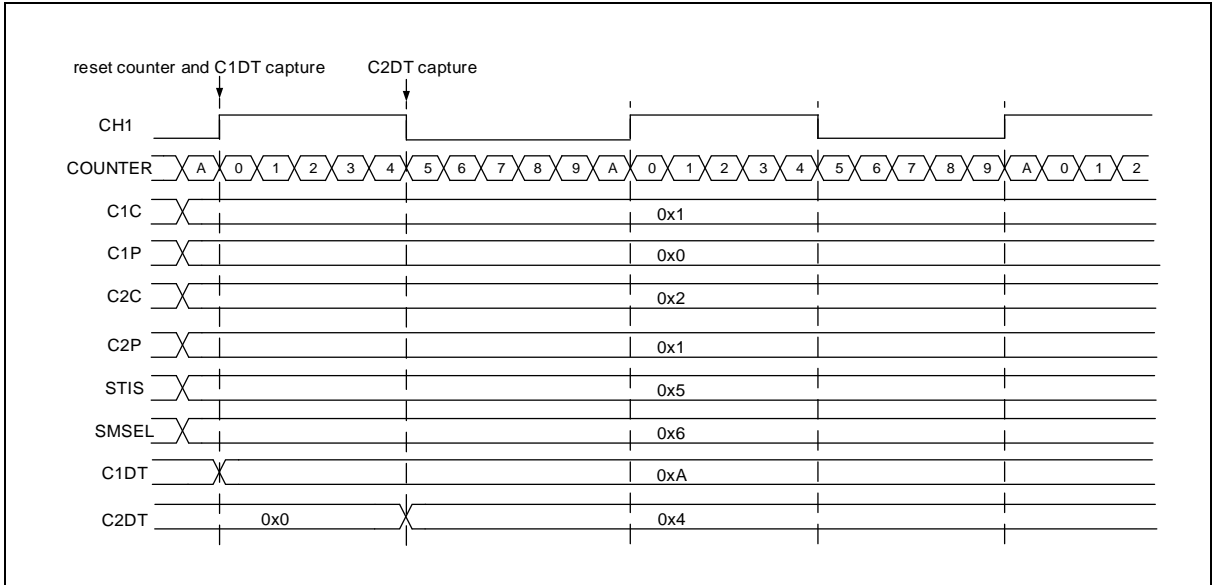




图 14-63 PWM输入模式



### 14.4.3.4 TMR输出部分

TMR 的输出部分由比较器和输出控制构成，用于编程输出信号的周期、占空比、极性。TMR15 的输出部分在不同通道上有所不同，如下图所示：

图 14-64 通道1输出部分

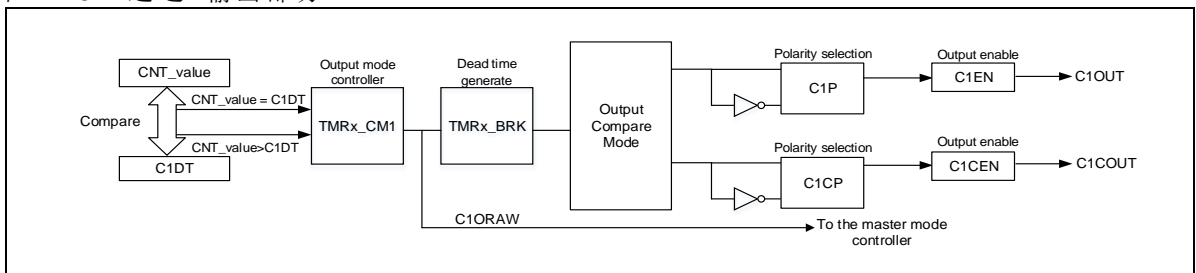
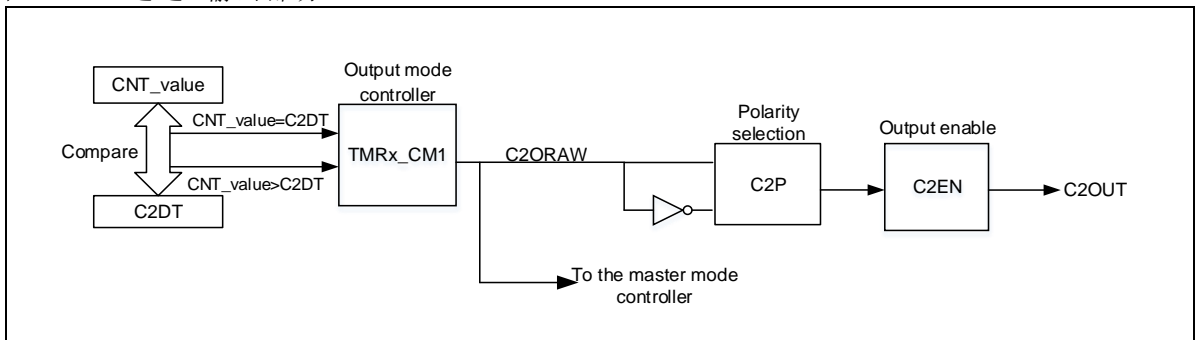


图 14-65 通道2输出部分



#### 输出模式

配置  $CxC[1:0] \neq 2'b00$  将通道配置为输出可实现多种输出模式，此时，计数器计数值将与  $CxD$  寄存器值比较，并根据  $CxOCTRL[2:0]$  位配置的输出模式，产生中间信号  $CxORAW$ ，再经过输出控制逻辑处理后输送到 IO。输出信号的周期由  $TMR15\_PR$  寄存器值配置，占空比则由  $CxD$  寄存器值配置。输出比较模式有以下子类：

**PWM 模式 A:**  $CxOCTRL=3'b110$  时，开启 PWM 模式 A。向上计数时， $TMRx\_C1DT > TMRx\_CVAL$  时  $C1ORAW$  输出高电平，否则为低电平；向下计数时， $TMRx\_C1DT < TMRx\_CVAL$  时  $C1ORAW$  输出低电平，否则为高电平。若要使用 PWM 模式 A，可按如下方式配置。

- 配置  $TMRx\_PR$  寄存器，设置 PWM 周期。
- 配置  $TMRx\_CxD$  寄存器，设置 PWM 占空比。

- 配置 TMRx\_CM1/CM2 寄存器 CxOCTRL 位为 3'b110，设置输出模式为 PWM 模式 A。
- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_CTRL1 寄存器 TWCMSSEL[1:0]位，设置计数器计数模式。
- 配置 TMRx\_CCTRL 寄存器 CxP 位、CxCP 位，设置输出极性。
- 配置 TMRx\_CCTRL 寄存器 CxEN 位、CxGEN 位，使能通道输出。
- 配置 TMRx\_BRK 寄存器 OEN 位，使能 TMRx 输出。
- 配置 TMR 输出通道对应 GPIO 为对应的复用模式。
- 配置 TMRx\_CTRL1 寄存器 TMREN 位，使能 TMRx 计数。

**PWM 模式 B:** CxOCTRL=3'b111 时，开启 PWM 模式 B。向上计数时，TMRx\_C1DT>TMRx\_CVAL 时 C1ORAW 输出低电平，否则为高电平；向下计数时，TMRx\_C1DT<TMRx\_CVAL 时 C1ORAW 输出高电平，否则为低电平。

**强制输出模式:** CxOCTRL=3'b100/101 时，开启强制输出模式。此时，CxORAW 信号的电平被强制输出为配置的电平，而与计数值无关。虽然输出信号不依赖于比较结果，但通道标志位和 DMA 请求仍依赖于比较结果。

**输出比较模式:** CxOCTRL=3'b001/010/011 时，开启输出比较模式。此时，当计数值与 CxDT 值匹配时，CxORAW 强制输出高电平（CxOCTRL=3'b001）、低电平（CxOCTRL=3'b010）或进行电平翻转（CxOCTRL=3'b011）。

**单周期模式:** PWM 模式的特例，将 OCMEN 位置 1 可开启单周期模式，此模式下，仅在当前计数周期中进行比较匹配，完成当前计数后，TMREN 位清 0，因此仅输出一个脉冲。当配置为向上计数模式时，需要严格配置 CVAL<CxDT≤PR；向下计数时，需严格配置 CVAL>CxDT。

**快速输出模式:** 将 CxOIEN 位置 1 可开启此功能，开启后 CxORAW 电平值不再在计数值与 CxDT 匹配时变化，而是在当前计数周期开始时，也就是说，比较结果被提前了，计数器值与 CxDT 寄存器的比较结果将会提前决定 CxORAW 的电平。

图 14-66 展示了输出比较模式（翻转）的例子，C1DT=0x3，当计数值等于 0x3 时，输出电平 C1OUT 被翻转。

图 14-67 展示了计数器向上计数与 PWM 模式 A 配合的例子，PR=0x32，CxDT 配置为不同的值时输出时输出信号的翻转情况。

图 14-68 展示了计数器向上计数与单周期模式下 PWM 模式 B 配合的例子，计数器仅计数了一个周期，输出信号在这个周期中只输出了一个脉冲。

图 14-66 计数值与 C1DT 值匹配时翻转 C1ORAW

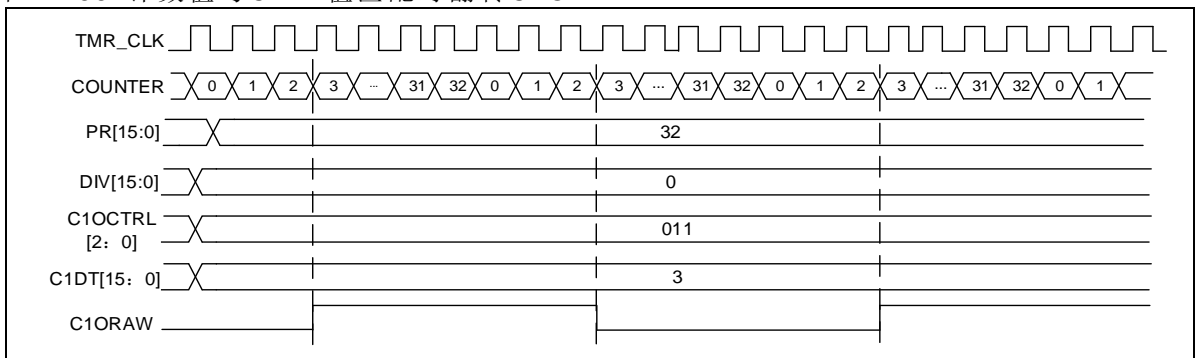


图 14-67 向上计数下PWM模式A

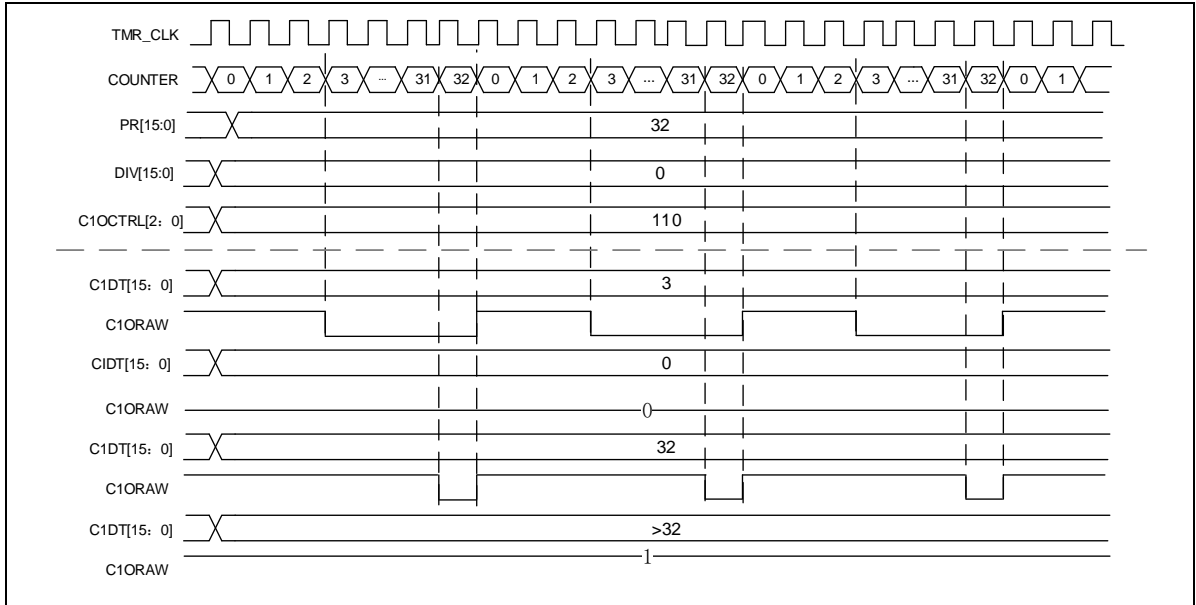
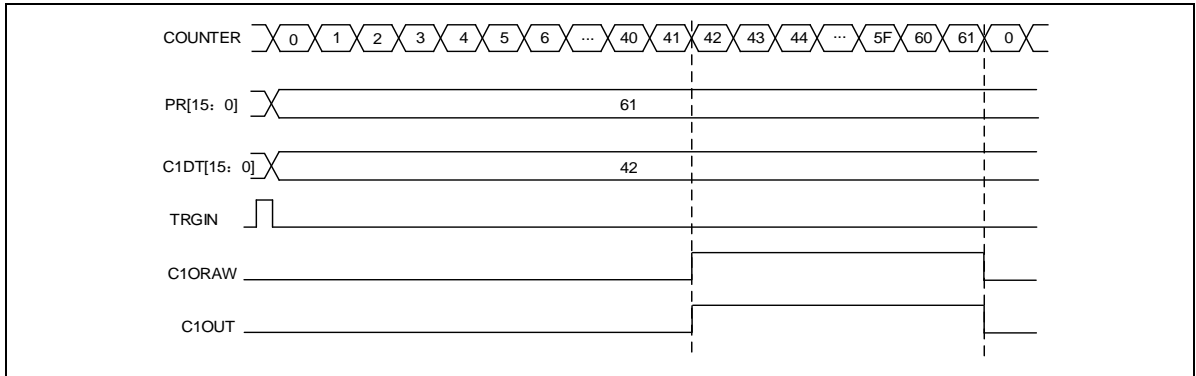


图 14-68 单周期模式



### 主定时器事件输出

当 TMR 作为主定时器时，可选择如下信号源作为 TRGOUT 信号输出到次定时器，选择信号为 TMRxCTRL2 寄存器 PTOS 位。

- PTOS=3'b000，TRGOUT 输出软件溢出事件（TMRx\_SWEVT 寄存器 OVFSWTR 位）。
- PTOS=3'b001，TRGOUT 输出计数器使能信号。
- PTOS=3'b010，TRGOUT 输出计数器溢出事件。
- PTOS=3'b011，TRGOUT 输出捕获、比较事件。
- PTOS=3'b100，TRGOUT 输出 C1ORAW 信号。
- PTOS=3'b101，TRGOUT 输出 C2ORAW 信号。

### 死区插入

TMR15 通道 1 包含一组反向通道输出，通过 CxCEN 使能，通过 CxCP 配置极性。CxOUT 和 CxCOUT 的输出状态见表 14-11。

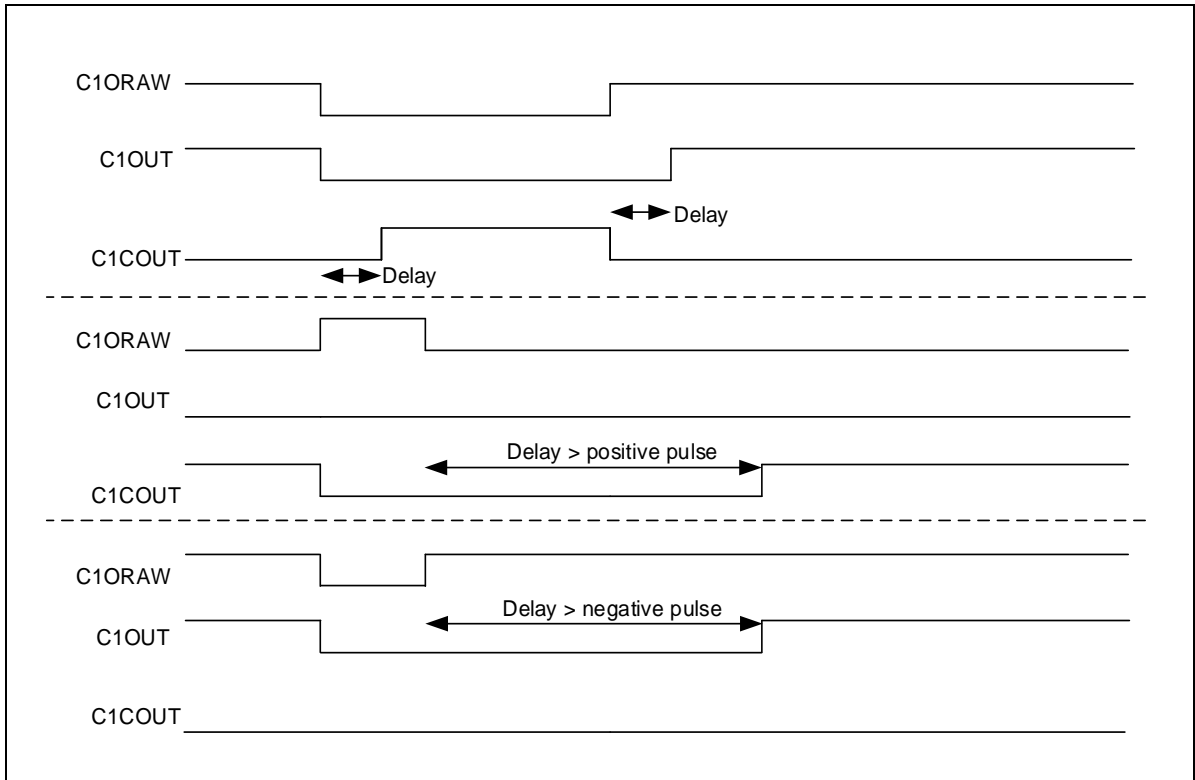
当转换为 IDLEF 状态，即 HOEN 下降到 0，死区被激活。

将 CxEN 和 CxCEN 位置 1 后，通过配置 DTC[7:0]死区发生器，可插入不同时长的死区。插入死区后，CxOUT 的上升沿延迟于参考信号的上升沿；CxCOUT 的上升沿延迟于参考信号的下沿。

如果延迟大于当前有效的输出宽度，C1OUT 和 C1COUT 不会产生相应的脉冲，死区时间应小于有效的输出宽度。

下列图显示了 CxP=0、CxCP=0、OEN=1、CxEN=1 并且 CxCEN=1 时死区插入的例子

图 14-69 带死区插入的互补输出



#### 14.4.3.5 TMR刹车功能

开启刹车功能后（BRKEN 位置 1），CxOUT 和 CxCOUT 由 OEN、FCSODIS、FCSEEN、CxIOS 和 CxCIOS 共同控制。但 CxOUT 和 CxCOUT 输出总是不能同时处于有效电平上的。详见表 14-11 带刹车功能的互补输出通道 CxOUT 和 CxCOUT 的控制位。

刹车信号来源可以是刹车输入引脚、时钟失效事件，刹车输入信号的极性由 BRKV 位控制。

当发生刹车事件时，有下述动作：

- OEN 位异步清零，通道输出状态由 FCSODIS 位选择。关闭 MCU 的振荡器不影响该功能。
- OEN 被清零后，通道输出电平由 CxIOS 位设定。如果 FCSODIS=0，则定时器输出使能被禁止，否则输出使能始终为高。
- 当使用互补输出时：
  - 输出最开始处于复位状态，也就是无效的状态（取决于极性）。这是异步操作，定时器有无时钟并不影响此功能。
  - 定时器的时钟如果有效，会开启死区生成功能，CxIOS 和 CxCIOS 位用来配置死区之后的电平。即使在这种情况下，CxOUT 和 CxCOUT 也不能被同时驱动到有效的电平。  
*注意，由于 OEN 位同步逻辑，死区时间较通常会延长一段时间（大约 2 个 ck\_tim 的时钟周期）。*
  - 如果 FCSODIS=0，定时器释放使能输出，否则保持使能输出；或一旦 CxEN 与 CxCEN 之一变高时，使能输出变为高。
- 如果开启了刹车中断或 DMA 功能，刹车状态标志将置 1，并产生刹车中断或 DMA 请求。
- 如果将 AOEN 位置 1，在下一个溢出事件时 OEN 位被自动置 1。

*注意：刹车输入电平有效时，OEN 不能被设置，状态标志 BRKIF 也不能被清除。*

图 14-70 TMR输出控制

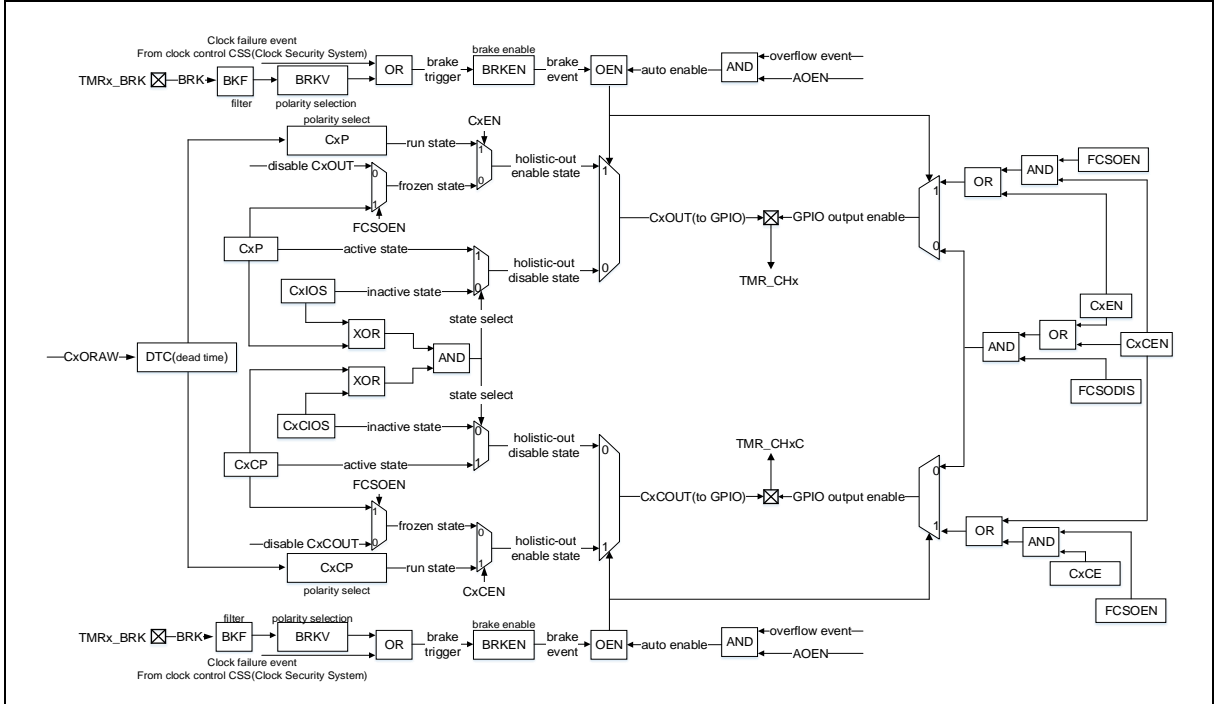
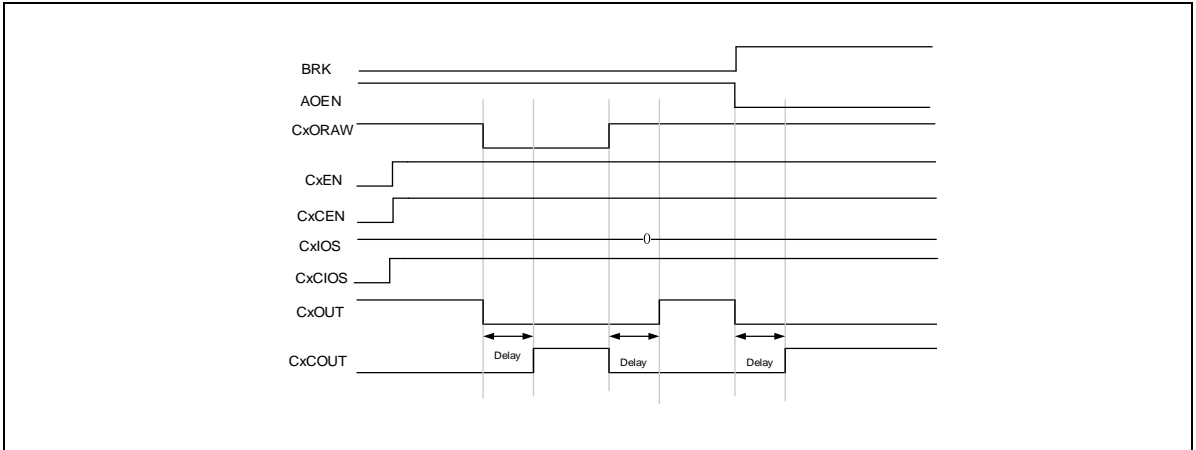


图 14-71 TMR刹车功能的例子



### 14.4.3.6 TMR同步

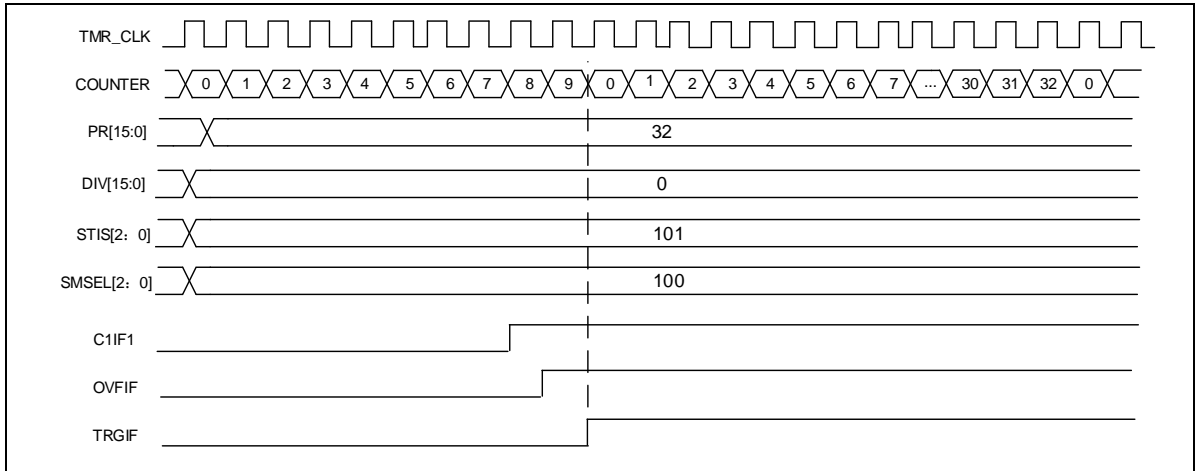
主次定时器之间可由内部连接信号进行同步。主定时器可由 PTOS[2:0]位选择主定时器输出，即同步信息；次定时器由 SMSEL[2:0]位选择从模式，即次定时器的工作模式。

定时器从模式有以下几种：

#### 从模式：复位模式

选中的触发信号将复位计数器和预分频器，若 OVFS 位为 0，将产生一个溢出事件。

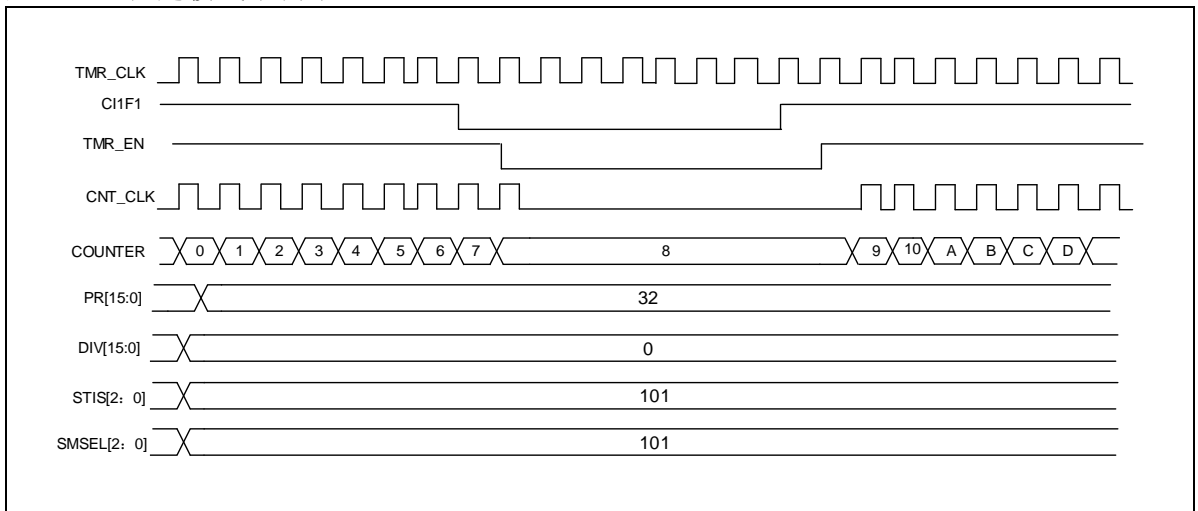
图 14-72 复位模式例子



#### 从模式：挂起模式

挂起模式下，计数的计数和刹车受选中触发输入信号控制，当触发输入为高电平时计数器开始计数；当为低电平时，计数器暂停计数。

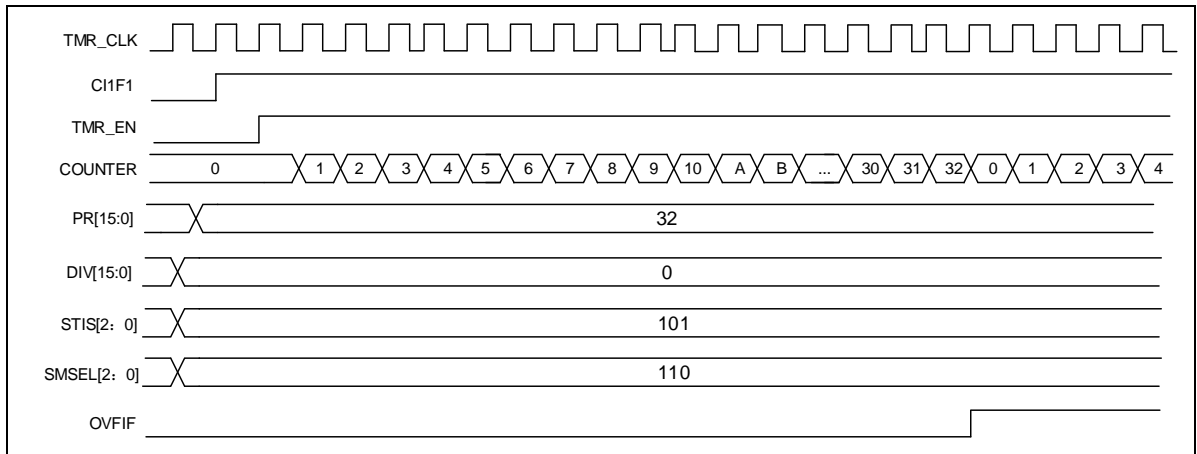
图 14-73 挂起模式下例子



**从模式：触发模式**

计数器将在选中的触发输入上升沿启动计数（将 TMR\_EN 置 1）。

图 14-74 触发器模式例子



定时器的同步的更多实例详见 [14.2.3.5](#) 节。

**14.4.3.7 调试模式**

当微控制器进入调试模式（Cortex™-M0+核心停止）时，将 DEBUG 模块中的 TMR15\_PAUSE 置 1，可以使 TMR15 计数器暂停计数。

**14.4.4 TMR15寄存器描述**

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

下表中将 TMR15 的所有寄存器映射到一个 16 位可寻址（编址）空间

表 14-10 TMR15寄存器和复位值

寄存器简称	基址偏移量	复位值
TMR15_CTRL1	0x00	0x0000
TMR15_CTRL2	0x04	0x0000
TMR15_STCTRL	0x08	0x0000
TMR15_IDEN	0x0C	0x0000
TMR15_ISTS	0x10	0x0000
TMR15_SWEVT	0x14	0x0000
TMR15_CM1	0x18	0x0000
TMR15_CCTRL	0x20	0x0000
TMR15_CVAL	0x24	0x0000
TMR15_DIV	0x28	0x0000
TMR15_PR	0x2C	0x0000
TMR15_RPR	0x30	0x0000
TMR15_C1DT	0x34	0x0000
TMR15_C2DT	0x38	0x0000
TMR15_BRK	0x44	0x0000
TMR15_DMACTRL	0x48	0x0000
TMR15_DMADT	0x4C	0x0000

## 14.4.4.1 TMR15控制寄存器1 (TMR15\_CTRL1)

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9: 8	CLKDIV	0x0	rw	时钟除频 (Clock divider) 此位用于设置数字滤波器采样频率 $f_{DTS}$ 和定时器时钟频率 $f_{CK\_INT}$ 之间的分频比, 也用于调整死区时间的时基 $T_{DTS}$ 和定时器时钟周期 $T_{CK\_INT}$ 的分频比。 00: 无除频, $f_{DTS}=f_{CK\_INT}$ ; 01: 2 除频, $f_{DTS}=f_{CK\_INT}/2$ ; 10: 4 除频, $f_{DTS}=f_{CK\_INT}/4$ ; 11: 保留。
位 7	PRBEN	0x0	rw	周期缓冲使能 (Period buffer enable) 0: 缓冲关闭; 1: 缓冲开启。
位 6: 4	保留	0x0	resd	保持默认值
位 3	OCMEN	0x0	rw	单周期使能 (One cycle mode enable) 该功能用于选择溢出事件后, 计数器是否停止。 0: 关闭; 1: 开启。
位 2	OVFS	0x0	rw	溢出事件源选择 (Overflow event source) 配置溢出事件或 DMA 请求来源。 0: 来源于计数器溢出、设置 OVFSWTR 位或次定时器控制器产生的溢出事件; 1: 只能来源于计数器溢出。
位 1	OVFEN	0x0	rw	溢出事件使能 (Overflow event enable) 0: 开启; 1: 关闭。
位 0	TMREN	0x0	rw	使能定时器 (TMR enable) 0: 关闭; 1: 开启。

## 14.4.4.2 TMR15控制寄存器2 (TMR15\_CTRL2)

域	简称	复位值	类型	功能
位 31: 11	保留	0x0	resd	保持默认值
位 10	C2IOS	0x0	rw	通道 2 空闲输出状态 (Channel 2 idle output state)
位 9	C1CIOS	0x0	rw	通道 1 互补空闲输出状态 (Channel 1 complementary idle output state) 输出关闭 (OEN = 0), 死区发生后: 0: C1COUT=0; 1: C1COUT=1。
位 8	C1IOS	0x0	rw	通道 1 空闲输出状态 (Channel 1 idle output state) 输出关闭 (HOEN = 0), 死区发生后: 0: C1OUT=0。 1: C1OUT=1。
位 7	保留	0x0	resd	保持默认值
位 6: 4	PTOS	0x0	rw	主定时器输出信号选择 (Primary TMR output selection) TMR15 输出到次定时器的信号选择: 000: 复位; 001: 使能; 010: 溢出; 011: 比较脉冲; 100: C1ORAW 信号; 101: C2ORAW 信号;
位 3	DRS	0x0	rw	DMA 请求源 (DMA request source) DMA 请求来源。 0: 通道事件; 1: 溢出事件。



位 2	CCFS	0x0	rw	通道控制位刷新选择 (Channel control bit flash select) 对具有互补输出的通道, 如果通道控制位有缓存时: 0: 通过设置 HALL 位刷新控制位; 1: 通过设置 HALL 位或 TRGIN 的上升沿刷新控制位。
位 1	保留	0x0	resd	保持默认值。
位 0	CBCTRL	0x0	rw	通道缓存控制 (Channel buffer control) 对具有互补输出的通道: 0: CxEN, CxCEN 和 CxOCTRL 位无缓存; 1: CxEN, CxCEN 和 CxOCTRL 位有缓存。

#### 14.4.4.3 TMR15次定时器控制寄存器 (TMR15\_STCAL)

域	简称	复位值	类型	功能
位 31: 8	保留	0x0	resd	保持默认值
位 7	STS	0x0	rw	次定时器同步 (Subordinate TMR synchronization) 该位开启后, 主次定时器可实现高度同步。 0: 关闭; 1: 开启。
位 6: 4	STIS	0x0	rw	次定时器输入选择 (Subordinate TMR input selection) 用于次定时器的输入选择。 000: 内部选择 0 (IS0); 001: 内部选择 1 (IS1); 010: 内部选择 2 (IS2); 011: 内部选择 3 (IS3); 100: C1IRAW 的输入检测器 (C1INC); 101: 滤波输入 1 (C1IF1); 110: 滤波输入 2 (C2IF2); 关于每个定时器中 ISx 的细节, 参见表 14-9。
位 3	保留	0x0	resd	保留, 保持默认值。
位 2: 0	SMSEL	0x0	rw	次定时器模式选择 (Subordinate TMR mode selection) 000: 关闭从模式; 100: 复位模式 - TRGIN 输入上升沿时, 重新初始化计数器; 101: 挂起模式 - TRGIN 输入高电平时, 计数器计数; 110: 触发模式 - TRGIN 输入上升沿时, 产生触发事件; 111: 外部时钟模式 A - TRGIN 输入上升沿时, 提供时钟;

#### 14.4.4.4 TMR15 DMA/中断使能寄存器 (TMR15\_IDEN)

域	简称	复位值	类型	功能
位 15	保留	0x0	resd	保持默认值。
位 14	TDEN	0x0	rw	触发 DMA 请求使能 (Trigger DMA request enable) 0: 关闭; 1: 开启。
位 13	HALLDE	0x0	rw	HALL DMA 请求使能 (HALL DMA request enable) 0: 关闭; 1: 开启。
位 12: 11	保留	0x0	resd	保持默认值
位 10	C2DEN	0x0	rw	通道 2 的 DMA 请求使能 (Channel 2 DMA request enable) 0: 关闭; 1: 开启。
位 9	C1DEN	0x0	rw	通道 1 的 DMA 请求使能 (Channel 1 DMA request enable) 0: 关闭; 1: 开启。
位 8	OVFDEN	0x0	rw	溢出事件的 DMA 请求使能 (overflow event DMA request enable) 0: 关闭; 1: 开启。
位 7	BRKIE	0x0	rw	刹车中断使能 (Brake interrupt enable) 0: 关闭; 1: 开启。

位 6	TIEN	0x0	rw	触发中断使能 (Trigger interrupt enable) 0: 关闭; 1: 开启。
位 5	HALLIEN	0x0	rw	HALL 中断使能 (HALL interrupt enable) 0: 关闭; 1: 开启。
位 4: 3	保留	0x0	resd	保持默认值
位 2	C2IEN	0x0	rw	通道 2 中断使能 (Channel 2 interrupt enable) 0: 关闭; 1: 开启。
位 1	C1IEN	0x0	rw	通道 1 中断使能 (Channel 1 interrupt enable) 0: 关闭; 1: 开启。
位 0	OVFIEN	0x0	rw	溢出中断使能 (Overflow interrupt enable) 0: 关闭; 1: 开启。

#### 14.4.4.5 TMR15中断状态寄存器 (TMR15\_ISTS)

域	简称	复位值	类型	功能
位 15: 11	保留	0x0	resd	保持默认值。
位 10	C2RF	0x0	rw0c	通道 2 再捕获标记 (Channel 2 recapture flag) 见 C1RF 的描述。
位 9	C1RF	0x0	rw0c	通道 1 再捕获标记 (Channel 1 recapture flag) C1IF 的状态已经为'1'时是否再次发生了捕获, 由硬件置'1', 写'0'清除。 0: 无捕获发生; 1: 捕获发生。
位 8	保留	0x0	resd	保持默认值。
位 7	BRKIF	0x0	rw0c	刹车中断标记 (Brake interrupt flag) 用于标记刹车输入的电平是否有效, 由硬件置'1', 写'0'清除。 0: 无效; 1: 有效。
位 6	TRGIF	0x0	rw0c	触发中断标记 (Trigger interrupt flag) 当发生触发事件时由硬件置'1', 写'0'清除。 0: 无触发事件发生; 1: 发生触发事件。 触发事件: 在 TRGIN 接收到有效边沿, 或挂起模式下接收到任意边沿。
位 5	HALLIF	0x0	rw0c	HALL 中断标记 (HALL interrupt flag) 当发生触发事件时由硬件置'1', 写'0'清除。 0: 无 HALL 事件发生; 1: 发生 HALL 事件。 HALL 事件: CxEN、CxLEN、CxOCTRL 已被更新。
位 4: 3	保留	0x0	resd	保持默认值
位 2	C2IF	0x0	rw0c	通道 2 中断标记 (Channel 2 interrupt flag) 见 C1IF 的描述。
位 1	C1IF	0x0	rw0c	通道 1 中断标记 (Channel 1 interrupt flag) 若通道 1 为输入模式时: 捕获事件发生时由硬件置'1', 由软件清'0'或读 TMR15_C1DT 清'0'。 0: 无捕获事件发生; 1: 发生捕获事件。 若通道 1 为输出模式时: 比较事件发生时由硬件置'1', 由软件清'0'。 0: 无比较事件发生; 1: 发生比较事件。
位 0	OVFIF	0x0	rw0c	溢出中断标记 (Overflow interrupt flag) 当溢出事件发生时由硬件置'1', 由软件清'0'。 0: 无溢出事件发生;

- 
- 1: 发生溢出事件, 若 TMR15\_CTRL1 的 OVFEN=0、OVFS=0 时:
- 当 TMR15\_SWEVE 寄存器的 OVFG=1 时产生溢出事件;
  - 当计数值 CVAL 被触发事件重初始化时产生溢出事件。
-

## 14.4.4.6 TMR15软件事件寄存器 (TMR15\_SWEVT)

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7	BRKSWTR	0x0	wo	软件触发刹车事件 (Brake event triggered by software) 通过软件触发一个刹车事件。 0: 无作用; 1: 制造一个刹车事件。
位 6	TRGSWTR	0x0	wo	软件触发触发事件 (Trigger event triggered by software) 通过软件触发一个触发事件。 0: 无作用; 1: 制造一个触发事件。
位 5	HALLSWTR	0x0	wo	软件触发 HALL 事件 (HALL event triggered by software) 通过软件产生一个 HALL 事件。 0: 无作用; 1: 产生一个 HALL 事件。 注: 该位只对拥有互补输出的通道有效。
位 4: 3	保留	0x0	resd	保持默认值
位 2	C2SWTR	0x0	wo	软件触发通道 2 事件 (Channel 2 event triggered by software) 见 C1M 的描述。
位 1	C1SWTR	0x0	wo	C1SWTR: 软件触发通道 1 事件 (Channel 1 event triggered by software) 通过软件触发一个通道 1 事件。 0: 无作用; 1: 制造一个通道 1 事件。
位 0	OVFSWTR	0x0	wo	软件触发溢出事件 (Overflow event triggered by software) 通过软件触发一个溢出事件。 0: 无作用; 1: 制造一个溢出事件。

## 14.4.4.7 TMR15通道模式寄存器1 (TMR15\_CM1)

通道可用于输入 (捕获模式) 或输出 (比较模式), 通道的方向由相应的 CxC 位定义。该寄存器其它位的作用在输入和输出模式下不同。CxOx 描述了通道在输出模式下的功能, CxIx 描述了通道在输入模式下的功能。因此必须注意, 同一个位在输出模式和输入模式下的功能是不同的。

## 输出比较模式

域	简称	复位值	类型	功能
位 15	C2OSEN	0x0	rw	通道 2 输出开关使能 (Channel 2 output switch enable)
位 14: 12	C2OCTRL	0x0	rw	通道 2 输出控制 (Channel 2 output control)
位 11	C2OBEN	0x0	rw	通道 2 输出缓存使能 (Channel 2 output buffer enable)
位 10	C2OIEN	0x0	rw	通道 2 输出立即使能 (Channel 2 output immediately enable)
位 9: 8	C2C	0x0	rw	通道 2 配置 (Channel 2 configure) 当 C2EN='0' 时, 这些位用于选择通道 2 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C2IN 映射在 C2IFP2 上; 10: 输入, C2IN 映射在 C1IFP2 上; 11: 输入, C2IN 映射在 STI 上, 只有在 STIS 选择内部触发输入时才工作。
位 7	C1OSEN	0x0	rw	通道 1 输出开关使能 (Channel 1 output switch enable) 0: EXT 输入不影响 C1ORAW; 1: 当 EXT 输入高电平时, 将 C1ORAW 清 0。
位 6: 4	C1OCTRL	0x0	rw	通道 1 输出控制 (Channel 1 output control) 这些位用于设置原始信号 C1ORAW 的工作状态。 000: 断开。断开 C1ORAW 到 C1OUT 的输出; 001: 设置 C1ORAW 为高: TMR15_CVAL=TMR15_C1DT 时。

				<p>010: 设置 C1ORAW 为低: TMR15_CVAL=TMR15_C1DT 时。</p> <p>011 : 切换 C1ORAW 的电平 : 当 TMR15_CVAL=TMR15_C1DT 时。</p> <p>100: 固定 C1ORAW 为低。</p> <p>101: 固定 C1ORAW 为高。</p> <p>110: PWM 模式 A</p> <p>—OWCDIR=0, 若 TMR15_C1DT&gt;TMR15_CVAL 时设置 C1ORAW 为高, 否则为低;</p> <p>—OWCDIR=1, 若 TMR15_C1DT &lt;TMR15_CVAL 时设置 C1ORAW 为低, 否则为高。</p> <p>111: PWM 模式 B</p> <p>—OWCDIR=0, 若 TMR15_C1DT &gt;TMR15_CVAL 时设置 C1ORAW 为低, 否则为高;</p> <p>—OWCDIR=1, 若 TMR15_C1DT &lt;TMR15_CVAL 时设置 C1ORAW 为高, 否则为低。</p> <p>注: 除'000'外, 其余配置下 C1OUT 将连接到 C1ORAW, C1OUT 的输出电平除了会根据 C1ORAW 变化外, 还与 CCTRL 所配置的输出极性有关。</p>
位 3	C1OBEN	0x0	rw	<p>通道 1 输出缓存使能 (Channel 1 output buffer enable)</p> <p>0: 关闭 TMR15_C1DT 的缓存功能, 写入 TMR15_C1DT 的内容会立即生效。</p> <p>1: 启用 TMR15_C1DT 的缓存功能, 写入 TMR15_C1DT 的内容将保存到缓存寄存器中, 当发生溢出事件时再更新到 TMR15_C1DT 中。</p>
位 2	C1OIEN	0x0	rw	<p>通道 1 输出立即使能 (Channel 1 output immediately enable)</p> <p>在 PWM 模式 A 或模式 B 下, 该位能够缩短触发事件到通道 1 的输出响应间的时间。</p> <p>0: 需要比较 CVAL 与 C1DT 的值之后再产生输出。</p> <p>1: 无需比较 CVAL 与 C1DT 的值, 当发生触发事件时立即产生输出。</p>
位 1: 0	C1C	0x0	rw	<p>通道 1 配置 (Channel 1 configure)</p> <p>当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择:</p> <p>00: 输出;</p> <p>01: 输入, C1IN 映射在 C1IFP1 上;</p> <p>10: 输入, C1IN 映射在 C2IFP1 上;</p> <p>11: 输入, C1IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。</p>
<b>输入模式</b>				
域	简称	复位值	类型	功能
位 15: 12	C2DF	0x0	rw	通道 2 滤波器 (Channel 2 digital filter)
位 11: 10	C2IDIV	0x0	rw	通道 2 分频系数 (Channel 2 input divider)
位 9: 8	C2C	0x0	rw	<p>通道 2 配置 (Channel 2 configure)</p> <p>当 C2EN='0'时, 这些位用于选择通道 2 为输出或输入, 以及输入时的映射选择:</p> <p>00: 输出;</p> <p>01: 输入, C2IN 映射在 C2IFP2 上;</p> <p>10: 输入, C2IN 映射在 C1IFP2 上;</p> <p>11: 输入, C2IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。</p>
位 7: 4	C1DF	0x0	rw	<p>通道 1 滤波器 (Channel 1 digital filter)</p> <p>这些位用于配置通道 1 的滤波器。滤波的个数为 N, 则表示发生了 N 次采样事件后输入边沿才能通过滤波器:</p> <p>0000: 无滤波器, 以<math>f_{DTS}</math>采</p> <p>1000: 采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>, N=6</p> <p>0001: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, N=2</p> <p>1001: 采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>, N=8</p>

				0010: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=4 1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=5 0011: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=8 1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=6 0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=6 1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=8 0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=8 1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=5 0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=6 1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=6 0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=8 1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=8
位 3: 2	C1DIV	0x0	rw	通道 1 分频系数 (Channel 1 input divider) 这些位定义了通道 1 的分频系数。 00: 不分频, 每一个有效的边沿都会产生一次输入; 01: 每 2 个有效的边沿产生一次输入; 10: 每 4 个有效的边沿产生一次输入; 11: 每 8 个有效的边沿产生一次输入。 注: C1EN='0'时, 分频系数复位。
位 1: 0	C1C	0x0	rw	通道 1 配置 (Channel 1 configure) 当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C1IN 映射在 C1IFP1 上; 10: 输入, C1IN 映射在 C2IFP1 上; 11: 输入, C1IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。

#### 14.4.4.8 TMR15通道控制寄存器 (TMR15\_CTRL)

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7	C2CP	0x0	rw	通道 2 互补极性 (Channel 2 complementary polarity) 见 C1CP 的描述。
位 6	保留	0x0	resd	保持默认值。
位 5	C2P	0x0	rw	通道 2 极性 (Channel 2 polarity) 见 C1P 的描述。
位 4	C2EN	0x0	rw	通道 2 使能 (Channel 2 enable) 见 C1EN 的描述。
位 3	C1CP	0x0	rw	通道 1 互补极性 (Channel 1 complementary polarity) 0: C1COUT 的有效电平为高 1: C1COUT 的有效电平为低
位 2	C1CEN	0x0	rw	通道 1 互补使能 (Channel 1 complementary enable) 0: 禁止输出; 1: 使能输出。
位 1	C1P	0x0	rw	通道 1 极性 (Channel 1 polarity) 通道 1 配置为输出: 0: C1OUT 的有效电平为高 1: C1OUT 的有效电平为低 通道 1 配置为输入: C1CP/C1P 位共同定义输入信号有效沿。 00: C1IN 的有效边沿为上升沿; 作为外部触发使用时, C1IN 不反相。 01: C1IN 的有效边沿为下降沿; 作为外部触发使用时, C1IN 反相。 10: 保留 11: C1IN 的有效边沿为上升沿和下降沿; 作为外部触发使用时, C1IN 不反相。
位 0	C1EN	0x0	rw	通道 1 使能 (Channel 1 enable) 0: 禁止输入或输出;

---

1: 使能输入或输出。

---

表 14-11 带刹车功能的互补输出通道CxOUT和CxCOOUT的控制位

控制位					输出状态 (1)		
OEN 位	FCSODIS 位	FCSOEN 位	CxEN 位	CxCEN 位	CxOUT 输出状态	CxCOOUT 输出状态	
1	X		0	0	0	输出禁止 (与定时器断开) CxOUT=0, Cx_EN=0	输出禁止 (与定时器断开) CxCOOUT=0, CxCEN=0
			0	0	1	输出禁止 (与定时器断开) CxOUT=0, Cx_EN=0	CxORAW + 极性, CxCOOUT= CxORAW xor CxCP, CxCEN=1
			0	1	0	CxORAW+极性, CxOUT= CxORAW xor CxP, Cx_EN=1	输出禁止 (与定时器断开) CxCOOUT=0, CxCEN=0
			0	1	1	CxORAW+极性+死区, Cx_EN=1	CxORAW 反相+极性+死区, CxCEN=1
			1	0	0	输出禁止 (与定时器断开) CxOUT=CxP, Cx_EN=0	输出禁止 (与定时器断开) CxCOOUT=CxCP, CxCEN=0
			1	0	1	关闭状态 (输出使能且为无效电平) CxOUT=CxP, Cx_EN=1	CxORAW + 极性, CxCOOUT= CxORAW xor CxCP, CxCEN=1
			1	1	0	CxORAW + 极性, CxOUT= CxORAW xor CxP, Cx_EN=1	关闭状态 (输出使能且为无效电平) CxCOOUT=CxCP, CxCEN=1
			1	1	1	CxORAW+极性+死区, Cx_EN=1	CxORAW 反相+极性+死区, CxCEN=1
0	0	X	0	0	0	输出禁止 (对应 IO 与定时器断开, IO 浮空) 异步地: CxOUT=CxP, Cx_EN=0, CxCOOUT=CxCP, CxCEN=0; 若时钟存在: 经过一个死区时间后 CxOUT=CxIOS, CxCOOUT=CxCIOS, 假设 CxIOS 与 CxCIOS 并不都对应 CxOUT 和 CxCOOUT 的有效电平。	
			0	0	1		
			0	1	0		
			0	1	1		
			1	0	0	CxEN=CxCEN=0 时: 输出禁止 (对应 IO 与定时器断开, IO 浮空); 其它情况下: 关闭状态 (对应通道输出无效电平) 异步地: CxOUT =CxP, Cx_EN=1, CxCOOUT=CxCP, CxCEN=1; 若时钟存在: 经过一个死区 时间后 CxOUT =CxIOS, CxCOOUT=CxCIOS, 假设 CxIOS 与 CxCIOS 并不都对应 CxOUT 和 CxCOOUT 的有效电平。	
			1	0	1		
			1	1	0		
			1	1	1		

**注意:** 如果一个通道的 2 个输出都没有使用 (CxEN = CxCEN = 0), 那么 CxIOS, CxCIOS, CxP 和 CxCP 都必须清零。

**注意:** 引脚连接到互补的 CxOUT 和 CxCOOUT 通道的外部 I/O 引脚的状态, 取决于 CxOUT 和 CxCOOUT 通道状态和 GPIO 以及 IOMUX 寄存器。



## 14.4.4.9 TMR15计数值 (TMR15\_CVAL)

域	简称	复位值	类型	功能
位 15: 0	CVAL	0x0	rw	计数值 (Counter value)

## 14.4.4.10 TMR15预分频器 (TMR15\_DIV)

域	简称	复位值	类型	功能
位 15: 0	DIV	0x0	rw	分频系数 (Divider value) 计数器时钟频率 $f_{CK\_CNT} = f_{TMR\_CLK} / (DIV[15: 0] + 1)$ 溢出事件发生时该寄存器值被传送到实际的预分频寄存器中。

## 14.4.4.11 TMR15周期寄存器 (TMR15\_PR)

域	简称	复位值	类型	功能
位 15: 0	PR	0x0	rw	周期值 (Period value) 定时器计数的周期值。当周期值为 0 时, 定时器不工作。

## 14.4.4.12 TMR15重复周期寄存器 (TMR15\_RPR)

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7: 0	RPR	0x0	rw	重复周期的次数 (Repetition of period value) 这些位用于减慢溢出事件发生的速率, 当重复周期的次数减为 0 时才会发生溢出事件。

## 14.4.4.13 TMR15通道1数据寄存器 (TMR15\_C1DT)

域	简称	复位值	类型	功能
位 15: 0	C1DT	0x0	rw	通道 1 数据寄存器值 (Channel 1 data register) 若通道 1 配置为输入: C1DT 是前一次通道 1 输入事件 (C1IN) 所保存的 CVAL。 若通道 1 配置为输出: C1DT 是将要和 CVAL 进行比较的值, 写入的值是否会立即生效取决于输出缓存使能位 (C1OBEN), 并根据设置在 C1OUT 上产生相应的输出。

## 14.4.4.14 TMR15通道2数据寄存器 (TMR15\_C2DT)

域	简称	复位值	类型	功能
位 15: 0	C2DT	0x0	rw	通道 2 数据寄存器值 (Channel 2 data register) 若通道 2 配置为输入: C2DT 是前一次通道 2 输入事件 (C2IN) 所保存的 CVAL。 若通道 2 配置为输出: C2DT 是将要和 CVAL 进行比较的值, 写入的值是否会立即生效取决于输出缓存使能位 (C2OBEN), 并根据设置在 C2OUT 上产生相应的输出。

## 14.4.4.15 TMR15刹车寄存器 (TMR15\_BRK)

域	简称	复位值	类型	功能
位 31: 18	保留	0x0	resd	保持默认值
位 19: 16	BKF	0x0	rw	刹车输入滤波 (stop input filter) 这些位用于配置刹车输入的滤波器。滤波的个数为 N, 则表示发生了 N 次采样事件后输入边沿才能通过滤波器: 0000: 无滤波器, 以 $f_{DTS}$ 采样 1000: 采样频率 $f_{SAMPLING} = f_{DTS}/8$ , N=6 0001: 采样频率 $f_{SAMPLING} = f_{CK\_INT}$ , N=2 1001: 采样频率 $f_{SAMPLING} = f_{DTS}/8$ , N=8

				<p>0010: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, N=4          1010: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, N=5          0011: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, N=8          1011: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, N=6          0100: 采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>, N=6          1100: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, N=8          0101: 采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>, N=8          1101: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, N=5          0110: 采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>, N=6          1110: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, N=6          0111: 采样频率<math>f_{SAMPLING}=f_{DTS}/4</math>, N=8          1111: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, N=8</p>
位 15	OEN	0x0	rw	<p>输出使能 (Output enable)          对配置为输出的通道, 该位用于使能 CxOUT 和 CxCOUT 的输出。          0: 关闭;          1: 开启。</p>
位 14	AOEN	0x0	rw	<p>输出自动使能 (Automatic output enable)          用于溢出事件时将 OEN 自动置'1'          0: 关闭;          1: 开启</p>
位 13	BRKV	0x0	rw	<p>刹车输入信号的有效性 (Brake input validity)          用于选择刹车输入信号的输入有效电平:          0: 低电平;          1: 高电平。</p>
位 12	BRKEN	0x0	rw	<p>刹车功能使能 (Brake enable)          用于开启刹车功能。          0: 关闭;          1: 开启。</p>
位 11	FCSOEN	0x0	rw	<p>总输出开时的冻结状态 (Frozen channel status when holistic output enable)          该位用于配置具有互补输出的通道, 在定时器不工作且 OEN=1 时的通道状态。          0: 关闭 CxOUT/CxCOUT 输出;          1: 开启 CxOUT/CxCOUT 输出, 输出为无效电平。</p>
位 10	FCSODIS	0x0	rw	<p>总输出关时的冻结状态 (Frozen channel status when holistic output disable)          该位用于配置具有互补输出的通道, 在定时器不工作且 OEN=0 时的通道状态。          0 : 关闭 CxOUT/CxCOUT 输出;          1 : 开启 CxOUT/CxCOUT 输出, 输出为空闲电平。</p>
位 9: 8	WPC	0x0	rw	<p>写保护配置 (Write protected configuration)          该位用于配置写保护。          00: 写保护关闭;          01: 3 级写保护, 以下位受写保护:          TMR1_STOP: DTC、STPEN、STPV 和 HOAEN          TMR1_CTRL2: CxIOS 和 CxIOSL          10: 2 级写保护, 除 3 级写保护的内容外, 以下位也受写保护:          TMR1_CCTRL: CxP 和 CxLP          TMR1_STOP: FCSODIS 和 FCSOEN          11: 1 级写保护, 除 2 级写保护的内容外, 以下位也受写保护:          TMR1_CMx: C2OCTRL 和 C2OBEN          注: WPC&gt;0 时将无法再次被修改, 直到系统复位。</p>
位 7: 0	DTC	0x0	rw	<p>死区配置 (Dead-time configuration)          这些位用于配置死区时间。取 DTC[7: 0]的高 3 位为功能选择位:          0xx: DT = DTC [7: 0] * TDTS;          10x: DT = (64+ DTC [5: 0]) * TDTS * 2;</p>

110: DT = (32+ DTC [4: 0]) \* TDTS \* 8;

111: DT = (32+ DTC [4: 0]) \* TDTS \* 16;

*注意：* 根据锁定设置，AOEN、BRKV、BRKEN、FCSODIS、FCSOEN 和 DTC[7: 0] 位均可被写保护，有必要在第一次写入 TMR15\_BRK 寄存器时对它们进行配置。

#### 14.4.4.16 TMR15 DMA控制寄存器 (TMR15\_DMACTRL)

域	简称	复位值	类型	功能
位 15: 13	保留	0x0	resd	保持默认值。
位 12: 8	DTB	0x0	rw	DMA 传输字节 (DMA transfer bytes) 这些位定义了传输的字节个数： 00000: 1 个字节 00001: 2 个字节 00010: 3 个字节 00011: 4 个字节 ..... ..... 10000: 17 个字节 10001: 18 个字节
位 7: 5	保留	0x0	resd	保持默认值。
位 4: 0	ADDR	0x0	rw	DMA 传输地址偏移 (DMA transfer address offset) ADDR 定义了从 TMR15_CTRL1 所在地址开始的偏移量： 00000: TMR15_CTRL1, 00001: TMR15_CTRL2, 00010: TMR15_STCTRL, .....

#### 14.4.4.17 TMR15 DMA数据寄存器 (TMR15\_DMADT)

域	简称	复位值	类型	功能
位 15: 0	DMADT	0x0	rw	DMA 传输的数据寄存器 (DMA data register) 通过对 DMADT 寄存器的读写能够实现任意 TMR 寄存器的操作，其操作的寄存器地址范围是：TMR15 外设地址 + ADDR*4 至 TMR15 外设地址 + ADDR*4 + DTB*4。

## 14.5 通用定时器（TMR16和TMR17）

### 14.5.1 TMR16和TMR17简介

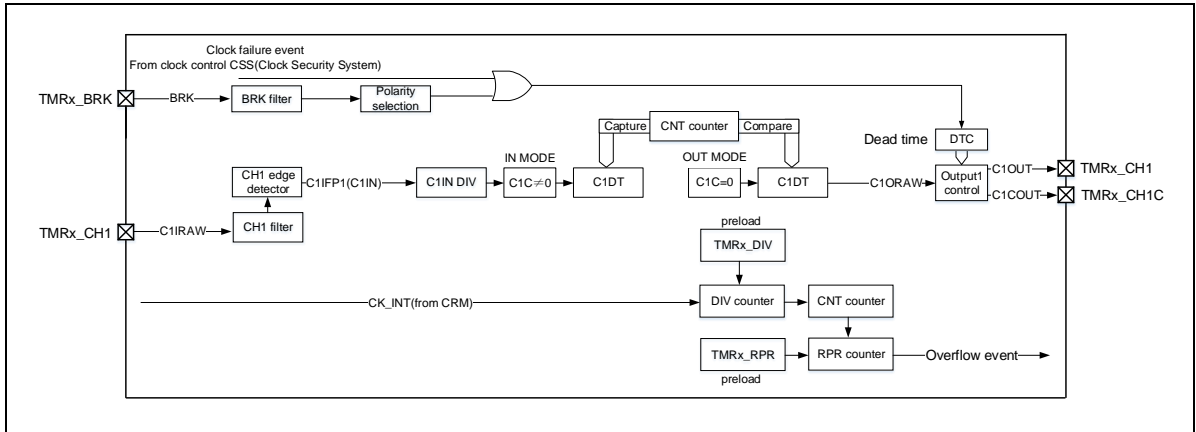
TMR16、17 包含一个支持向上计数的 16 位计数器、1 个捕获/比较寄存器、1 组独立的通道。可实现嵌入死区、输入捕获、可编程 PWM 输出。

### 14.5.2 TMR16和TMR17主要功能

TMR16、17 定时器的功能包括：

- 可选内部、外部、内部触发输入用作计数时钟
- 16位支持向上计数器、8位重复计数计数器
- 1组独立通道，支持输入捕获、输出比较、PWM生成、单周期模式、死区插入。
- 1组支持互补输出的独立通道
- 支持TMR刹车功能
- 定时器之间可互联同步
- 支持溢出事件、刹车输入、通道事件触发中断/DMA
- 支持TMR burst DMA传输

图 14-75 TMR16、17定时器框图

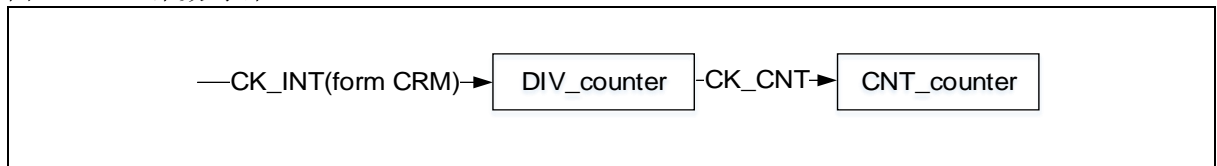


### 14.5.3 TMR16和TMR17功能描述

#### 14.5.3.1 计数时钟

TMR16、17 计数时钟仅能由内部时钟（CK\_INT）提供。

图 14-76 计数时钟

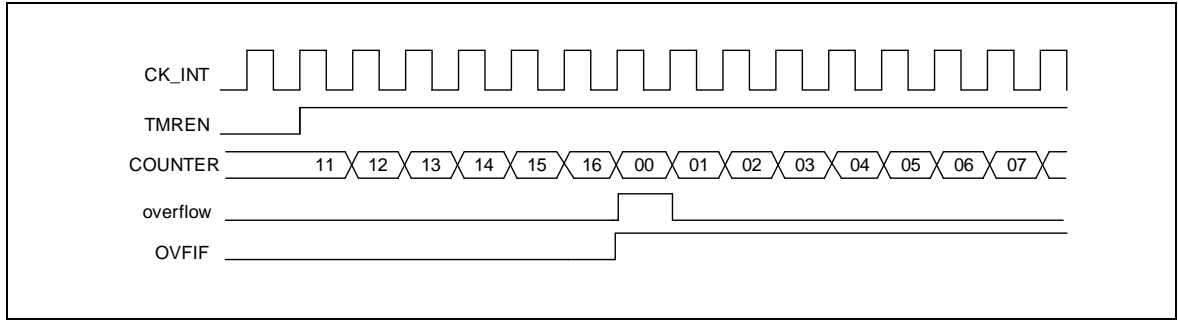


#### 内部时钟（CK\_INT）

默认下使用 CK\_INT 经由预分频器驱动计数器计数，当 TMR 对应的 APB 时钟预分频系数是 1 时，CK\_INT 频率等于 APB 时钟频率，否则 CK\_INT 频率等于 APB 时钟频率的 2 倍。相关配置流程如下：

- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-77 使用CK\_INT计数，TMRx\_DIV=0x0，周期寄存器TMRx\_PR=0x16



### 14.5.3.2 计数模式

TMR16、17 提供了多种计数模式，用来满足不同的应用场景。其内部拥有一个支持 16 位向上计数的计数器。

TMRx\_PR 寄存器用于设置计数器计数周期。默认 TMRx\_PR 寄存器值会立即传入它的影子寄存器；当开启周期缓冲功能后 (PRBEN 置 1)，TMRx\_PR 寄存器值在溢出事件发生时传入它的影子寄存器。

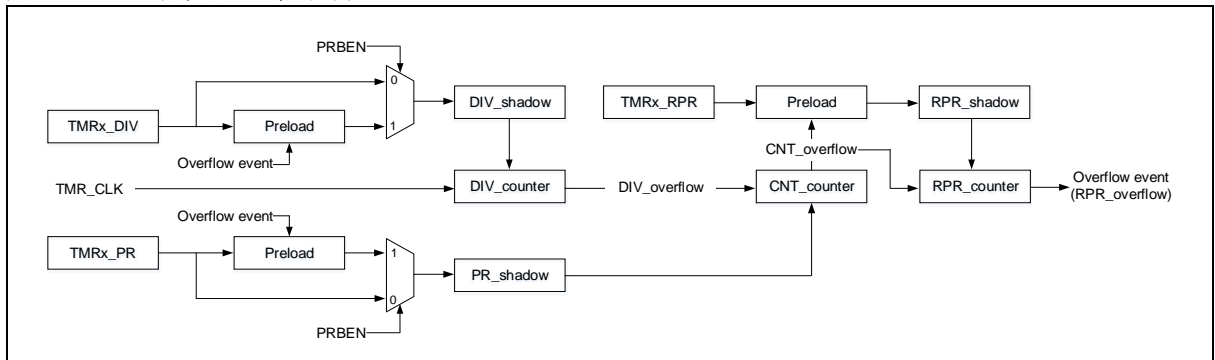
TMRx\_DIV 寄存器用于设置计数器计数频率，每 (DIV[15:0]+1) 个计数时钟周期，计数器计数一次。和 TMRx\_PR 寄存器类似，开启周期缓冲功能后，TMRx\_DIV 寄存器值在溢出事件时更新至它的影子寄存器。

读取 TMRx\_CNT 寄存器会返回当前计数器计数值，写入 TMRx\_CNT 寄存器会更新计数器当前计数值为写入值。

默认允许产生溢出事件，设置 TMRx\_CTRL1 寄存器 OVFEN=1 将禁止更新事件产生。TMRx\_CTRL1 寄存器 OVFS 用于选择溢出事件来源，默认计数器上溢或下溢、置位 OVFSWTR、复位模式次定时器控制器产生的复位信号产生溢出事件。置位 OVFS 后，只有计数器上溢或下溢产生溢出事件。

TMREN 位置 1 将使能定时器计数，由于同步逻辑，实际驱动计数器的使能信号 TMR\_EN 相对于 TMREN 延迟一个时钟周期。

图 14-78 计数器基本结构



### 向上计数模式

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]=2'b00，OWCDIR=1'b0 开启向上计数模式，计数值达到 TMRx\_PR 值时，重新从 0 向上计数，计数器上溢并产生溢出事件，同时 OVFIF 位置 1。若禁止产生溢出事件，计数器溢出后不再重载预分频值和周期值，否则预分频值和周期值在溢出事件后更新。

图 14-79 PRBEN=0时的溢出事件

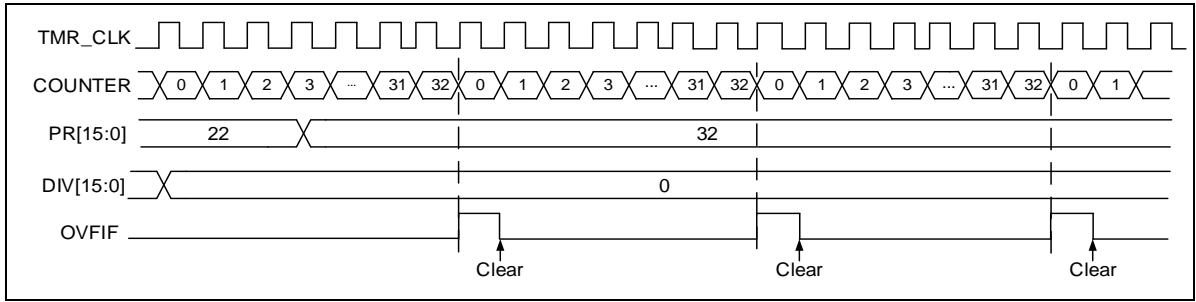
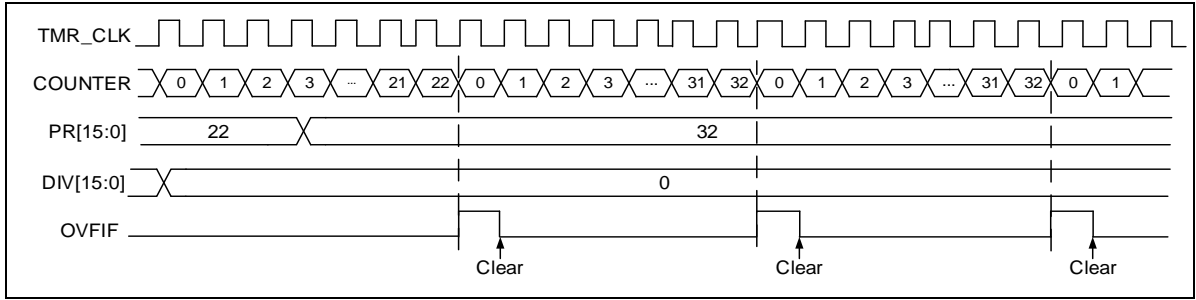


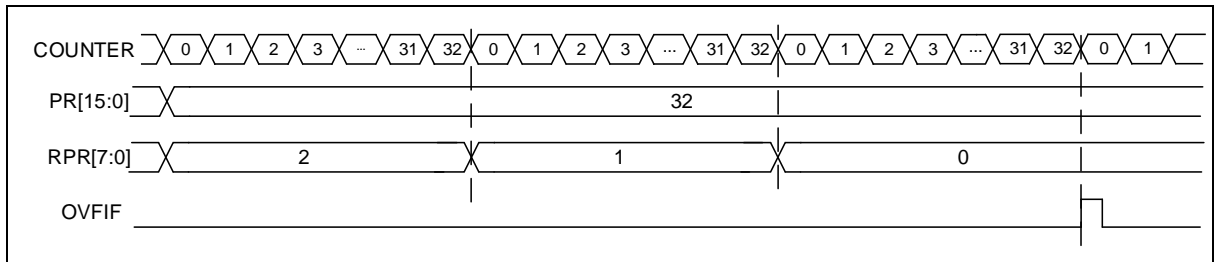
图 14-80 PRBEN=1时的溢出事件



**重复计数模式:**

TMRx\_RPR 寄存器用于配置重复计数器计数周期, TMRx\_RPR 寄存器为非 0 值时, 重复计数模式启动。重复计数模式下, 每 (RPR[7:0]+1) 次计数器溢出将产生一次溢出事件。每次计数器溢出, 重复计数器递减, 仅当重复计数器计数值等于 0 值时, 计数器溢出会产生溢出事件。通过配置不同重复计数器值, 可调整溢出事件产生的频率。

图 14-81 RPR=2时的OVFIF



**14.5.3.3 TMR输入部分**

TMR16、17 拥有 1 个独立通道, 可配置为输入或输出, 当配置位输入时, 可用于对输入信号的滤波、选择、分频和输入捕获功能。

图 14-82 输入/输出通道1的主电路

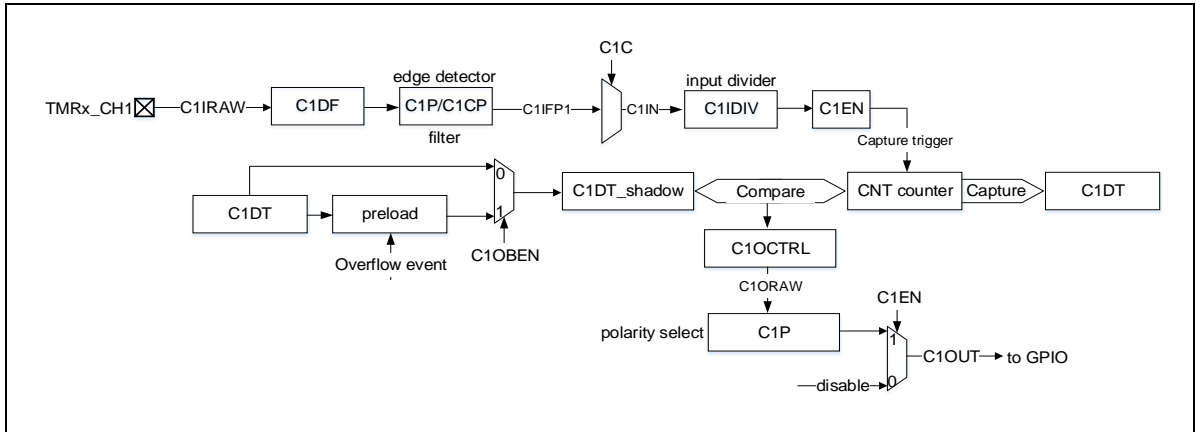
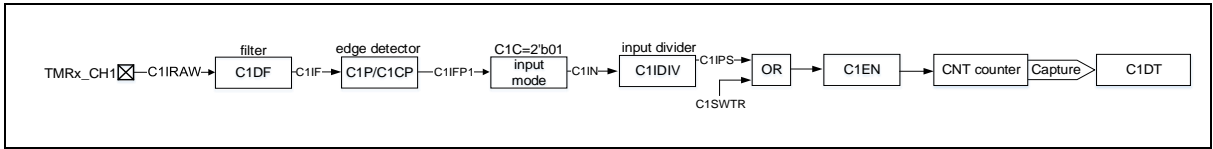


图 14-83 道1输入部分



## 输入模式

此模式下，当选中的触发信号被检测到，通道寄存器（TMRx\_CxDT）记录当前计数器计数值，并将捕获比较中断标志位（CxIF）置 1，若已使能通道中断（CxIEN）、通道 DMA 请求（CxDEN）则产生相应的中断和 DMA 请求。若在 CxIF 置 1 后检测到触发信号，将产生捕获溢出事件，TMRx\_CxDT 会使用当前计数器计数值覆盖之前记录的计数器计数值，同时通道再捕获标志位（CxRF）置 1。若要捕获 C1IN 输入的上升沿，可按如下进行配置：

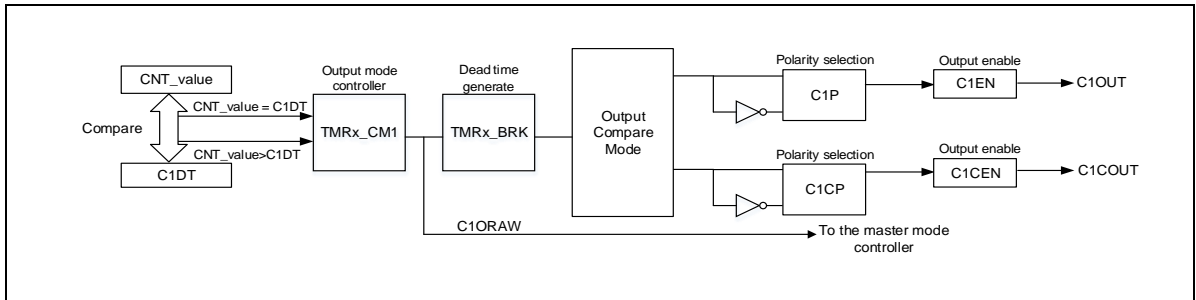
- 将通道模式寄存器1（TMRx\_CM1）中的C1C位配置为01，选择C1IN作为通道1输入。
- 配置C1IN信号滤波器带宽（CxDF[3:0]）。
- 配置C1IN通道的有效沿，在TMRx\_CCTRL寄存器中写入C1P=0（上升沿）。
- 配置C1IN信号捕获分频（C1DIV[1:0]）。
- 使能通道1输入捕获（C1EN=1）。

根据需要设置 TMRx\_IDEN 寄存器中的 C1IEN 为、TMRx\_IDEN 寄存器中的 C1DEN 位，选择中断请求或 DMA 请求。

### 14.5.3.4 TMR输出部分

TMR 的输出部分由比较器和输出控制构成，用于编程输出信号的周期、占空比、极性。输出部分如下图所示：

图 14-84 通道1输出部分



## 输出模式

配置 CxC[1:0]≠2'b00 将通道配置为输出可实现多种输出模式，此时，计数器计数值将与 CxDT 寄存器值比较，并根据 CxOCTRL[2:0]位配置的输出模式，产生中间信号 CxORAW，再经过输出控制逻辑处理后输送到 IO。输出信号的周期由 TMRx\_PR 寄存器值配置，占空比则由 CxDT 寄存器值配置。输出比较模式有以下子类：

**PWM 模式 A:** CxOCTRL=3'b110 时，开启 PWM 模式 A。向上计数时，TMRx\_C1DT>TMRx\_CVAL 时 C1ORAW 输出高电平，否则为低电平；向下计数时，TMRx\_C1DT<TMRx\_CVAL 时 C1ORAW 输出低电平，否则为高电平。若要使用 PWM 模式 A，可按如下方式配置。

- 配置 TMRx\_PR 寄存器，设置 PWM 周期。
- 配置 TMRx\_CxDT 寄存器，设置 PWM 占空比。
- 配置 TMRx\_CM1/CM2 寄存器 CxOCTRL 位为 3'b110，设置输出模式为 PWM 模式 A。
- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_CTRL1 寄存器 TWCMSSEL[1:0]位，设置计数器计数模式。
- 配置 TMRx\_CCTRL 寄存器 CxP 位、CxCP 位，设置输出极性。
- 配置 TMRx\_CCTRL 寄存器 CxEN 位、CxCEN 位，使能通道输出。
- 配置 TMRx\_BRK 寄存器 OEN 位，使能 TMRx 输出。
- 配置 TMR 输出通道对应 GPIO 为对应的复用模式。



-配置 TMRx\_CTRL1 寄存器 TMREN 位，使能 TMRx 计数。

**PWM 模式 B:** CxOCTRL=3'b111 时，开启 PWM 模式 B。向上计数时，TMRx\_C1DT>TMRx\_CVAL 时 C1ORAW 输出低电平，否则为高电平；向下计数时，TMRx\_C1DT<TMRx\_CVAL 时 C1ORAW 输出高电平，否则为低电平。

**强制输出模式:** CxOCTRL=3'b100/101 时，开启强制输出模式。此时，CxORAW 信号的电平被强制输出为配置的电平，而与计数值无关。虽然输出信号不依赖于比较结果，但通道标志位和 DMA 请求仍依赖于比较结果。

**输出比较模式:** CxOCTRL=3'b001/010/011 时，开启输出比较模式。此时，当计数值与 CxDT 值匹配时，CxORAW 强制输出高电平 (CxOCTRL=3'b001)、低电平 (CxOCTRL=3'b010) 或进行电平翻转 (CxOCTRL=3'b011)。

**单周期模式:** PWM 模式的特例，将 OCMEN 位置 1 可开启单周期模式，此模式下，仅在当前计数周期中进行比较匹配，完成当前计数后，TMREN 位清 0，因此仅输出一个脉冲。当配置为向上计数模式时，需要严格配置 CVAL<CxDT≤PR；向下计数时，需严格配置 CVAL>CxDT。

**快速输出模式:** 将 CxOIEN 位置 1 可开启此功能，开启后 CxORAW 电平值不再在计数值与 CxDT 匹配时变化，而是在当前计数周期开始时，也就是说，比较结果被提前了，计数器值与通道寄存器 (TMRx\_CxDT) 的比较结果将会提前决定 CxORAW 的电平。

图 14-85 展示了输出比较模式 (翻转) 的例子，C1DT=0x3，当计数值等于 0x3 时，输出电平 C1OUT 被翻转。

图 14-86 展示了计数器向上计数与 PWM 模式 A 配合的例子，PR=0x32，CxDT 配置为不同的值时输出时输出信号的翻转情况。

图 14-87 展示了计数器向上计数与单周期模式下 PWM 模式 B 配合的例子，计数器仅计数了一个周期，输出信号在这个周期中只输出了一个脉冲。

图 14-85 计数值与 C1DT 值匹配时翻转 C1ORAW

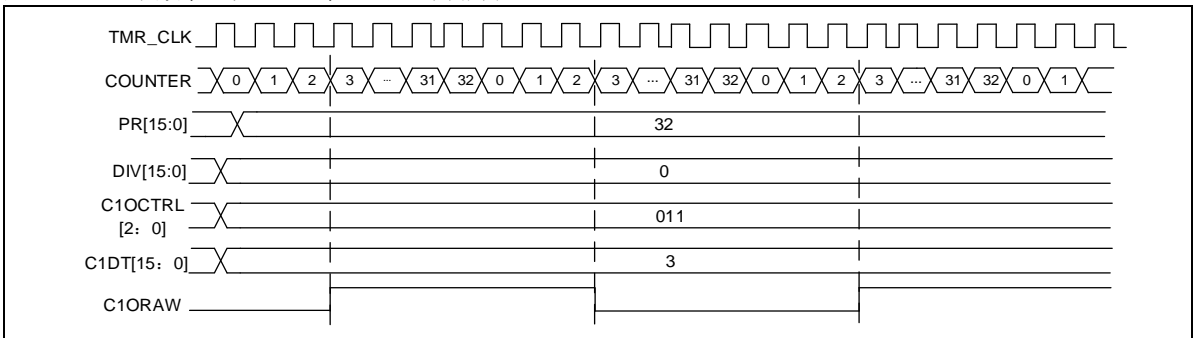


图 14-86 向上计数下 PWM 模式 A

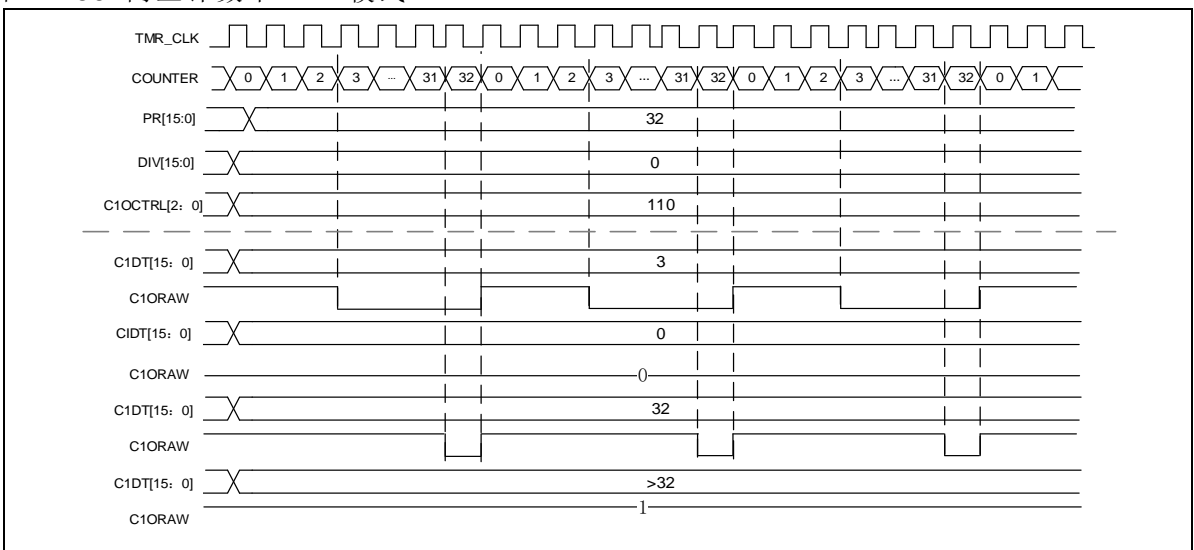
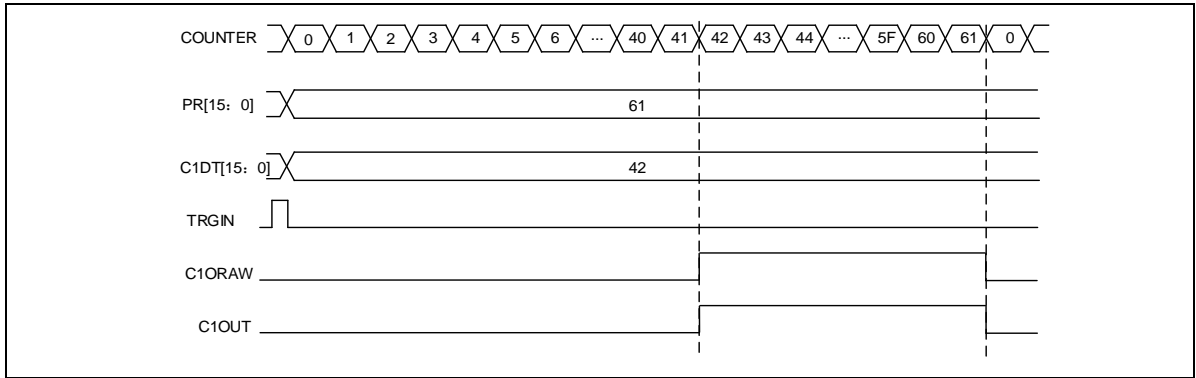


图 14-87 单周期模式





**死区插入**

TMR16、17 通道 1 包含一组反向通道输出，通过 CxCEN 使能，通过 CxCP 配置极性。CxOUT 和 CxCOUT 的输出状态见表 14-13。

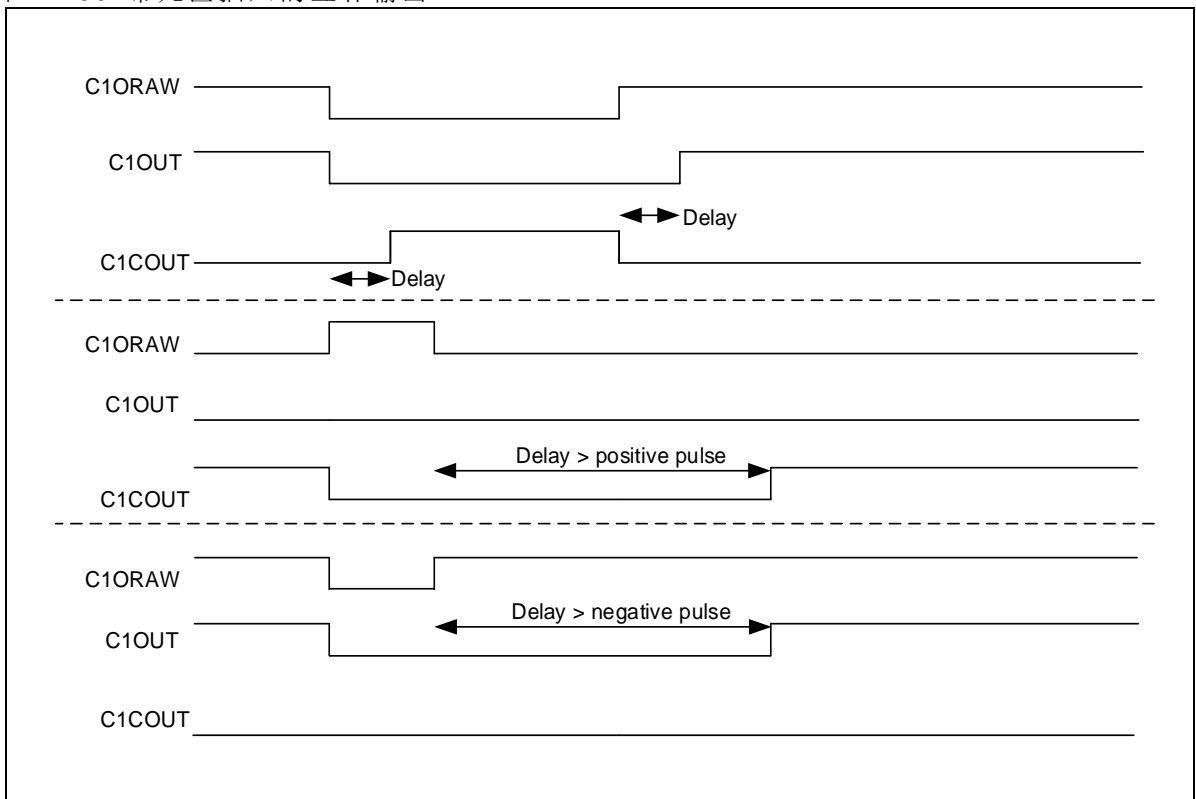
当转换为 IDLEF 状态，即 OEN 下降到 0，死区被激活。

将 CxEN 和 CxCEN 位置 1 后，通过配置 DTC[7:0]死区发生器，可插入不同时长的死区。插入死区后，CxOUT 的上升沿延迟于参考信号的上升沿；CxCOUT 的上升沿延迟于参考信号的下落沿。

如果延迟大于当前有效的输出宽度，C1OUT 和 C1COUT 不会产生相应的脉冲，死区时间应小于于有效的输出宽度。

下列图显示了 CxP=0、CxCP=0、OEN=1、CxEN=1 并且 CxCEN=1 时死区插入的例子

图 14-88 带死区插入的互补输出



**14.5.3.5 TMR刹车功能**

开启刹车功能后 (BRKEN 位置 1)，CxOUT 和 CxCOUT 由 OEN、FCSODIS、FCISOEN、CxIOS 和 CxCIOS 共同控制。但 CxOUT 和 CxCOUT 输出总是不能同时处于有效电平上的。详见表 14-13 带刹车功能的互补输出通道 CxOUT 和 CxCOUT 的控制位。

刹车信号来源可以是刹车输入引脚、时钟失效事件，刹车输入信号的极性由 BRKV 位控制。

当发生刹车事件时，有下述动作：

- OEN位异步清零，通道输出状态由FCSODIS位选择。关闭MCU的振荡器不影响该功能。
- OEN被清零后，通道输出电平由CxIOS位设定。如果FCSODIS=0，则定时器输出使

能被禁止，否则输出使能始终为高。

- 当使用互补输出时：
  - 输出最开始处于复位状态，也就是无效的状态（取决于极性）。这是异步操作，定时器有无时钟并不影响此功能。
  - 定时器的时钟如果有效，会开启死区生成功能，CxIOS和CxCIOS位用来配置死区之后的电平。即使在这种情况下，CxOUT和CxCOOUT也不能被同时驱动到有效的电平。
- 注意，由于OEN位同步逻辑，死区时间较通常会延长一段时间（大约2个ck\_tim的时钟周期）。
- 如果FCSODIS=0，定时器释放使能输出，否则保持使能输出；或一旦CxEN与CxCEN之一变高时，使能输出变为高。
- 如果开启了刹车中断或DMA功能，刹车状态标志将置1，并产生刹车中断或DMA请求。
- 如果将AOEN位置1，在下一个溢出事件时OEN位被自动置1。

注意：刹车输入电平有效时，OEN不能被设置，状态标志BRKIF也不能被清除。

图 14-89 TMR输出控制

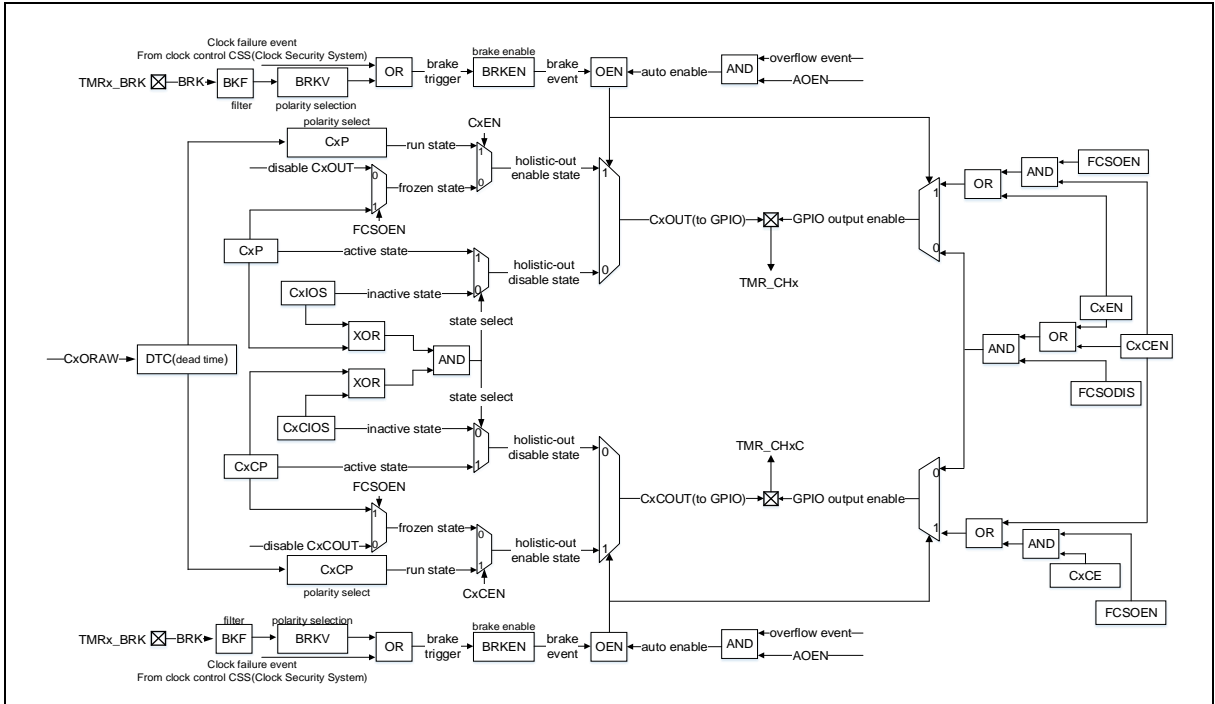
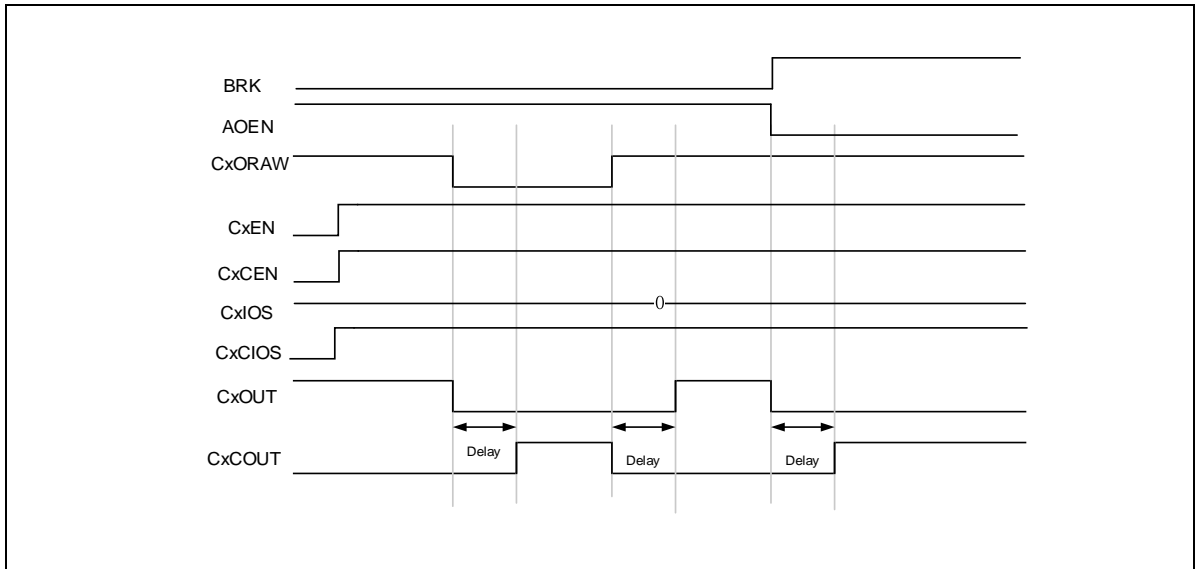


图 14-90 TMR刹车功能的例子



### 14.5.3.6 调试模式

当微控制器进入调试模式（Cortex™-M0+核心停止）时，将 DEBUG 模块中的 TMRx\_PAUSE 置 1，可以使 TMRx 计数器暂停计数。

### 14.5.4 TMR16和TMR17寄存器描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。下表中将 TMR16、17 的所有寄存器映射到一个 16 位可寻址（编址）空间

表 14-12 TMR16、17寄存器和复位值

寄存器简称	基址偏移量	复位值
TMRx_CTRL1	0x00	0x0000
TMRx_CTRL2	0x04	0x0000
TMRx_IDEN	0x0C	0x0000

TMRx_ISTS	0x10	0x0000
TMRx_SWEVT	0x14	0x0000
TMRx_CM1	0x18	0x0000
TMRx_CCTRL	0x20	0x0000
TMRx_CVAL	0x24	0x0000
TMRx_DIV	0x28	0x0000
TMRx_PR	0x2C	0x0000
TMRx_RPR	0x30	0x0000
TMRx_C1DT	0x34	0x0000
TMRx_BRK	0x44	0x0000
TMRx_DMACTRL	0x48	0x0000
TMRx_DMADT	0x4C	0x0000

#### 14.5.4.1 TMR16和TMR17控制寄存器1 (TMRx\_CTRL1)

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9: 8	CLKDIV	0x0	rw	时钟除频 (Clock divider) 此位用于设置数字滤波器采样频率 $f_{DTS}$ 和定时器时钟频率 $f_{CK\_INT}$ 之间的分频比, 也用于调整死区时间的时基 $T_{DTS}$ 和定时器时钟周期 $T_{CK\_INT}$ 的分频比。 00: 无除频, $f_{DTS}=f_{CK\_INT}$ ; 01: 2 除频, $f_{DTS}=f_{CK\_INT}/2$ ; 10: 4 除频, $f_{DTS}=f_{CK\_INT}/4$ ; 11: 保留。
位 7	PRBEN	0x0	rw	周期缓冲使能 (Period buffer enable) 0: 缓冲关闭; 1: 缓冲开启。
位 6: 4	保留	0x0	resd	保持默认值
位 3	OCMEN	0x0	rw	单周期使能 (One cycle mode enable) 该功能用于选择溢出事件后, 计数器是否停止。 0: 关闭; 1: 开启。
位 2	OVFS	0x0	rw	溢出事件源选择 (Overflow event source) 配置溢出事件或 DMA 请求来源。 0: 来源于计数器溢出、设置 OVFSWTR 位或次定时器控制器产生的溢出事件; 1: 只能来源于计数器溢出。
位 1	OVFEN	0x0	rw	溢出事件使能 (Overflow event enable) 0: 开启; 1: 关闭。
位 0	TMREN	0x0	rw	使能定时器 (TMR enable) 0: 关闭; 1: 开启。

#### 14.5.4.2 TMR16和TMR17控制寄存器2 (TMRx\_CTRL2)

域	简称	复位值	类型	功能
位 30: 10	保留	0x0	resd	保持默认值
位 9	C1CIOS	0x0	rw	通道 1 互补空闲输出状态 (Channel 1 complementary idle output state) 输出关闭 (OEN = 0), 死区发生后: 0: C1COUT=0; 1: C1COUT=1。

位 8	C1IOS	0x0	rw	通道 1 空闲输出状态 (Channel 1 idle output state) 输出关闭 (OEN = 0), 死区发生后: 0: C1OUT=0。 1: C1OUT=1。
位 7: 4	保留	0x0	resd	保持默认值
位 3	DRS	0x0	rw	DMA 请求源 (DMA request source) DMA 请求来源。 0: 通道事件; 1: 溢出事件。
位 2	CCFS	0x0	rw	通道控制位刷新选择 (Channel control bit flash select) 对具有互补输出的通道, 如果通道控制位有缓存时: 0: 通过设置 HALL 位刷新控制位; 1: 通过设置 HALL 位或 TRGIN 的上升沿刷新控制位。
位 1	保留	0x0	resd	保持默认值。
位 0	CBCTRL	0x0	rw	通道缓存控制 (Channel buffer control) 对具有互补输出的通道: 0: CxEN, CxLEN 和 CxOCTRL 位无缓存; 1: CxEN, CxLEN 和 CxOCTRL 位有缓存。

#### 14.5.4.3 TMR16和TMR17 DMA/中断使能寄存器 (TMRx\_IDEN)

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9	C1DEN	0x0	rw	通道 1 的 DMA 请求使能 (Channel 1 DMA request enable) 0: 关闭; 1: 开启。
位 8	OVFDEN	0x0	rw	溢出事件的 DMA 请求使能 (overflow event DMA request enable) 0: 关闭; 1: 开启。
位 7	BRKIE	0x0	rw	刹车中断使能 (Brake interrupt enable) 0: 关闭; 1: 开启。
位 6	保留	0x0	resd	保持默认值
位 5	HALLIEN	0x0	rw	HALL 中断使能 (HALL interrupt enable) 0: 关闭; 1: 开启。
位 4: 2	保留	0x0	resd	保持默认值
位 1	C1IEN	0x0	rw	通道 1 中断使能 (Channel 1 interrupt enable) 0: 关闭; 1: 开启。
位 0	OVFIEN	0x0	rw	溢出中断使能 (Overflow interrupt enable) 0: 关闭; 1: 开启。

#### 14.5.4.4 TMR16和TMR17中断状态寄存器 (TMRx\_ISTS)

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9	C1RF	0x0	rw0c	通道 1 再捕获标记 (Channel 1 recapture flag) C1IF 的状态已经为'1'时是否再次发生了捕获, 由硬件置'1', 写'0'清除。 0: 无捕获发生; 1: 捕获发生。
位 8	保留	0x0	resd	保持默认值。
位 7	BRKIF	0x0	rw0c	刹车中断标记 (Brake interrupt flag) 用于标记刹车输入的电平是否有效, 由硬件置'1', 写'0'清除。 0: 无效; 1: 有效。
位 6	保留	0x0	resd	保持默认值

位 5	HALLIF	0x0	rw0c	HALL 中断标记 (HALL interrupt flag) 当发生触发事件时由硬件置'1', 写'0'清除。 0: 无 HALL 事件发生; 1: 发生 HALL 事件。 HALL 事件: CxEN、CxLEN、CxOCTRL 已被更新。
位 4: 2	保留	0x0	resd	保持默认值
位 1	C1IF	0x0	rw0c	通道 1 中断标记 (Channel 1 interrupt flag) 若通道 1 为输入模式时: 捕获事件发生时由硬件置'1', 由软件清'0'或读 TMRx_C1DT 清'0'。 0: 无捕获事件发生; 1: 发生捕获事件。 若通道 1 为输出模式时: 比较事件发生时由硬件置'1', 由软件清'0'。 0: 无比较事件发生; 1: 发生比较事件。
位 0	OVFIF	0x0	rw0c	溢出中断标记 (Overflow interrupt flag) 当溢出事件发生时由硬件置'1', 由软件清'0'。 0: 无溢出事件发生; 1: 发生溢出事件, 若 TMRx_CTRL1 的 OVFEN=0、OVFS=0 时: - 当 TMRx_SWEVE 寄存器的 OVFG=1 时产生溢出事件; - 当计数值 CVAL 被触发事件重初始化时产生溢出事件。

#### 14.5.4.5 TMR16和TMR17软件事件寄存器 (TMRx\_SWEVT)

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7	BRKSWTR	0x0	wo	软件触发刹车事件 (Brake event triggered by software) 通过软件触发一个刹车事件。 0: 无作用; 1: 制造一个刹车事件。
位 6	保留	0x0	resd	保持默认值
位 5	HALLSWTR	0x0	wo	软件触发 HALL 事件 (HALL event triggered by software) 通过软件产生一个 HALL 事件。 0: 无作用; 1: 产生一个 HALL 事件。 注: 该位只对拥有互补输出的通道有效。
位 4: 2	保留	0x0	resd	保持默认值
位 1	C1SWTR	0x0	wo	C1SWTR: 软件触发通道 1 事件 (Channel 1 event triggered by software) 通过软件触发一个通道 1 事件。 0: 无作用; 1: 制造一个通道 1 事件。
位 0	OVFSWTR	0x0	wo	软件触发溢出事件 (Overflow event triggered by software) 通过软件触发一个溢出事件。 0: 无作用; 1: 制造一个溢出事件。

#### 14.5.4.6 TMR16和TMR17通道模式寄存器1 (TMRx\_CM1)

通道可用于输入 (捕获模式) 或输出 (比较模式), 通道的方向由相应的 CxC 位定义。该寄存器其它位的作用在输入和输出模式下不同。CxOx 描述了通道在输出模式下的功能, CxIx 描述了通道在输入模式下的功能。因此必须注意, 同一个位在输出模式和输入模式下的功能是不同的。

##### 输出比较模式

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值
位 7	C1OSEN	0x0	rw	通道 1 输出开关使能 (Channel 1 output switch enable)

				<p>0: EXT 输入不影响 C1ORAW; 1: 当 EXT 输入高电平时, 将 C1ORAW 清 0。</p>
位 6: 4	C1OCTRL	0x0	rw	<p>通道 1 输出控制 (Channel 1 output control) 这些位用于设置原始信号 C1ORAW 的工作状态。 000: 断开。断开 C1ORAW 到 C1OUT 的输出; 001: 设置 C1ORAW 为高: TMRx_CVAL=TMRx_C1DT 时。 010: 设置 C1ORAW 为低: TMRx_CVAL=TMRx_C1DT 时。 011: 切换 C1ORAW 的电平: 当 TMRx_CVAL=TMRx_C1DT 时。 100: 固定 C1ORAW 为低。 101: 固定 C1ORAW 为高。 110: PWM 模式 A —OWCDIR=0, 若 TMRx_C1DT&gt;TMRx_CVAL 时设置 C1ORAW 为高, 否则为低; —OWCDIR=1, 若 TMRx_C1DT &lt;TMRx_CVAL 时设置 C1ORAW 为低, 否则为高。 111: PWM 模式 B —OWCDIR=0, 若 TMRx_C1DT &gt;TMRx_CVAL 时设置 C1ORAW 为低, 否则为高; —OWCDIR=1, 若 TMRx_C1DT &lt;TMRx_CVAL 时设置 C1ORAW 为高, 否则为低。 注: 除'000'外, 其余配置下 C1OUT 将连接到 C1ORAW, C1OUT 的输出电平除了会根据 C1ORAW 变化外, 还与 CCTRL 所配置的输出极性有关。</p>
位 3	C1OBEN	0x0	rw	<p>通道 1 输出缓存使能 (Channel 1 output buffer enable) 0: 关闭 TMRx_C1DT 的缓存功能, 写入 TMRx_C1DT 的内容会立即生效。 1: 启用 TMRx_C1DT 的缓存功能, 写入 TMRx_C1DT 的内容将保存到缓存寄存器中, 当发生溢出事件时再更新到 TMRx_C1DT 中。</p>
位 2	C1OEN	0x0	rw	<p>通道 1 输出立即使能 (Channel 1 output immediately enable) 在 PWM 模式 A 或模式 B 下, 该位能够缩短触发事件到通道 1 的输出响应间的时间。 0: 需要比较 CVAL 与 C1DT 的值之后再产生输出。 1: 无需比较 CVAL 与 C1DT 的值, 当发生触发事件时立即产生输出。</p>
位 1: 0	C1C	0x0	rw	<p>通道 1 配置 (Channel 1 configure) 当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C1IN 映射在 C1IFP1 上; 10: 保留; 11: 保留。</p>
<b>输入模式</b>				
位 15: 8	保留	0x0	resd	保持默认值
位 7: 4	C1DF	0x0	rw	<p>通道 1 滤波器 (Channel 1 digital filter) 这些位用于配置通道 1 的滤波器。滤波的个数为 N, 则表示发生了 N 次采样事件后输入边沿才能通过滤波器: 0000: 无滤波器, 以<math>f_{DTS}</math>采样 1000: 采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>, N=6 0001: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, N=2 1001: 采样频率<math>f_{SAMPLING}=f_{DTS}/8</math>, N=8 0010: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, N=4 1010: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, N=5 0011: 采样频率<math>f_{SAMPLING}=f_{CK\_INT}</math>, N=8 1011: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, N=6 0100: 采样频率<math>f_{SAMPLING}=f_{DTS}/2</math>, N=6</p>

				<p>1100: 采样频率<math>f_{SAMPLING}=f_{DTS}/16</math>, <math>N=8</math></p> <p>0101: 采样频率 <math>f_{SAMPLING}=f_{DTS}/2</math>, <math>N=8</math></p> <p>1101: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, <math>N=5</math></p> <p>0110: 采样频率 <math>f_{SAMPLING}=f_{DTS}/4</math>, <math>N=6</math></p> <p>1110: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, <math>N=6</math></p> <p>0111: 采样频率 <math>f_{SAMPLING}=f_{DTS}/4</math>, <math>N=8</math></p> <p>1111: 采样频率<math>f_{SAMPLING}=f_{DTS}/32</math>, <math>N=8</math></p>
位 3: 2	C1IDIV	0x0	rw	<p>通道 1 分频系数 (Channel 1 input divider)</p> <p>这些位定义了通道 1 的分频系数。</p> <p>00: 不分频, 每一个有效的边沿都会产生一次输入;</p> <p>01: 每 2 个有效的边沿产生一次输入;</p> <p>10: 每 4 个有效的边沿产生一次输入;</p> <p>11: 每 8 个有效的边沿产生一次输入。</p> <p>注: C1EN='0'时, 分频系数复位。</p>
位 1: 0	C1C	0x0	rw	<p>通道 1 配置 (Channel 1 configure)</p> <p>当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择:</p> <p>00: 输出;</p> <p>01: 输入, C1IN 映射在 C1IFP1 上;</p> <p>10: 保留;</p> <p>11: 保留。</p>

### 14.5.4.7 TMR16和TMR17通道控制寄存器 (TMRx\_CTRL)

域	简称	复位值	类型	功能
位 15: 4	保留	0x0	resd	保持默认值。
位 3	C1CP	0x0	rw	<p>通道 1 互补极性 (Channel 1 complementary polarity)</p> <p>0: C1COUT 的有效电平为高</p> <p>1: C1COUT 的有效电平为低</p>
位 2	C1CEN	0x0	rw	<p>通道 1 互补使能 (Channel 1 complementary polarity)</p> <p>0: 禁止输出;</p> <p>1: 使能输出。</p>
位 1	C1P	0x0	rw	<p>通道 1 极性 (Channel 1 polarity)</p> <p>通道 1 配置为输出:</p> <p>0: C1OUT 的有效电平为高</p> <p>1: C1OUT 的有效电平为低</p> <p>通道 1 配置为输入:</p> <p>C1CP/C1P 位共同定义输入信号有效沿。</p> <p>00: C1IN 的有效边沿为上升沿; 作为外部触发使用时, C1IN 不反相。</p> <p>01: C1IN 的有效边沿为下降沿; 作为外部触发使用时, C1IN 反相。</p> <p>10: 保留</p> <p>11: C1IN 的有效边沿为上升沿和下降沿; 作为外部触发使用时, C1IN 不反相。</p>
位 0	C1EN	0x0	rw	<p>通道 1 使能 (Channel 1 enable)</p> <p>0: 禁止输入或输出;</p> <p>1: 使能输入或输出。</p>

表 14-13带刹车功能的互补输出通道CxOUT和CxCOUT的控制位

控制位					输出状态 (1)	
OEN 位	FCSODIS 位	FCOEN 位	CxEN 位	CxCEN 位	CxOUT 输出状态	CxCOUT 输出状态
1	X	0	0	0	输出禁止 (与定时器断开) CxOUT=0, Cx_EN=0	输出禁止 (与定时器断开) CxCOUT=0, CxCEN=0



		0	0	1	输出禁止 (与定时器断开) CxOUT=0, Cx_EN=0	CxORAW + 极性, CxCOU= CxORAW xor CxCP, CxCEN=1
		0	1	0	CxORAW+极性, CxOUT= CxORAW xor CxP, Cx_EN=1	输出禁止 (与定时器断开) CxCOU=0, CxCEN=0
		0	1	1	CxORAW+极性+死区, Cx_EN=1	CxORAW 反相+极性+死区, CxCEN=1
		1	0	0	输出禁止 (与定时器断开) CxOUT=CxP, Cx_EN=0	输出禁止 (与定时器断开) CxCOU=CxCP, CxCEN=0
		1	0	1	关闭状态 (输出使能且为无效电平) CxOUT=CxP, Cx_EN=1	CxORAW + 极性, CxCOU= CxORAW xor CxCP, CxCEN=1
		1	1	0	CxORAW + 极性, CxOUT= CxORAW xor CxP, Cx_EN=1	关闭状态 (输出使能且为无效电平) CxCOU=CxCP, CxCEN=1
		1	1	1	CxORAW+极性+死区, Cx_EN=1	CxORAW 反相+极性+死区, CxCEN=1
0	0	X	0	0	输出禁止 (对应 IO 与定时器断开, IO 浮空) 异步地: CxOUT=CxP, Cx_EN=0, CxCOU=CxCP, CxCEN=0; 若时钟存在: 经过一个死区时间后 CxOUT=CxIOS, CxCOU=CxCIOS, 假设 CxIOS 与 CxCIOS 并不都对应 CxOUT 和 CxCOU 的有效电平。	CxEN=CxCEN=0 时: 输出禁止 (对应 IO 与定时器断开, IO 浮空); 其它情况下: 关闭状态 (对应通道输出无效电平) 异步地: CxOUT =CxP, Cx_EN=1, CxCOU=CxCP, CxCEN=1; 若时钟存在: 经过一个死区 时间后 CxOUT =CxIOS, CxCOU=CxCIOS, 假设 CxIOS 与 CxCIOS 并不都对应 CxOUT 和 CxCOU 的有效电平。
	0		0	1		
	0		1	0		
	0		1	1		
	1		0	0		
	1		0	1		
	1		1	0		
	1		1	1		

注意: 如果一个通道的 2 个输出都没有使用 (CxEN = CxCEN = 0), 那么 CxIOS, CxCIOS, CxP 和 CxCP 都必须清零。

注意: 引脚连接到互补的 CxOUT 和 CxCOU 通道的外部 I/O 引脚的状态, 取决于 CxOUT 和 CxOCOU 通道状态和 GPIO 以及 AFIO 寄存器。

#### 14.5.4.8 TMR16和TMR17计数值 (TMRx\_CVAL)

域	简称	复位值	类型	功能
位 15: 0	CVAL	0x0	rw	计数值 (Counter value)

#### 14.5.4.9 TMR16和TMR17预分频器 (TMRx\_DIV)

域	简称	复位值	类型	功能
位 15: 0	DIV	0x0	rw	分频系数 (Divider value) 计数器时钟频率 fCK_CNT = fTMR_CLK / (DIV[15: 0]+1) 溢出事件发生时该寄存器值被传送到实际的预分频寄存器中。

#### 14.5.4.10 TMR16和TMR17周期寄存器 (TMRx\_PR)

域	简称	复位值	类型	功能
位 15: 0	PR	0x0	rw	周期值 (Period value)

定时器计数的周期值。当周期值为 0 时，定时器不工作。

#### 14.5.4.11 TMR16和TMR17重复周期寄存器（TMRx\_RPR）

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7: 0	RPR	0x0	rw	重复周期的次数（Repetition of period value） 这些位用于减慢溢出事件发生的速率，当重复周期的次数减为 0 时才会发生溢出事件。

#### 14.5.4.12 TMR16和TMR17通道1数据寄存器（TMRx\_C1DT）

域	简称	复位值	类型	功能
位 15: 0	C1DT	0x0	rw	通道 1 数据寄存器值（Channel 1 data register） 若通道 1 配置为输入： C1DT 是前一次通道 1 输入事件（C1IN）所保存的 CVAL。 若通道 1 配置为输出： C1DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位（C1OBEN），并根据设置在 C1OUT 上产生相应的输出。

#### 14.5.4.13 TMR16和TMR17刹车寄存器（TMRx\_BRK）

域	简称	复位值	类型	功能
位 31: 18	保留	0x0	resd	保持默认值
位 19: 16	BKF	0x0	rw	刹车输入滤波（stop input filter） 这些位用于配置刹车输入的滤波器。滤波的个数为 N，则表示发生了 N 次采样事件后输入边沿才能通过滤波器： 0000: 无滤波器，以 $f_{DTS}$ 采样 1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$ , N=6 0001: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=2 1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$ , N=8 0010: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=4 1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=5 0011: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=8 1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=6 0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=6 1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=8 0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=8 1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=5 0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=6 1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=6 0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=8 1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=8
位 15	OEN	0x0	rw	输出使能（Output enable） 对配置为输出的通道，该位用于使能 CxOUT 和 CxCOUT 的输出。 0: 关闭； 1: 开启。
位 14	e	0x0	rw	输出自动使能（Automatic output enable） 用于溢出事件时将 OEN 自动置'1' 0: 关闭； 1: 开启
位 13	BRKV	0x0	rw	刹车输入信号的有效性（Brake input validity） 用于选择刹车输入信号的输入有效电平： 0: 低电平； 1: 高电平。
位 12	BRKEN	0x0	rw	刹车功能使能（Brake enable） 用于开启刹车功能。 0: 关闭；

				1: 开启。
位 11	FCSOEN	0x0	rw	<p>总输出开时的冻结状态 (Frozen channel status when holistic output enable)</p> <p>该位用于配置具有互补输出的通道, 在定时器不工作且 OEN=1 时的通道状态。</p> <p>0: 关闭 CxOUT/CxCOU<sub>T</sub> 输出;</p> <p>1: 开启 CxOUT/CxCOU<sub>T</sub> 输出, 输出为无效电平。</p>
位 10	FCSODIS	0x0	rw	<p>总输出关时的冻结状态 (Frozen channel status when holistic output disable)</p> <p>该位用于配置具有互补输出的通道, 在定时器不工作且 OEN=0 时的通道状态。</p> <p>0: 关闭 CxOUT/CxCOU<sub>T</sub> 输出;</p> <p>1: 开启 CxOUT/CxCOU<sub>T</sub> 输出, 输出为空闲电平。</p>
位 9: 8	WPC	0x0	rw	<p>写保护配置 (Write protected configuration)</p> <p>该位用于配置写保护。</p> <p>00: 写保护关闭;</p> <p>01: 3 级写保护, 以下位受写保护:</p> <p>TMR1_STOP: DTC、STPEN、STPV 和 HOAEN</p> <p>TMR1_CTRL2: CxIOS 和 CxIOSL</p> <p>10: 2 级写保护, 除 3 级写保护的内容外, 以下位也受写保护:</p> <p>TMR1_CCTRL: CxP 和 CxLP</p> <p>TMR1_STOP: FCSODIS 和 FCSOEN</p> <p>11: 1 级写保护, 除 2 级写保护的内容外, 以下位也受写保护:</p> <p>TMR1_CMx: C2OCTRL 和 C2OBEN</p> <p>注: WPC&gt;0 时将无法再次被修改, 直到系统复位。</p>
位 7: 0	DTC	0x0	rw	<p>死区配置 (Dead-time configuration)</p> <p>这些位用于配置死区时间。取 DTC[7: 0]的高 3 位为功能选择位:</p> <p>0xx: DT = DTC [7: 0] * TDTS;</p> <p>10x: DT = (64+ DTC [5: 0]) * TDTS * 2;</p> <p>110: DT = (32+ DTC [4: 0]) * TDTS * 8;</p> <p>111: DT = (32+ DTC [4: 0]) * TDTS * 16;</p>

*注意:* 根据锁定设置, AOEN、BRKV、BRKEN、FCSODIS、FCSOEN 和 DTC[7: 0] 位均可被写保护, 有必要在第一次写入 TMRx\_BRK 寄存器时对它们进行配置。

### 14.5.4.14 TMR16和TMR17 DMA控制寄存器 (TMRx\_DMACTRL)

域	简称	复位值	类型	功能
位 15: 13	保留	0x0	resd	保持默认值。
位 12: 8	DTB	0x0	rw	<p>DMA 传输字节 (DMA transfer bytes)</p> <p>这些位定义了传输的字节个数:</p> <p>00000: 1 个字节      00001: 2 个字节</p> <p>00010: 3 个字节      00011: 4 个字节</p> <p>.....</p> <p>10000: 17 个字节      10001: 18 个字节</p>
位 7: 5	保留	0x0	resd	保持默认值。
位 4: 0	ADDR	0x0	rw	<p>DMA 传输地址偏移 (DMA transfer address offset)</p> <p>ADDR 定义了从 TMRx_CTRL1 所在地址开始的偏移量:</p> <p>00000: TMRx_CTRL1,</p> <p>00001: TMRx_CTRL2,</p> <p>00010: TMRx_STCTRL,</p> <p>.....</p>

### 14.5.4.15 TMR16和TMR17 DMA数据寄存器 (TMRx\_DMADT)

域	简称	复位值	类型	功能
位 15: 0	DMADT	0x0	rw	DMA 传输的数据寄存器 (DMA data register)

---

通过对 DMADT 寄存器的读写能够实现任意 TMR 寄存器的操作，其操作的寄存器地址范围是：TMRx 外设地址 + ADDR\*4 至 TMRx 外设地址 + ADDR\*4 + DTB\*4。

---

## 14.6 高级定时器 (TMR1)

### 14.6.1 TMR1简介

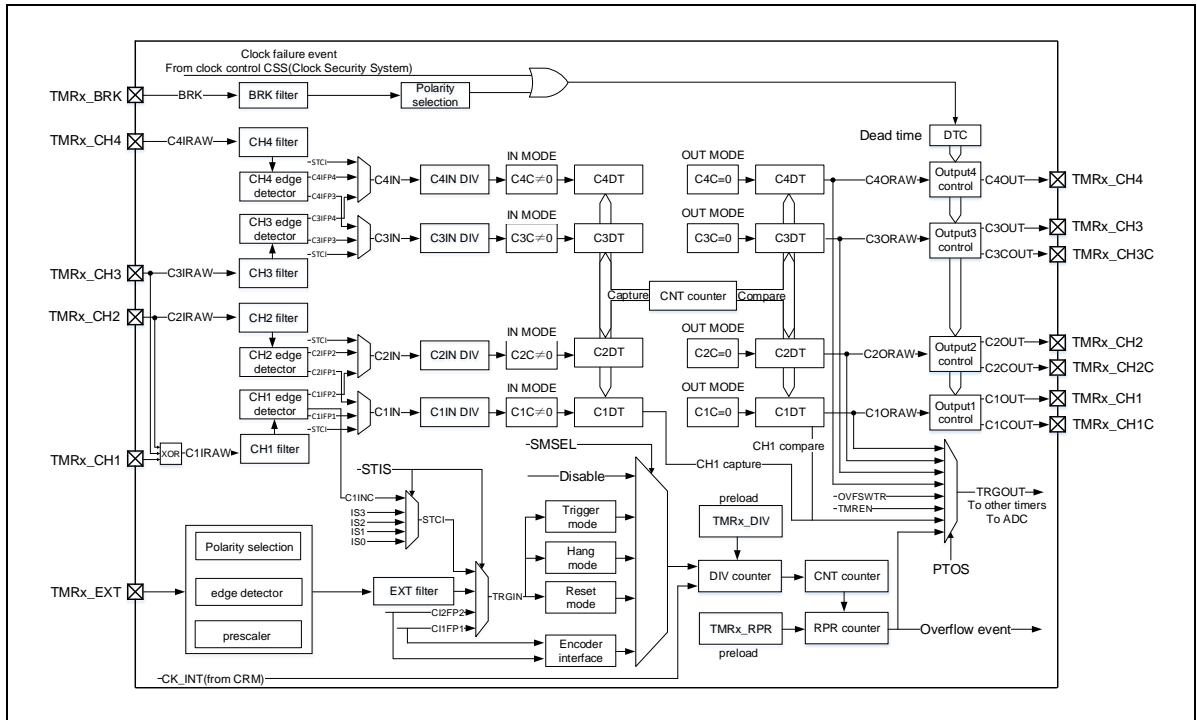
高级定时器 TMR1 包含一个支持向上、向下计数的 16 位计数器、4 个捕获/比较寄存器、4 组独立的通道。可实现嵌入死区、输入捕获、可编程 PWM 输出。

### 14.6.2 TMR1主要功能

TMR1 定时器的功能包括:

- 可选内部、外部、内部触发输入用作计数时钟
- 16位支持向上、向下、双向、重复计数、编码器模式的计数器
- 5组独立通道，支持输入捕获、输出比较、PWM生成、单周期模式、死区插入。
- 3组支持互补输出的独立通道
- 支持TMR刹车功能
- 定时器之间可互联同步
- 刹车信号输入且支持滤波
- 支持溢出事件、触发事件、刹车输入、通道事件触发中断/DMA
- 支持TMR burst DMA传输

图 14-91 高级控制定时器框图

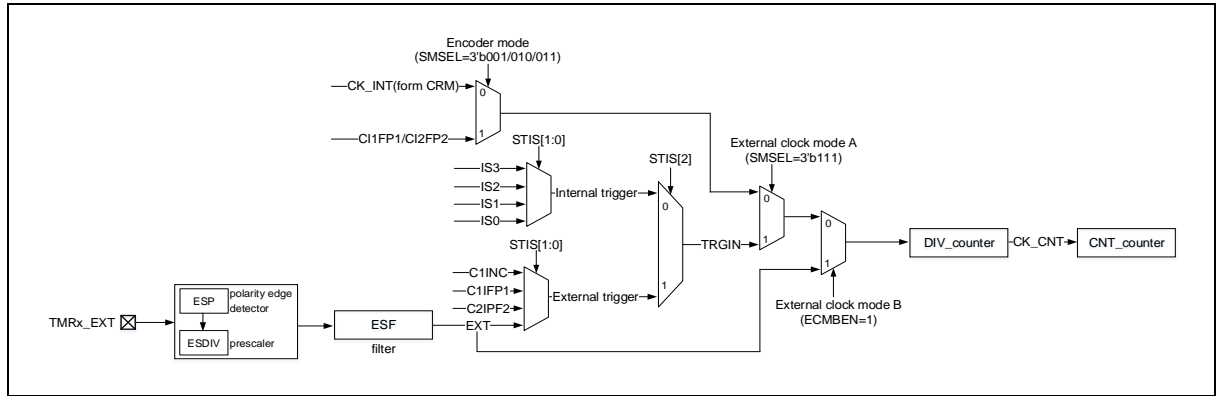


### 14.6.3 TMR1功能描述

#### 14.6.3.1 计数时钟

TMR1 计数时钟可从内部时钟 (CK\_INT)、外部时钟 (外部时钟模式 A、B)、内部触发输入 (ISx) 这些时钟源提供。

图 14-92 计数时钟

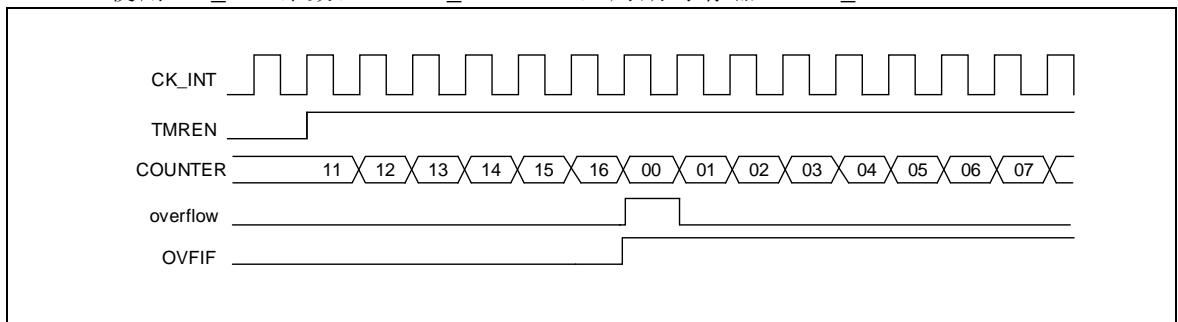


#### 内部时钟 (CK\_INT)

默认下使用 CK\_INT 经由预分频器驱动计数器计数，当 TMR 对应的 APB 时钟预分频系数是 1 时，CK\_INT 频率等于 APB 时钟频率，否则 CK\_INT 频率等于 APB 时钟频率的 2 倍。相关配置流程如下：

- 配置 TMRx\_CTRL1 寄存器 TWCMSEL[1:0]，选择计数模式，若选择单向对齐计数模式，还需配置 TMRx\_CTRL1 寄存器 OWCDIR 选择计数方向。
- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-93 使用CK\_INT计数，TMRx\_DIV=0x0，周期寄存器TMRx\_PR=0x16



#### 外部时钟 (TRGIN/EXT)

计数时钟可由两种外部时钟源提供，分别为 TRGIN 和 EXT 信号。

当 SMSEL=3'b111 时，外部时钟模式 A 被选中，配置 STIS[2: 0]来选择外部时钟源 TRGIN 信号驱动计数器计数。外部时钟源 TRGIN 可选则 C1INC(STIS=3'b100, 通道 1 上升沿和下降沿信号)、C1IFP1 (STIS=3'b101, 通道 1 滤波且极性选择后信号)、C2IFP2 (STIS=3'b110, 通道 2 滤波且极性选择后信号) 和 EXT (STIS=3'b111, 外部输入经极性选择、分频和滤波后信号)。

当 ECMBEN=1 时，外部时钟模式 B 被选中，计数器由外部输入经极性选择、分频和滤波后 EXT 信号驱动计数。外部时钟模式 B 等效于外部时钟模式 A 选择 EXT 信号作为外部时钟源 TRGIN。

若要使用外部时钟模式 A，可按如下步骤配置：

- 配置外部时钟源 TRGIN 参数。

若选择 TRGIN 来源为 TMRx\_CH1，需配置通道 1 输入滤波（TMRx\_CM1 寄存器 C1DF[3:0]）和通道 1 输入极性（TMRx\_CCTRL 寄存器 C1P/C1CP）。

若选择 TRGIN 来源为 TMRx\_CH2，需配置通道 2 输入滤波（TMRx\_CM1 寄存器 C2DF[3:0]）和通道 1 输入极性（TMRx\_CCTRL 寄存器 C2P/C2CP）。

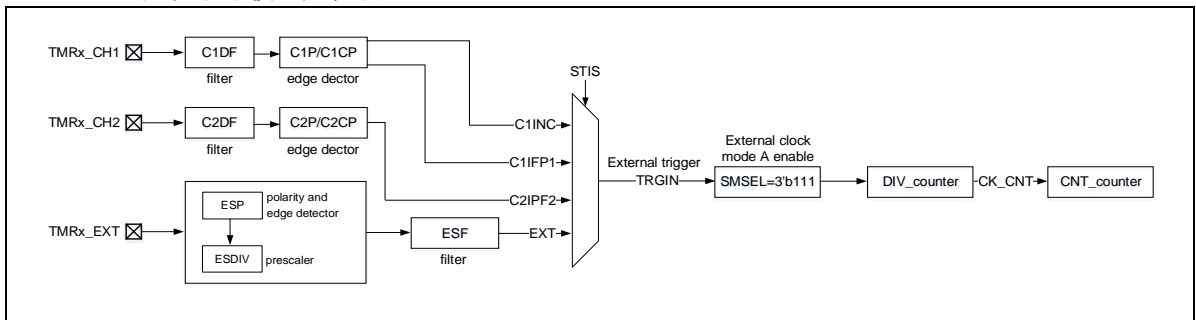
若选择 TRGIN 来源为 TMRx\_EXT，需配置外部信号极性（TMRx\_STCTRL 寄存器 ESP）、外部信号分频（TMRx\_STCTRL 寄存器 ESDIV[1:0]）和外部信号滤波（TMRx\_STCTRL 寄存器 ESF[3:0]）。

- 配置 TMRx\_STCTRL 寄存器 STIS[1:0]，设置 TRGIN 信号来源。
- 配置 TMRx\_STCTRL 寄存器 SMSEL=3'b111，使能外部时钟模式 A。
- 配置 TMRx\_DIV 寄存器 DIV[15:0]，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器 PR[15:0]，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

若要使用外部时钟模式 B，可按如下步骤配置：

- 配置 TMRx\_STCTRL 寄存器 ESP，设置外部信号极性。
- 配置 TMRx\_STCTRL 寄存器 ESDIV[1:0]，设置外部信号分频。
- 配置 TMRx\_STCTRL 寄存器 ESF[3:0]，设置外部信号滤波。
- 配置 TMRx\_STCTRL 寄存器 ECMBEN，使能外部时钟模式 B。
- 配置 TMRx\_DIV 寄存器 DIV[15:0]，设置计数器计数频率。
- 配置 TMRx\_PR 寄存器 PR[15:0]，设置计数器计数周期。
- 配置 TMRx\_CTRL1 寄存器 TMREN，使能计数器。

图 14-94 外部时钟模式A框图



注：由于同步逻辑，输入端信号与计数器实际时钟之间存在一定延时。

图 14-95 使用外部时钟模式A计数，PR=0x32，DIV=0x0

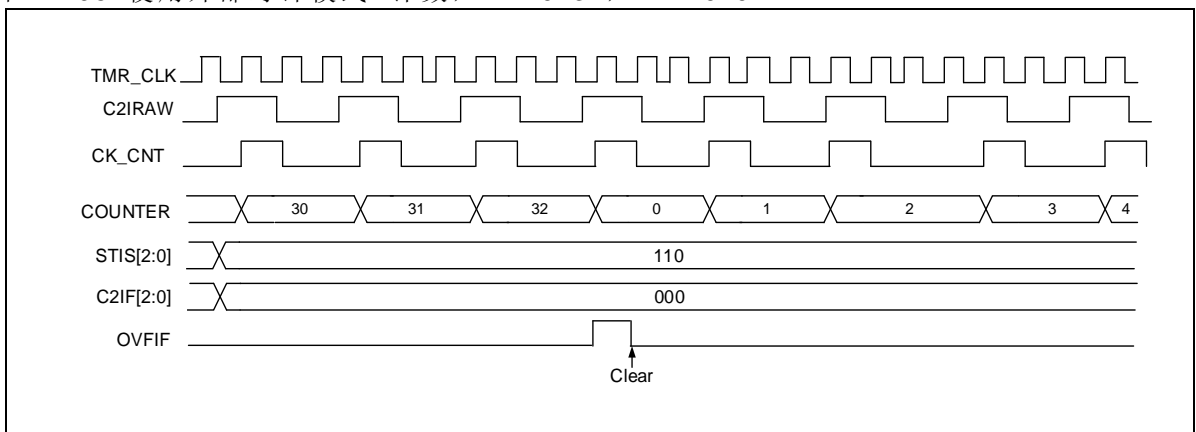
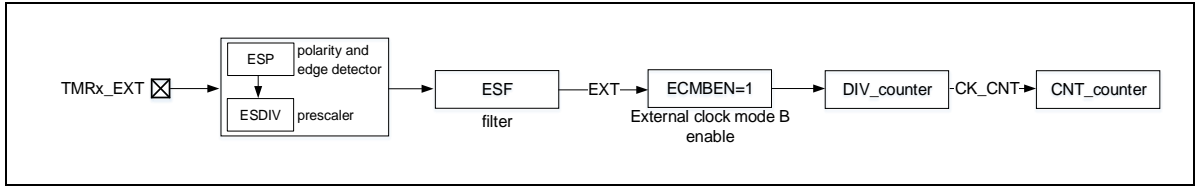
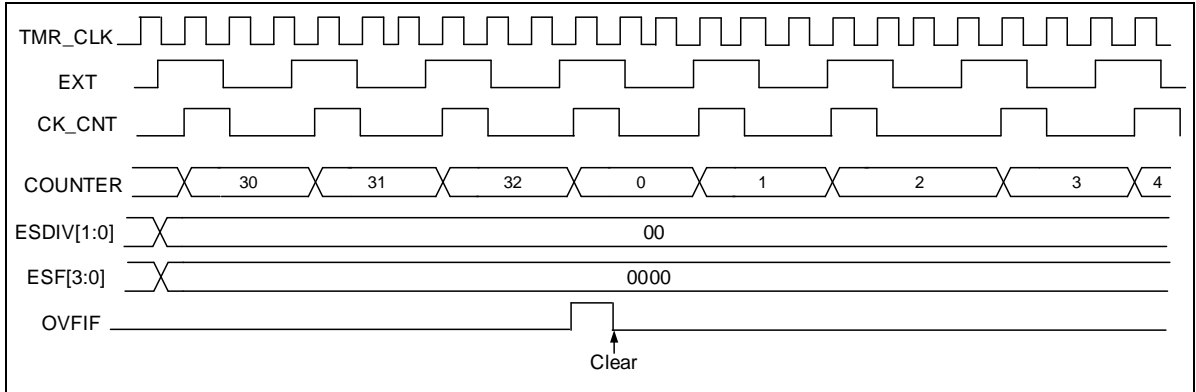


图 14-96 外部时钟模式B框图



注：由于同步逻辑。输入端 EXT 信号与计数器实际时钟之间存在一定延时。

图 14-97 使用外部时钟模式B计数，PR=0x32，DIV=0x0



**内部触发输入 (ISx)**

定时器之间支持互联同步,因此一个定时器的 TMR\_CLK 可由另一个定时器输出信号 TRGOUT 提供。

配置 STIS[2:0]选择内部触发信号驱动计数器计数。

高级定时器内含一个 16 位预分频器,用于产生驱动计数器计数的时钟 CK\_CNT,通过配置 TMR1\_DIV 寄存器值,可灵活调整 CK\_CNT 与 TMR\_CLK 之间的分频关系。预分频值可在任何时刻修改,但只在下一个溢出事件发生时,新值才会生效。

内部触发输入配置流程如下:

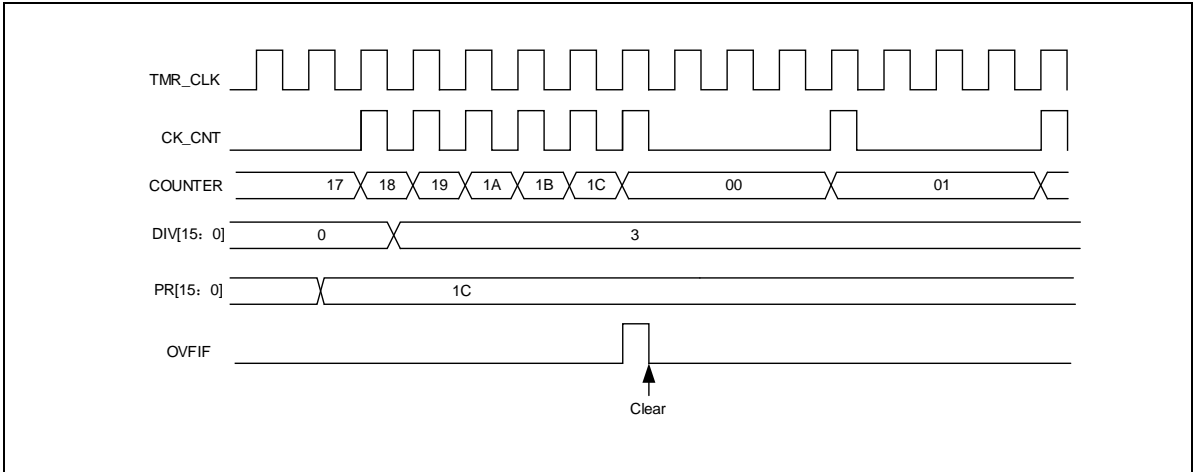
- 配置 TMRx\_PR 寄存器,设置计数器计数周期。
- 配置 TMRx\_DIV 寄存器,设置计数器计数频率。
- 配置 TMRx\_CTRL1 寄存器 TWCMSEL[1:0]位,设置计数器计数模式。
- 配置 TMRx\_STCTRL 寄存器 STIS[2:0]位范围为 3'b000~3'b011,选择内部触发。
- 配置 TMRx\_STCTRL 寄存器 SMSSEL[2:0]=3'b111,选择外部时钟模式 A。
- 配置 TMRx\_CTRL1 寄存器 TMREN 位,使能 TMRx 计数。

表 14-14 TMRx内部触发连接

次定时器	IS0 (STIS=000)	IS1 (STIS=001)	IS2 (STIS=010)	IS3 (STIS=011)
TMR1	TMR15	-	TMR3	-
TMR3	TMR1	-	TMR15	-
TMR15	-	TMR3	TMR16	TMR17_OC



图 14-98 当预分频器的参数从1变到4时，计数器的时序图



### 14.6.3.2 计数模式

高级定时器支持多种计数模式，用来满足不同的应用场景。其内部拥有一个支持 16 位向上计、向下、中央双向对齐计数模式计数器。

TMRx\_PR 寄存器用于设置计数器计数周期。默认 TMRx\_PR 寄存器值会立即传入它的影子寄存器；当开启周期缓冲功能后 (PRBEN 置 1)，TMRx\_PR 寄存器值在溢出事件发生时传入它的影子寄存器。

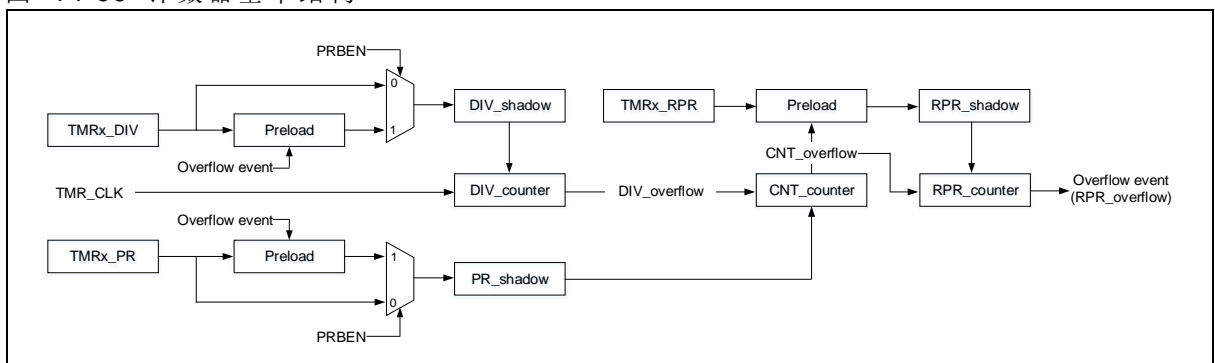
TMRx\_DIV 寄存器用于设置计数器计数频率，每 (DIV[15:0]+1) 个计数时钟周期，计数器计数一次。和 TMRx\_PR 寄存器类似，开启周期缓冲功能后，TMRx\_DIV 寄存器值在溢出事件时更新至它的影子寄存器。

读取 TMRx\_CNT 寄存器会返回当前计数器计数值，写入 TMRx\_CNT 寄存器会更新计数器当前计数值为写入值。

默认允许产生溢出事件，设置 TMRx\_CTRL1 寄存器 OVFEN=1 将禁止更新事件产生。TMRx\_CTRL1 寄存器 OVFS 用于选择溢出事件来源，默认计数器上溢或下溢、置位 OVFSWTR、复位模式次定时器控制器产生的复位信号产生溢出事件。置位 OVFS 后，只有计数器上溢或下溢产生溢出事件。

TMREN 位置 1 将使能定时器计数，由于同步逻辑，实际驱动计数器的使能信号 TMR\_EN 相对于 TMREN 延迟一个时钟周期。

图 14-99 计数器基本结构



### 向上计数模式

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]=2'b00, OWCDIR=1'b0 开启向上计数模式, 计数值达到 TMRx\_PR 值时, 重新从 0 向上计数, 计数器上溢并产生溢出事件, 同时 OVFIF 位置 1。若禁止产生溢出事件, 计数器溢出后不再重载预分频值和周期值, 否则预分频值和周期值在溢出事件后更新。

图 14-100 PRBEN=0时的溢出事件

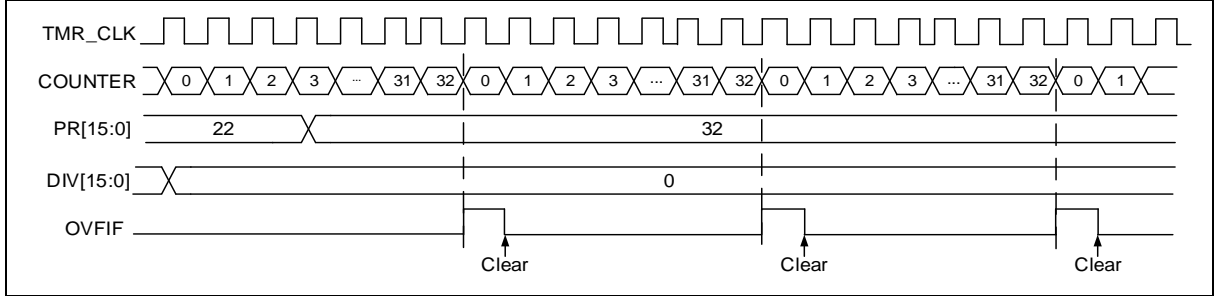
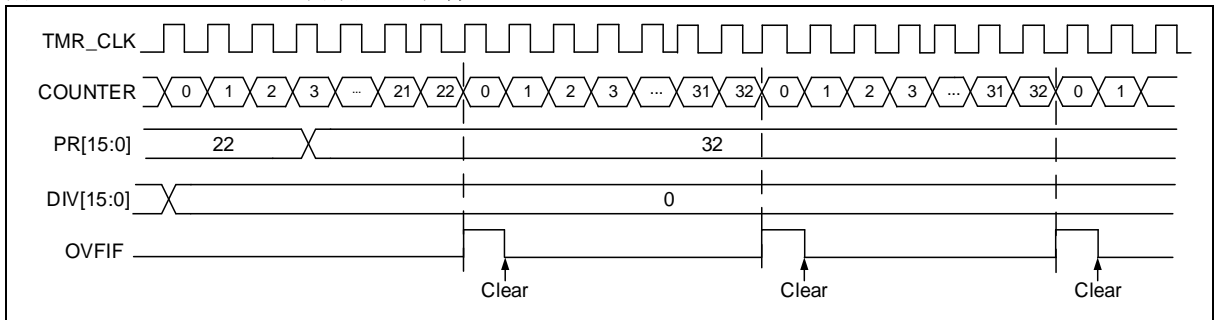


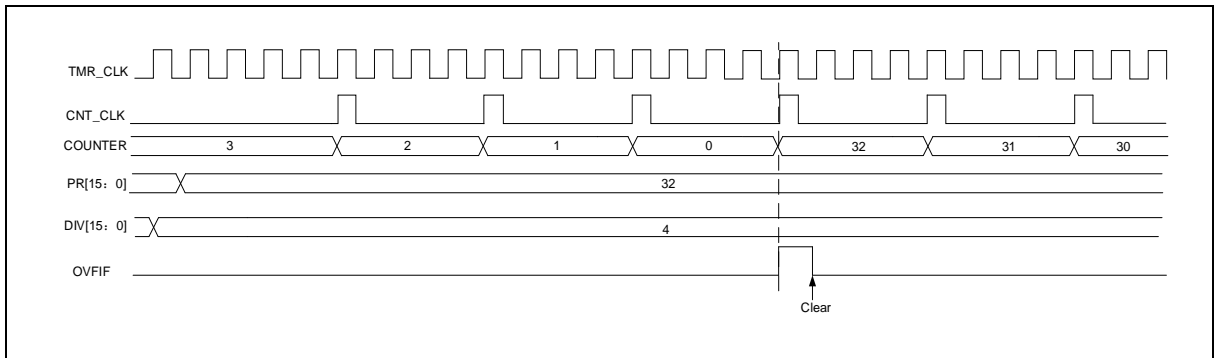
图 14-101 PRBEN=1时的溢出事件



### 向下计数模式

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]=2'b00, OWCDIR=1'b1 开启向下计数模式, 计数值达到 0 值并重新从 TMRx\_PR 向上计数时, 计数器下溢并产生溢出事件。

图 14-102 计数器时序图, 内部时钟分频因子为 4



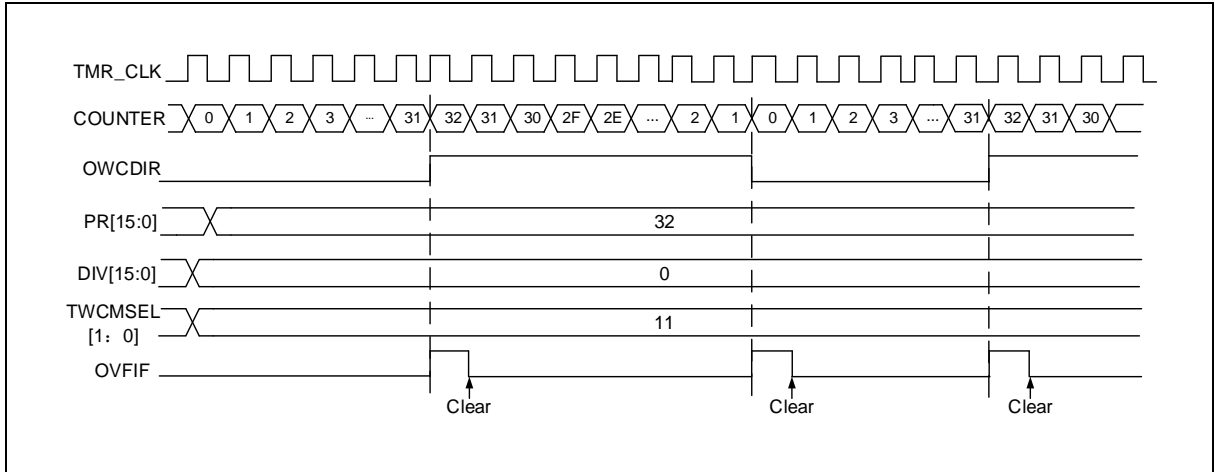
### 中央双向对齐计数模式

配置 TMRx\_CTRL1 寄存器 CMSEL[1:0]≠2'b00 开启中央双向对齐计数模式, 中央双向对齐计数模式下计数器交替向上、向下计数。计数值从 TMRx\_PR 值向下计数到 1 值, 产生下溢事件, 然后从 0 开始向上计数; 向上计数到 TMRx\_PR 值-1, 产生上溢事件, 之后从 TMRx\_PR 值向下计数。计数器计数方向由计数器方向控制位 (OWCDIR) 实时查看。

TMRx\_CTRL1 寄存器 TWCMSSEL[1:0]位还用于选择中央双向对齐计数模式下 CxIF 标志置起方式, 中央双向对齐计数模式 1 (TWCMSSEL[1:0]=2'b01) 仅允许 CxIF 标志位在计数器向下计数时置起; 双向对齐计数模式 2 (TWCMSSEL[1:0]=2'b10) 仅允许 CxIF 标志位在计数器向上计数时置起; 双向对齐计数模式 3 (TWCMSSEL[1:0]=2'b11) 允许 CxIF 标志位在计数器向上和向下计数时置起。

注意: 中央双向对齐计数模式下, OWCDIR 位为只读位。

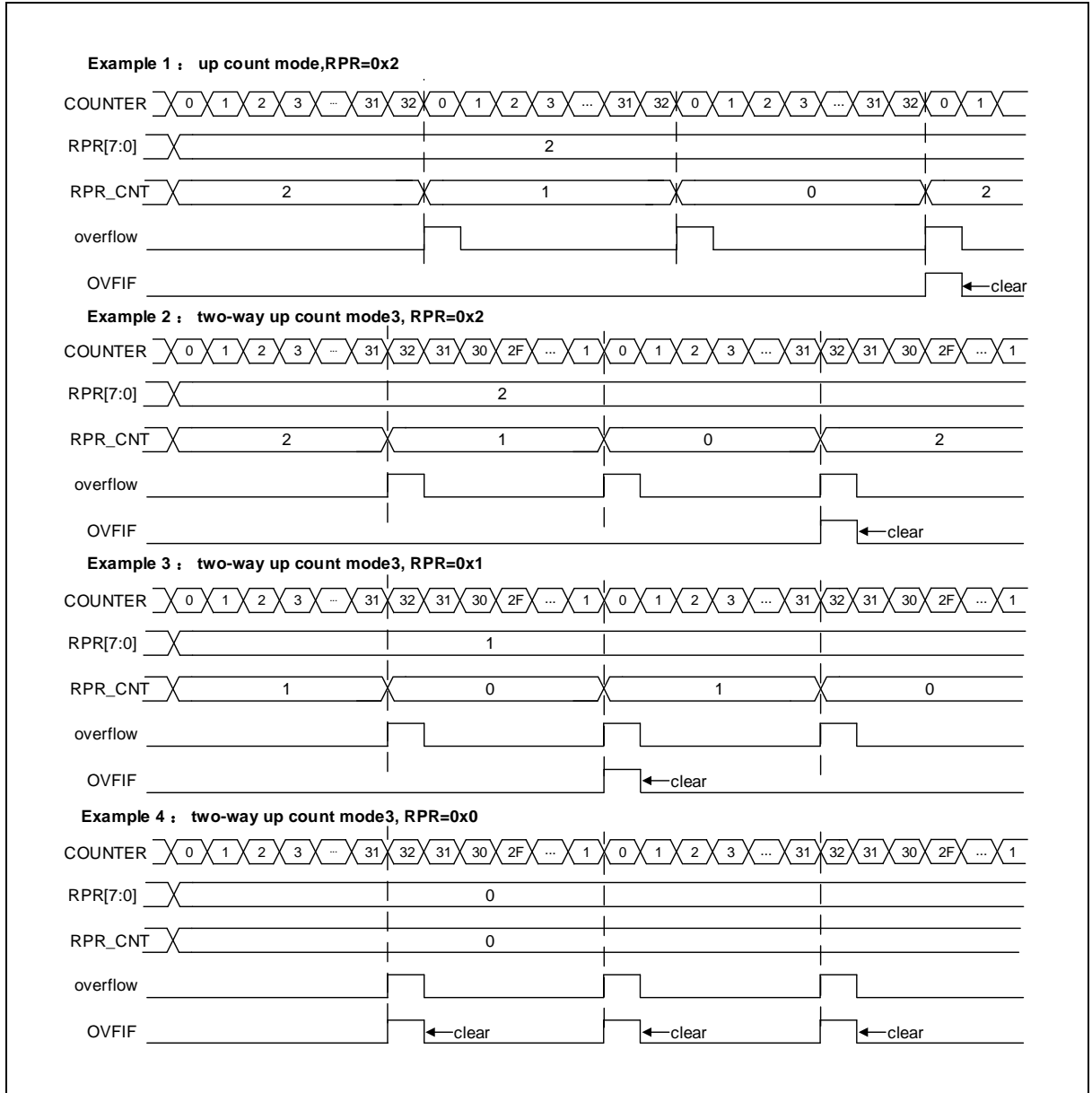
图 14-103 计数器时序图，内部时钟分频因子为1，TMRx\_PR=0x32



**重复计数模式:**

TMRx\_RPR 寄存器用于配置重复计数器计数周期，TMRx\_RPR 寄存器为非 0 值时，重复计数模式启动。重复计数模式下，每 (RPR[15:0]+1) 次计数器溢出将产生一次溢出事件。每次计数器溢出，重复计数器递减，仅当重复计数器计数值等于 0 值时，计数器溢出会产生溢出事件。通过配置不同重复计数器值，可调整溢出事件产生的频率。

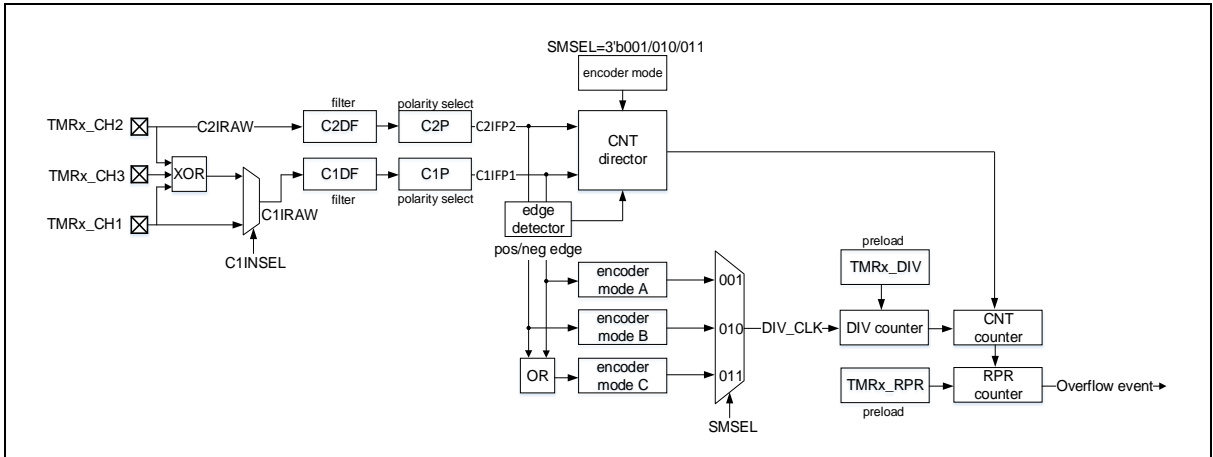
图 14-104 向上计数模式和中央双向对齐计数模式时OVFIF



**编码器模式**

编码器模式下需提供两组输入信号 TMRx\_CH1 和 TMRx\_CH2，根据一组输入信号电平值，计数器在另一组输入信号边沿向上或向下计数。计数方向由 OWCDIR 值指示。

图 14-105 编码模式结构



编码器模式 A: SMSEL=3'b001, 计数器在 C1IFP1 边沿计数 (上升沿和下降沿), 计数方向由 C1IFP1 边沿方向和 C2IFP2 电平高低共同决定。

编码器模式 B: SMSEL=3'b010, 计数器在 C2IFP2 边沿计数 (上升沿和下降沿), 计数方向由 C2IFP2 边沿方向和 C1IFP1 电平高低共同决定。

编码器模式 C: SMSEL=3'b011, 计数器在 C1IFP1 和 C2IFP2 边沿计数 (上升沿和下降沿), 计数方向由 C1IFP1 边沿方向和 C2IFP2 电平高低、C2IFP2 边沿方向和 C1IFP1 电平高低共同决定共同决定。

若要使用编码器模式可按下面步骤配置:

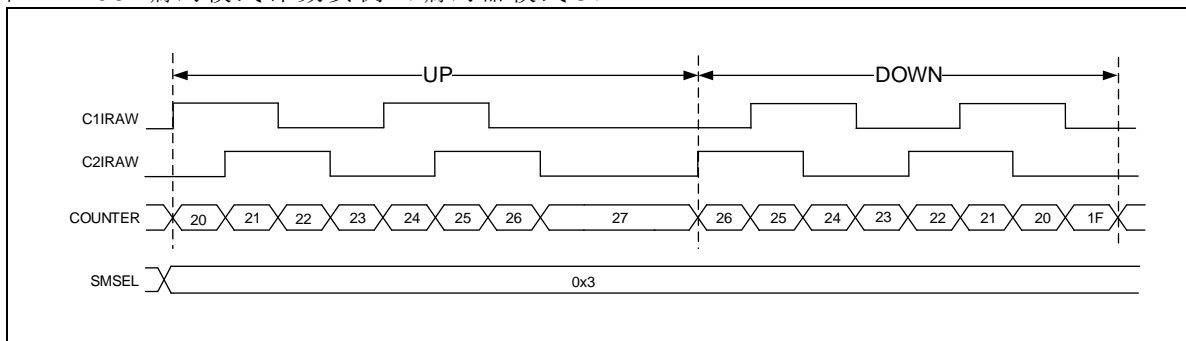
- 配置 TMRx\_CM1 寄存器 C1DF[3:0], 设置通道 1 输入信号滤波; 配置 TMRx\_CCTRL 寄存器 C1P, 设置通道 1 输入信号有效电平。
- 配置 TMRx\_CM1 寄存器 C2DF[3:0], 设置通道 2 输入信号滤波; 配置 TMRx\_CCTRL 寄存器 C2P, 设置通道 2 输入信号有效电平。
- 配置 TMRx\_CM1 寄存器 C1C[1:0], 设置通道 1 为输入模式; 配置 TMRx\_CM1 寄存器 C2C[1:0], 设置通道 2 为输入模式;
- 配置 TMRx\_STCTRL 寄存器 SMSEL[2:0], 选择编码器模式 A (SMSEL=3'b001)、编码器模式 B (SMSEL=3'b010) 或编码器模式 C (SMSEL=3'b011)。
- 配置 TMRx\_PR 寄存器 PR[15:0], 设置计数器计数周期。
- 配置 TMRx\_DIV 寄存器 DIV[15:0], 设置计数器计数频率。
- 配置 TMRx\_CH1 和 TMRx\_CH2 对应 IO 为复用模式。
- 配置 TMRx\_CTRL1 寄存器 TMREN, 使能计数器。

编码模式下计数器计数方向如下表所示:

表 14-15 计数方向与编码器信号的关系

计数边沿	计数边沿相对信号的电平 (C1IFP1 边沿对应 C2IFP2 电平, C2IFP2 边沿对应 C1IFP1 电平)	C1IFP1 边沿方向		C2IFP2 边沿方向	
		上升	下降	上升	下降
C1IFP1	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
C2IFP2	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
C1IFP1 和 C2IFP2	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

图 14-106 编码模式计数实例（编码器模式C）



### 14.6.3.3 TMR输入部分

TMR1 拥有 4 个独立通道，每个通道可配置为输入或输出，当配置位输入时，每个通道输入信号依次经过以下处理：

- TMRx\_CHx 经过预处理输出 CxIRAW。配置 C1INSEL 位，选择 C1IRAW 来源是 TMRx\_CH1 或是 TMRx\_CH1、TMRx\_CH2、TMRx\_CH3 异或。C2IRAW、C3IRAW、C4IRAW 来源是 TMRx\_CH2、TMRx\_CH3、TMRx\_CH4。
- CxIRAW 输入数字滤波器，输出滤波后信号 CxIF。数字滤波器通过 CxDF 位配置采样频率和次数。
- CxIF 输入边沿检测器，输出边沿选择后信号 CxIFPx。边沿选择由 CxP 和 CxCP 位共同控制，可选择输入上升沿、下降沿或双边沿有效。
- CxIFPx 输入捕获信号选择器，输出选择后信号 CxIN。捕获信号选择器由 CxC 控制，可选择 CxIN 来源为 CxIFPx、CylIFPx、STCI。其中 CylIFPx (x≠y) 是来自通道 y 的 CylIFPy 经通道 x 边沿检测器处理后的信号（例如 C1IFP2 是来自通道 1 的 C1IFP1 信号经过通道 2 边沿检测器处理后的信号）；STCI 来自次定时器控制器，由 STIS 位选择来源。
- CxIN 经由输入通道分频器，输出分频后信号 CxIPS。分频系数由 CxIDIV 位配置为不分频、2 分频、4 分频或 8 分频。

图 14-107 输入/输出通道 1 的主电路

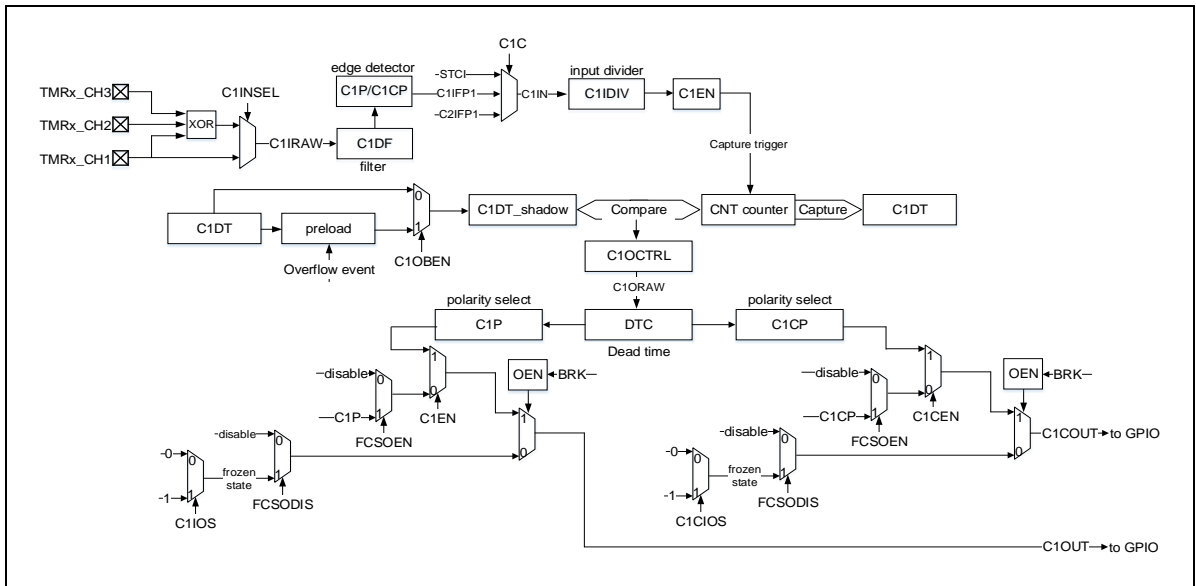
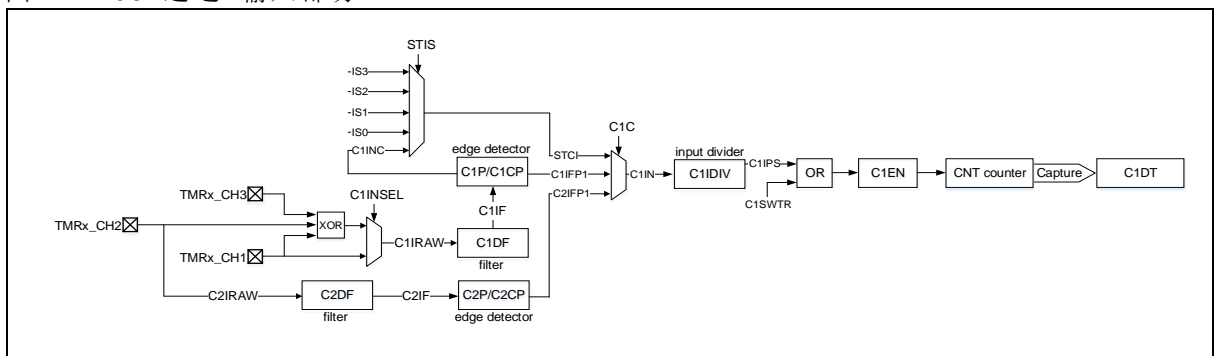


图 14-108 通道 1 输入部分



#### 输入模式

此模式下，当选中的触发信号被检测到，通道寄存器（TMRx\_CxDT）记录当前计数器计数值，并将捕获比较中断标志位（CxIF）置 1，若已使能通道中断（CxIEN）、通道 DMA 请求（CxDEN）则产生相应的中断和 DMA 请求。若在 CxIF 置 1 后检测到触发信号，将产生捕获溢出事件，TMRx\_CxDT 会使用当前计数器计数值覆盖之前记录的计数器计数值，同时通道再捕获标志位（CxRF）置 1。以若要捕获 C1IN 输入的上升沿，可按如下进行配置：

- 将通道模式寄存器1 (TMRx\_CM1) 中的C1C位配置为01, 选择C1IN作为通道1输入。
- 配置C1IN信号滤波器带宽 (CxDF[3:0])。
- 配置C1IN通道的有效沿, 在TMR1\_CTRL寄存器中写入C1P=0 (上升沿)。
- 配置C1IN信号捕获分频 (C1DIV[1:0])。
- 使能通道1输入捕获 (C1EN=1)。
- 根据需要设置TMR1\_IDEN寄存器中的C1IEN为、TMR1\_IDEN寄存器中的C1DEN位, 选择中断请求或DMA请求。

### 多输入异或

通道1的输入端可选择TMR1\_CH1、TMR1\_CH2和TMR1\_CH3经异或逻辑后输入。将TMR1\_CTRL2寄存器中的C1INSEL位置1可开启此功能。

多输入异或功能可用于连接霍尔传感器, 例如, 将异或输入的三个输入端分别连接到三个霍尔传感器, 通过分析三路霍尔传感器信号可计算出转子的位置和速度。

### PWM 输入

PWM 输入模式适用于通道1和2, 要使用此模式, 需要将C1IN和C2IN映射到同一TMRx\_CHx, 并且通道1或2的CxIFPx配置成触发次定时器控制器复位。

PWM 输入模式可用于测量输入信号的周期和占空比, 如需测量通道1输入信号的周期和占空比, 操作步骤如下:

- 配置C1C=2'b01, 选择C1IN为C1IFP1。
- 配置C1P=1'b0, 选择C1IFP1上升沿有效。
- 配置C2C=2'b10, 选择C2IN为C1IFP2。
- 配置C2P=1'b1, 选择C1IFP2下降沿有效。
- 配置STIS=3'b101, 选择次定时器触发信号为C1IFP1。
- 配置SMSEL=3'b100, 选择次定时器模式为复位模式。
- 配置C1EN=1'b1, C2EN=1'b1。使能通道1和输入捕获。

上述配置下, 通道1输入信号的上升沿会触发捕获并将捕获值存储到C1DT寄存器, 同时通道1输入信号上升沿复位计数器。通道1输入信号下降沿触发捕获并将捕获值存储到C2DT寄存器。通道1输入信号的周期可通过C1DT计算, 占空比可通过C2DT计算。

图 14-109 PWM输入模式配置实例

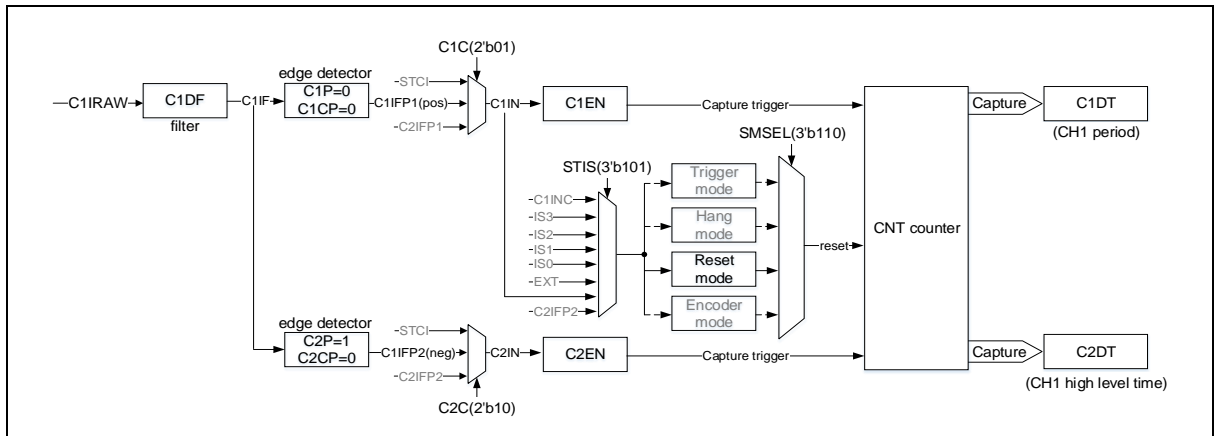
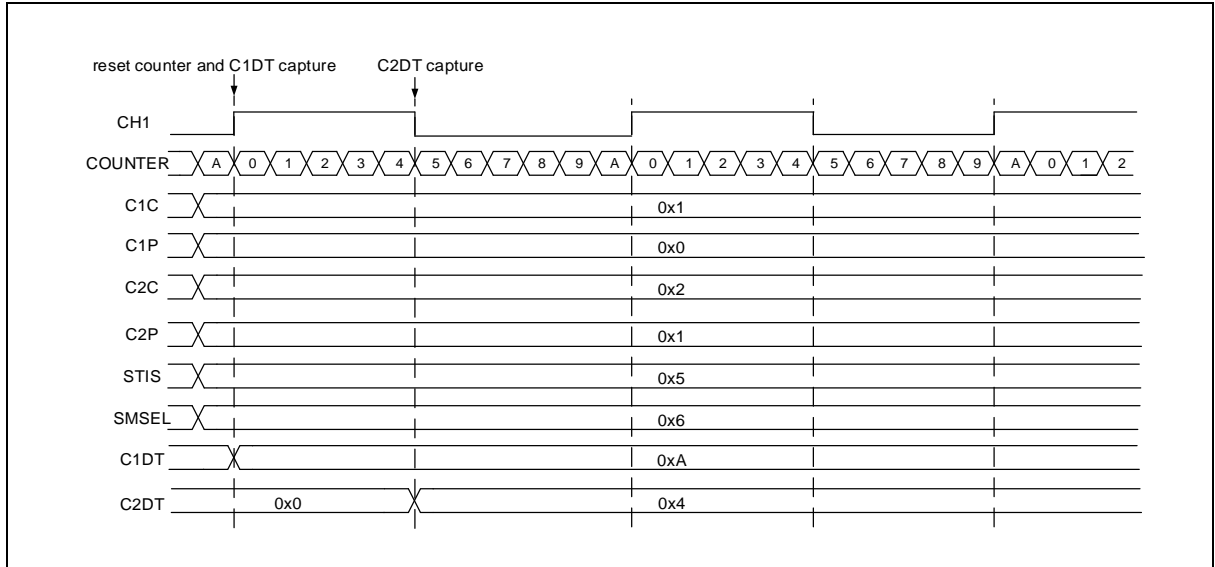




图 14-110 PWM输入模式



### 14.6.3.4 TMR输出部分

TMR 的输出部分由比较器和输出控制构成，用于编程输出信号的周期、占空比、极性。高级定时器的输出部分在不同通道上有所不同，如下图所示：

图 14-111 通道1至3输出部分

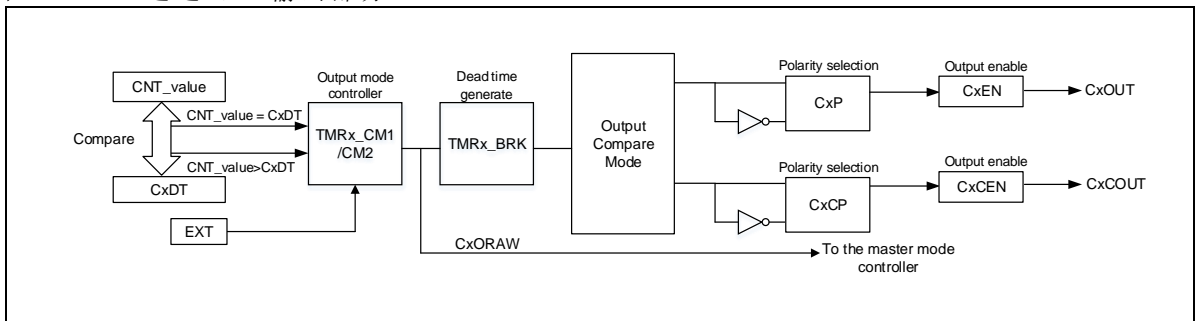
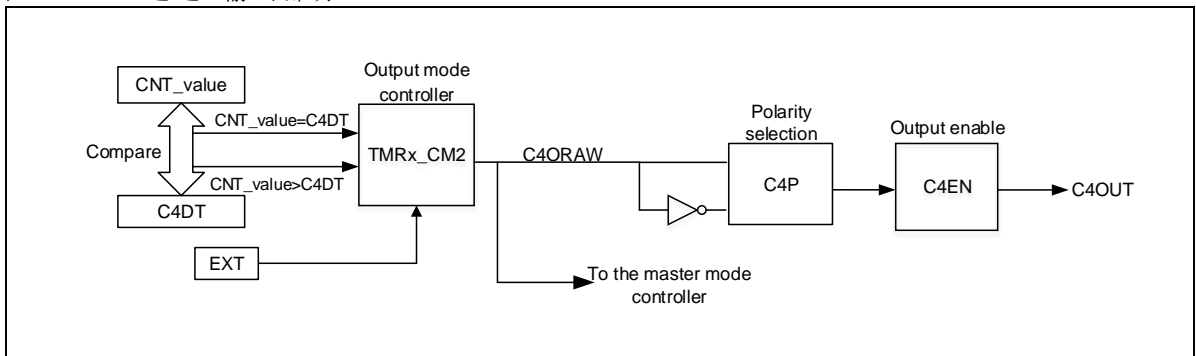


图 14-112 通道4输出部分



#### 输出模式

配置  $CxC[1:0] \neq 2'b00$  将通道配置为输出可实现多种输出模式，此时，计数器计数值将与  $CxDT$  寄存器值比较，并根据  $CxOCTRL[2:0]$  位配置的输出模式，产生中间信号  $CxORAW$ ，再经过输出控制逻辑处理后输送到 IO。输出信号的周期由  $TMR1\_PR$  寄存器值配置，占空比则由  $CxDT$  寄存器值配置。输出比较模式有以下子类：

**PWM 模式 A:**  $CxOCTRL=3'b110$  时，开启 PWM 模式 A。向上计数时， $TMRx\_C1DT > TMRx\_CVAL$  时  $C1ORAW$  输出高电平，否则为低电平；向下计数时， $TMRx\_C1DT < TMRx\_CVAL$  时  $C1ORAW$  输出低电平，否则为高电平。若要使用 PWM 模式 A，可按如下方式配置。

- 配置  $TMRx\_PR$  寄存器，设置 PWM 周期。
- 配置  $TMRx\_CxDT$  寄存器，设置 PWM 占空比。

- 配置 TMRx\_CM1/CM2 寄存器 CxOCTRL 位为 3'b110，设置输出模式为 PWM 模式 A。
- 配置 TMRx\_DIV 寄存器，设置计数器计数频率。
- 配置 TMRx\_CTRL1 寄存器 TWCMSSEL[1:0]位，设置计数器计数模式。
- 配置 TMRx\_CCTRL 寄存器 CxP 位、CxCP 位，设置输出极性。
- 配置 TMRx\_CCTRL 寄存器 CxEN 位、CxGEN 位，使能通道输出。
- 配置 TMRx\_BRK 寄存器 OEN 位，使能 TMRx 输出。
- 配置 TMR 输出通道对应 GPIO 为对应的复用模式。
- 配置 TMRx\_CTRL1 寄存器 TMREN 位，使能 TMRx 计数。

**PWM 模式 B:** CxOCTRL=3'b111 时，开启 PWM 模式 B。向上计数时，TMRx\_C1DT>TMRx\_CVAL 时 C1ORAW 输出低电平，否则为高电平；向下计数时，TMRx\_C1DT<TMRx\_CVAL 时 C1ORAW 输出高电平，否则为低电平。

**强制输出模式:** CxOCTRL=3'b100/101 时，开启强制输出模式。此时，CxORAW 信号的电平被强制输出为配置的电平，而与计数值无关。虽然输出信号不依赖于比较结果，但通道标志位和 DMA 请求仍依赖于比较结果。

**输出比较模式:** CxOCTRL=3'b001/010/011 时，开启输出比较模式。此时，当计数值与 CxDT 值匹配时，CxORAW 强制输出高电平（CxOCTRL=3'b001）、低电平（CxOCTRL=3'b010）或进行电平翻转（CxOCTRL=3'b011）。

**单周期模式:** PWM 模式的特例，将 OCMEN 位置 1 可开启单周期模式，此模式下，仅在当前计数周期中进行比较匹配，完成当前计数后，TMREN 位清 0，因此仅输出一个脉冲。当配置为向上计数模式时，需要严格配置 CVAL<CxDT≤PR；向下计数时，需严格配置 CVAL>CxDT。

**快速输出模式:** 将 CxOIEN 位置 1 可开启此功能，开启后 CxORAW 电平值不再在计数值与 CxDT 匹配时变化，而是在当前计数周期开始时，也就是说，比较结果被提前了，计数器值与通道寄存器（TMRx\_CxDT）的比较结果将会提前决定 CxORAW 的电平。

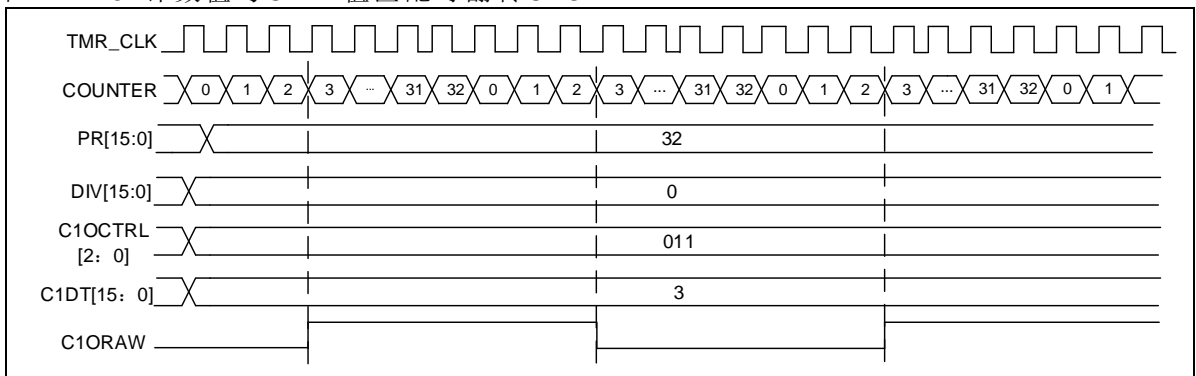
图 14-113 展示了输出比较模式（翻转）的例子，C1DT=0x3，当计数值等于 0x3 时，输出电平 C1OUT 被翻转。

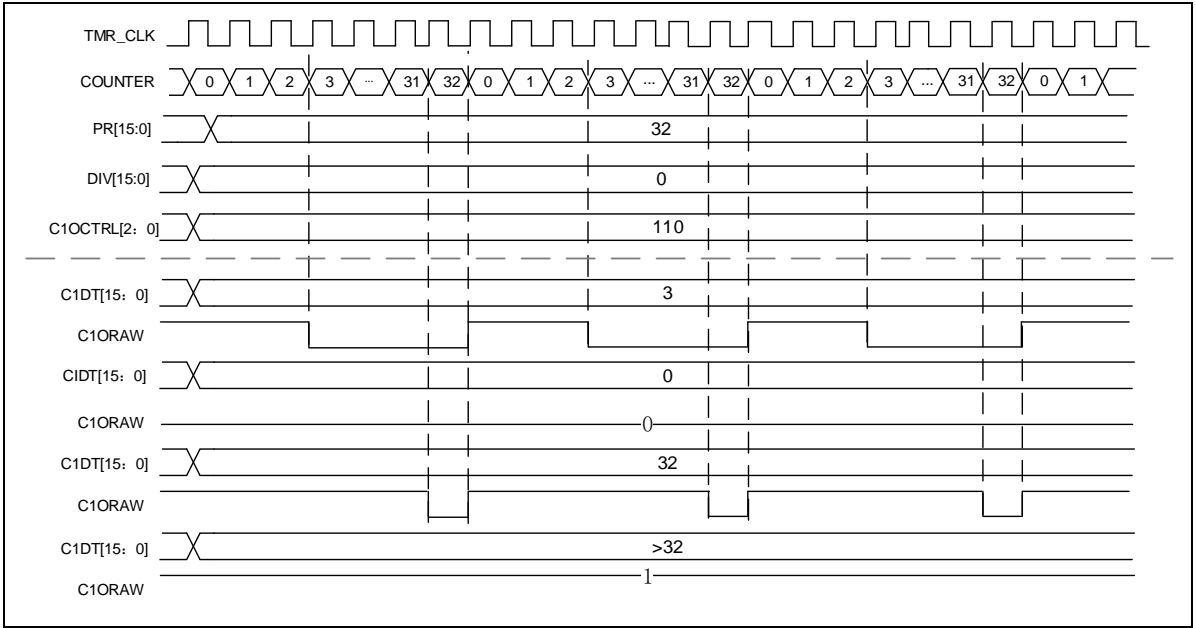
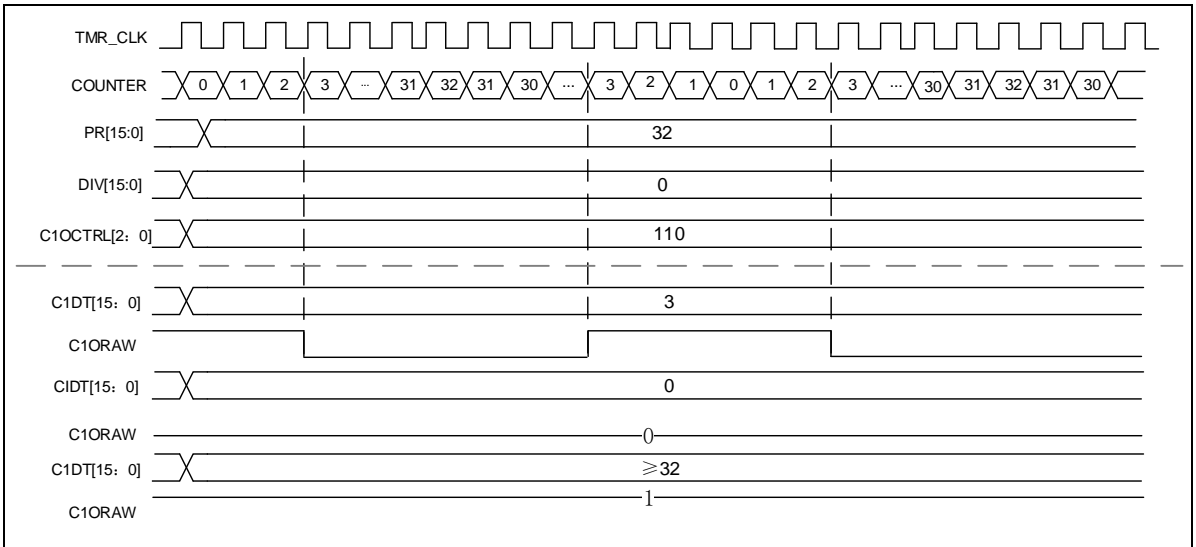
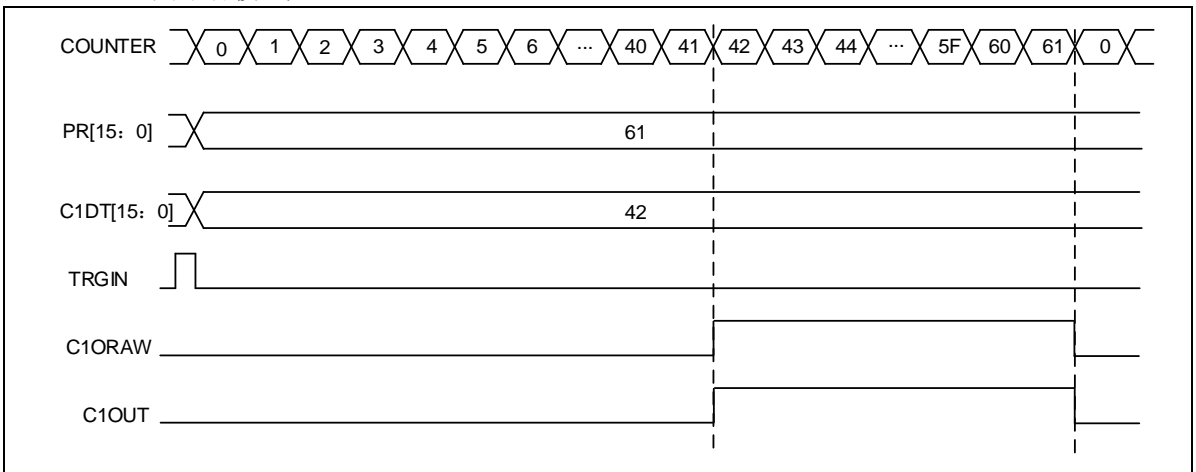
图 14-114 展示了计数器向上计数与 PWM 模式 A 配合的例子，PR=0x32，CxDT 配置为不同的值时输出时输出信号的翻转情况。

图 14-115 展示了计数器双向计数与 PWM 模式 A 配合的例子，PR=0x32，CxDT 配置为不同的值时输出时输出信号的翻转情况。

图 14-116 展示了计数器向上计数与单周期模式下 PWM 模式 B 配合的例子，计数器仅计数了一个周期，输出信号在这个周期中只输出了一个脉冲。

图 14-113 计数值与 C1DT 值匹配时翻转 C1ORAW



**图 14-114 向上计数下PWM模式A**

**图 14-115 双向计数下PWM模式**

**图 14-116 单周期模式**


## 主定时器事件输出

当 TMR 作为主定时器时，可选择如下信号源作为 TRGOUT 信号输出到次定时器，选择信号为 TMRxCTRL2 寄存器 PTOS 位。

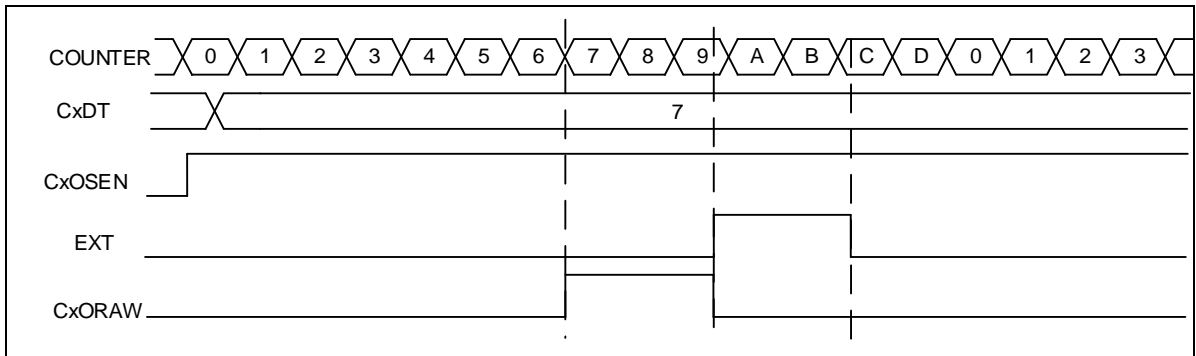
- PTOS=3'b000, TRGOUT 输出软件溢出事件 (TMRx\_SWEVT 寄存器 OVFSWTR 位)。
- PTOS=3'b001, TRGOUT 输出计数器使能信号。
- PTOS=3'b010, TRGOUT 输出计数器溢出事件。
- PTOS=3'b011, TRGOUT 输出捕获、比较事件。
- PTOS=3'b100, TRGOUT 输出 C1ORAW 信号。
- PTOS=3'b101, TRGOUT 输出 C2ORAW 信号。
- PTOS=3'b110, TRGOUT 输出 C3ORAW 信号。
- PTOS=3'b111, TRGOUT 输出 C4ORAW 信号。

## CxORAW 信号清除

将 CxOSEN 位置 1 后，指定通道的 CxORAW 信号由 EXT 高电平清 0，在下一次溢出事件发生前 CxORAW 信号无法被改变。

强制输出模式时，CxORAW 信号清除功能不可用，只有在输出比较模式或 PWM 模式，此功能有效。下图显示了使用 EXT 信号清除 CxORAW 的例子，当 EXT 为高电平期间，原本为高电平的 CxORAW 信号被拉低，当 EXT 为低电平时，CxORAW 根据计数值和 CxDT 比较结果输出电平。

图 14-117 EXT清除CxORAW (PWM模式A)



## 死区插入

高级定时器通道 1 至 3 包含一组反向通道输出，通过 CxCEN 使能，通过 CxCP 配置极性。CxOUT 和 CxCOU 的输出状态见表 14-17。

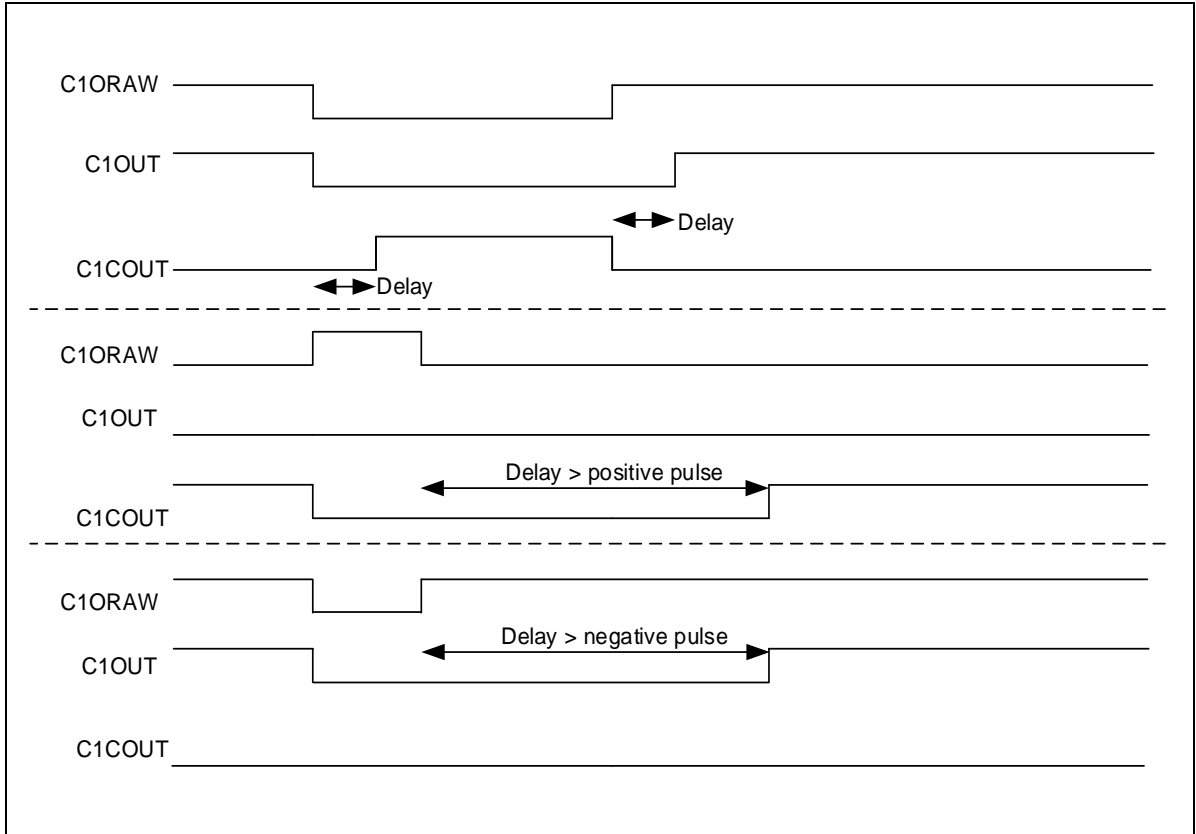
当转换为 IDLEF 状态，即 OEN 下降到 0，死区被激活。

将 CxEN 和 CxNEN 位置 1 后，通过配置 DTC[7:0]死区发生器，可插入不同时长的死区。插入死区后，CxOUT 的上升沿延迟于参考信号的上升沿；CxCOU 的上升沿延迟于参考信号的下降沿。

如果延迟大于当前有效的输出宽度，C1OUT 和 C1COU 不会产生相应的脉冲，死区时间应小于有效的输出宽度。

下列图显示了 CxP=0、CxCP=0、OEN=1、CxEN=1 并且 CxCEN=1 时死区插入的例子

图 14-118 带死区插入的互补输出



### 14.6.3.5 TMR刹车功能

开启刹车功能后（BRKEN 位置 1），CxOUT 和 CxCOUT 由 OEN、FCSODIS、FCISOEN、CxIOS 和 CxCIOS 共同控制。但 CxOUT 和 CxCOUT 输出总是不能同时处于有效电平上的。详见表 14-17 带刹车功能的互补输出通道 CxOUT 和 CxCOUT 的控制位。

刹车信号来源可以是刹车输入引脚、时钟失效事件，刹车输入信号的极性由 BRKV 位控制。

当发生刹车事件时，有下述动作：

- OEN 位异步清零，通道输出状态由 FCSODIS 位选择。关闭 MCU 的振荡器不影响该功能。
- OEN 被清零后，通道输出电平由 CxIOS 位设定。如果 FCSODIS=0，则定时器输出使能被禁止，否则输出使能始终为高。
- 当使用互补输出时：
  - 输出最开始处于复位状态，也就是无效的状态（取决于极性）。这是异步操作，定时器有无时钟并不影响此功能。
  - 定时器的时钟如果有效，会开启死区生成功能，CxIOS 和 CxCIOS 位用来配置死区之后的电平。即使在这种情况下，CxOUT 和 CxCOUT 也不能被同时驱动到有效的电平。

*注意，由于 OEN 位同步逻辑，死区时间较通常会延长一段时间（大约 2 个 ck\_tim 的时钟周期）。*

— 如果 FCSODIS=0，定时器释放使能输出，否则保持使能输出；或一旦 CxEN 与 CxCEN 之一变高时，使能输出变为高。

- 如果开启了刹车中断或 DMA 功能，刹车状态标志将置 1，并产生刹车中断或 DMA 请求。
- 如果将 AOEN 位置 1，在下一个溢出事件时 OEN 位被自动置 1。

*注意：刹车输入电平有效时，OEN 不能被设置，状态标志 BRKIF 也不能被清除。*

图 14-119 TMR输出控制

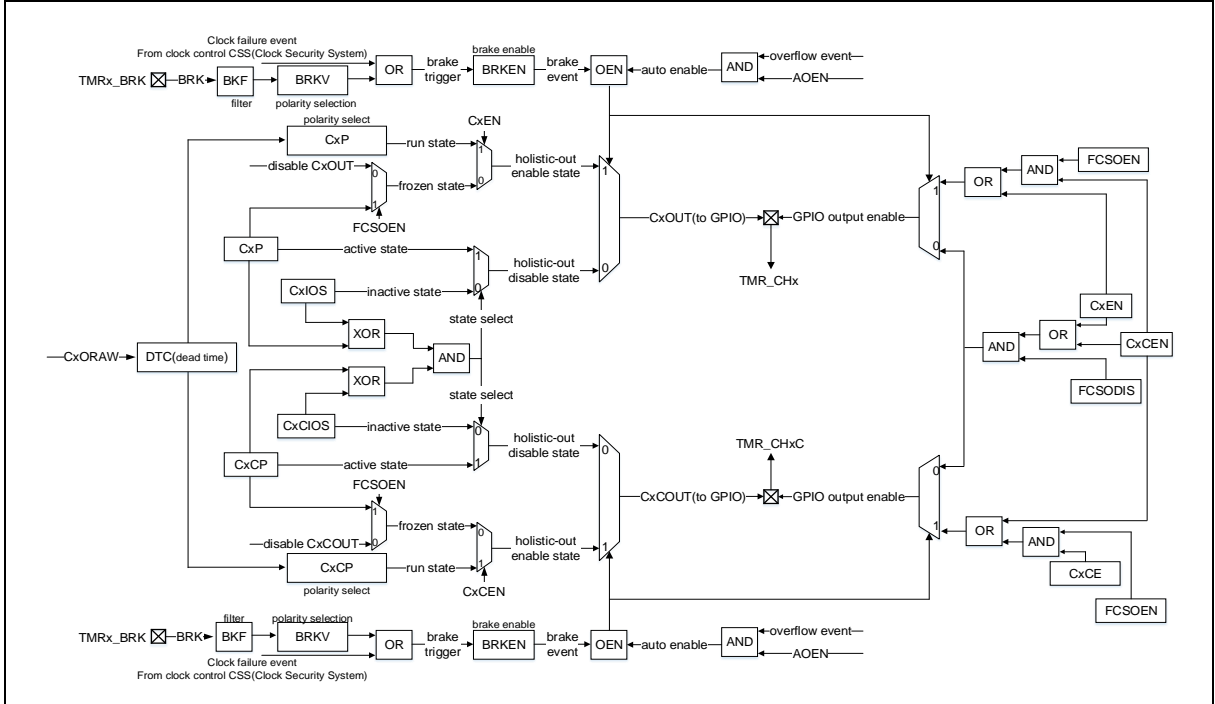
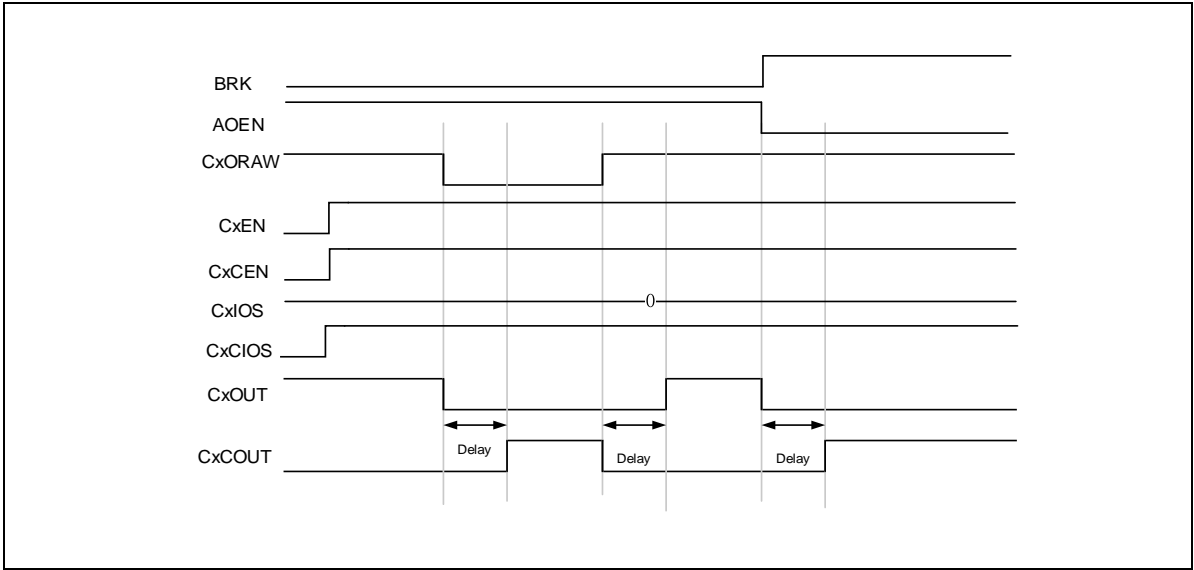


图 14-120 TMR刹车功能的例子



### 14.6.3.6 TMR同步

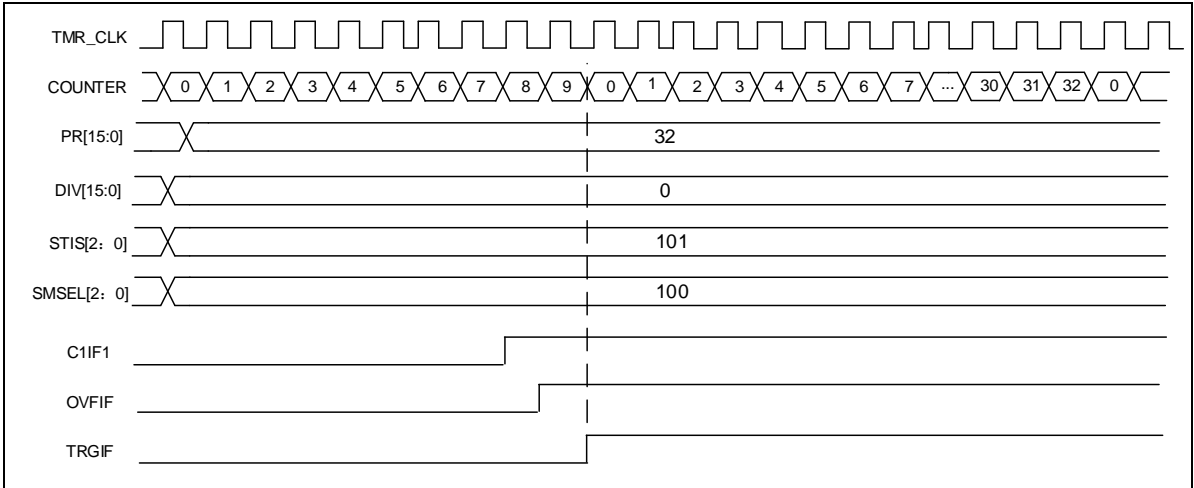
主次定时器之间可由内部连接信号进行同步。主定时器可由 PTOS[2:0]位选择主定时器输出，即同步信息；次定时器由 SMSEL[2:0]位选择从模式，即次定时器的工作模式。

定时器从模式有以下几种：

#### 从模式：复位模式

选中的触发信号将复位计数器和预分频器，若 OVFS 位为 0，将产生一个溢出事件。

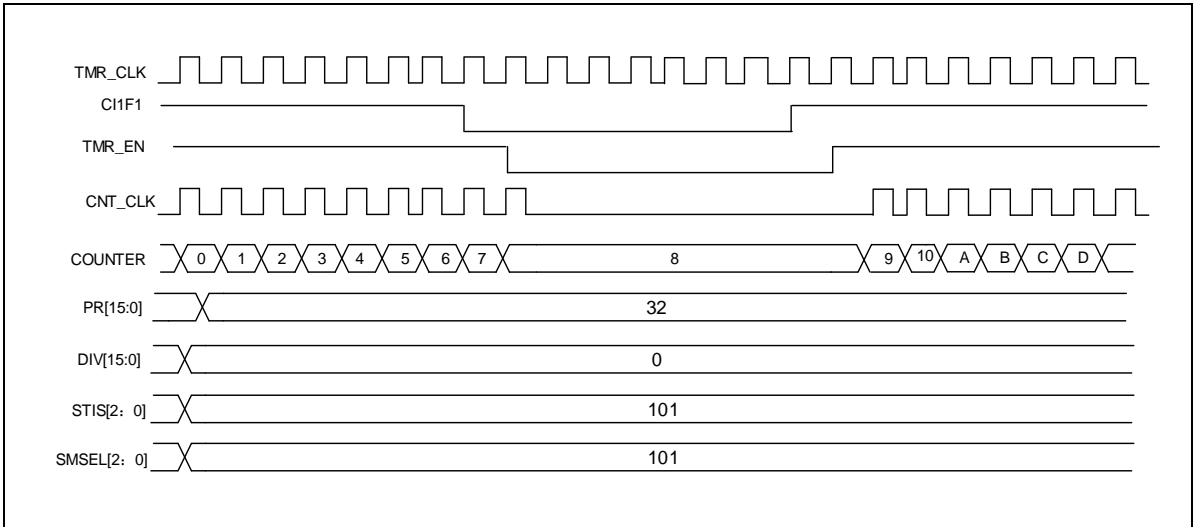
图 14-121 复位模式例子



**从模式：挂起模式**

挂起模式下，计数的计数和停止受选中触发输入信号控制，当触发输入为高电平时计数器开始计数；当为低电平时，计数器暂停计数。

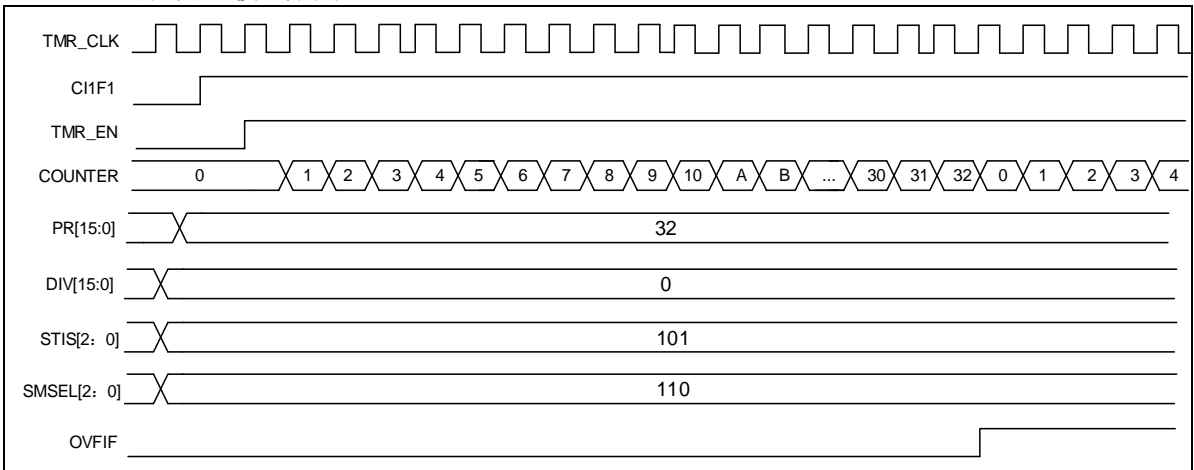
图 14-122 挂起模式下例子



**从模式：触发模式**

计数器将在选中的触发输入上升沿启动计数（将 TMR\_EN 置 1）。

图 14-123 触发器模式例子



定时器的同步的更多实例详见 [14.2.3.5](#) 节。

### 14.6.3.7 调试模式

当微控制器进入调试模式（Cortex™-M0+核心停止）时，将 DEBUG 模块中的 TMR1\_PAUSE 置 1，可以使 TMR1 计数器暂停计数。

### 14.6.4 TMR1 寄存器描述

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

下表中将 TMR1 的所有寄存器映射到一个 16 位可寻址（编址）空间

表 14-16 TMR1 寄存器和复位值

寄存器简称	基址偏移量	复位值
TMR1_CTRL1	0x00	0x0000
TMR1_CTRL2	0x04	0x0000
TMR1_STCTRL	0x08	0x0000
TMR1_IDEN	0x0C	0x0000
TMR1_ISTS	0x10	0x0000
TMR1_SWEVT	0x14	0x0000
TMR1_CM1	0x18	0x0000
TMR1_CM2	0x1C	0x0000
TMR1_CCTRL	0x20	0x0000
TMR1_CVAL	0x24	0x0000
TMR1_DIV	0x28	0x0000
TMR1_PR	0x2C	0x0000
TMR1_RPR	0x30	0x0000
TMR1_C1DT	0x34	0x0000
TMR1_C2DT	0x38	0x0000
TMR1_C3DT	0x3C	0x0000
TMR1_C4DT	0x40	0x0000
TMR1_BRK	0x44	0x0000
TMR1_DMACTRL	0x48	0x0000
TMR1_DMADT	0x4C	0x0000
TMR1_CM3	0x70	0x0000
TMR1_C5DT	0x74	0x0000

#### 14.6.4.1 TMR1 控制寄存器 1（TMR1\_CTRL1）

域	简称	复位值	类型	功能
位 15: 10	保留	0x0	resd	保持默认值。
位 9: 8	CLKDIV	0x0	rw	时钟除频（Clock divider） 此位用于设置数字滤波器采样频率 $f_{DTS}$ 和定时器时钟频率 $f_{CK\_INT}$ 之间的分频比，也用于调整死区时间的时基 $T_{DTS}$ 和定时器时钟周期 $T_{CK\_INT}$ 的分频比。 00: 无除频， $f_{DTS}=f_{CK\_INT}$ ； 01: 2 除频， $f_{DTS}=f_{CK\_INT}/2$ ； 10: 4 除频， $f_{DTS}=f_{CK\_INT}/4$ ； 11: 保留。
位 7	PRBEN	0x0	rw	周期缓冲使能（Period buffer enable） 0: 缓冲关闭；



位 6: 5	TWCMSSEL	0x0	rw	1: 缓冲开启。 中央双向对齐计数模式选择（Two-way count mode selection） 00: 单向计数模式，方向由 OWCDIR 配置； 01: 中央双向对齐计数模式 1，上下交替计数，CxIF 位只在计数器向下计数时被置起； 10: 中央双向对齐计数模式 2，上下交替计数，CxIF 位只在计数器向上计数时被置起； 11: 中央双向对齐计数模式 3，上下交替计数，CxIF 位在计数器向上和向下计数时皆被置起。
位 4	OWCDIR	0x0	rw	单向计数方向（One-way count direction） 0: 向上； 1: 向下。
位 3	OCMEN	0x0	rw	单周期使能（One cycle mode enable） 该功能用于选择溢出事件后，计数器是否停止。 0: 关闭； 1: 开启。
位 2	OVFS	0x0	rw	溢出事件源选择（Overflow event source） 配置溢出事件或 DMA 请求来源。 0: 来源于计数器溢出、设置 OVFSWTR 位或次定时器控制器产生的溢出事件； 1: 只能来源于计数器溢出。
位 1	OVFEN	0x0	rw	溢出事件使能（Overflow event enable） 0: 开启； 1: 关闭。
位 0	TMREN	0x0	rw	使能定时器（TMR enable） 0: 关闭； 1: 开启。

#### 14.6.4.2 TMR1控制寄存器2（TMR1\_CTRL2）

域	简称	复位值	类型	功能
位 31	TRGOUT2EN	0x0	rw	TRGOUT2 输出使能（TRGOUT2 enable） 0: 禁止 1: 开启
位 30: 15	保留	0x0	resd	保持默认值
位 14	C4IOS	0x0	rw	通道 4 空闲输出状态（Channel 4 idle output state）
位 13	C3CIOS	0x0	rw	通道 3 互补空闲输出状态（Channel 3 complementary idle output state）
位 12	C3IOS	0x0	rw	通道 3 空闲输出状态（Channel 3 idle output state）
位 11	C2CIOS	0x0	rw	通道 2 互补空闲输出状态（Channel 2 complementary idle output state）
位 10	C2IOS	0x0	rw	通道 2 空闲输出状态（Channel 2 idle output state）
位 9	C1CIOS	0x0	rw	通道 1 互补空闲输出状态（Channel 1 complementary idle output state） 输出关闭（OEN = 0），死区发生后： 0: C1COUT=0； 1: C1COUT=1。
位 8	C1IOS	0x0	rw	通道 1 空闲输出状态（Channel 1 idle output state） 输出关闭（OEN = 0），死区发生后： 0: C1OUT=0。 1: C1OUT=1。
位 7	C1INSEL	0x0	rw	C1IN 选择（C1IN selection） 0: CH1 引脚连到 C1IRAW 输入； 1: CH1、CH2 和 CH3 引脚异或结果连到 C1IRAW 输入。
位 6: 4	PTOS	0x0	rw	主定时器输出信号选择（Primary TMR output selection） TMRx 输出到次定时器的信号选择： 000: 复位； 001: 使能； 010: 溢出；

				011: 比较脉冲; 100: C1ORAW 信号; 101: C2ORAW 信号; 110: C3ORAW 信号; 111: C4ORAW 信号。
位 3	DRS	0x0	rw	DMA 请求源 (DMA request source) DMA 请求来源。 0: 通道事件; 1: 溢出事件。
位 2	CCFS	0x0	rw	通道控制位刷新选择 (Channel control bit refresh select) 对具有互补输出的通道, 如果通道控制位有缓存时: 0: 通过设置 HALL 位刷新控制位; 1: 通过设置 HALL 位或 TRGIN 的上升沿刷新控制位。
位 1	保留	0x0	resd	保持默认值。
位 0	CBCTRL	0x0	rw	通道缓存控制 (Channel buffer control) 对具有互补输出的通道: 0: CxEN, CxCEN 和 CxOCTRL 位无缓存; 1: CxEN, CxCEN 和 CxOCTRL 位有缓存。

### 14.6.4.3 TMR1次定时器控制寄存器 (TMR1\_STCAL)

域	简称	复位值	类型	功能
位 15	ESP	0x0	rw	外部信号极性 (External signal polarity) 用于选择外部方式。 0: 高电平或上升沿; 1: 低电平或下降沿。
位 14	ECMBEN	0x0	rw	外部时钟模式 B 使能 (External clock mode B enable) 用于启用外部时钟模式 B 0: 关闭; 1: 开启。
位 13: 12	ESDIV	0x0	rw	外部信号除频 (External signal divide) 用于选择降低外部触发频率的除频。 00: 关闭分频; 01: 2 分频; 10: 4 分频; 11: 8 分频。
位 11: 8	ESF	0x0	rw	外部信号滤波 (External signal filter) 用于过滤外部信号, 当外部信号产生了 N 次之后才能被采样。 0000: 无滤波器, 以 $f_{DTS}$ 采样 0001: $f_{SAMPLING} = f_{CK\_INT}$ , N=2; 0010: $f_{SAMPLING} = f_{CK\_INT}$ , N=4; 0011: $f_{SAMPLING} = f_{CK\_INT}$ , N=8; 0100: $f_{SAMPLING} = f_{DTS}/2$ , N=6; 0101: $f_{SAMPLING} = f_{DTS}/2$ , N=8; 0110: $f_{SAMPLING} = f_{DTS}/4$ , N=6; 0111: $f_{SAMPLING} = f_{DTS}/4$ , N=8; 1000: $f_{SAMPLING} = f_{DTS}/8$ , N=6; 1001: $f_{SAMPLING} = f_{DTS}/8$ , N=8; 1010: $f_{SAMPLING} = f_{DTS}/16$ , N=5; 1011: $f_{SAMPLING} = f_{DTS}/16$ , N=6; 1100: $f_{SAMPLING} = f_{DTS}/16$ , N=8; 1101: $f_{SAMPLING} = f_{DTS}/32$ , N=5; 1110: $f_{SAMPLING} = f_{DTS}/32$ , N=6; 1111: $f_{SAMPLING} = f_{DTS}/32$ , N=8。
位 7	STS	0x0	rw	次定时器同步 (Subordinate TMR synchronization) 该位开启后, 主次定时器可实现高度同步。 0: 关闭; 1: 开启。
位 6: 4	STIS	0x0	rw	次定时器输入选择 (Subordinate TMR input selection)

				用于次定时器的输入选择。 000: 内部选择 0 (IS0); 001: 内部选择 1 (IS1); 010: 内部选择 2 (IS2); 011: 内部选择 3 (IS3); 100: C1IRAW 的输入检测器 (C1INC); 101: 滤波输入 1 (C1IF1); 110: 滤波输入 2 (C2IF2); 111: 外部输入 (EXT)。 关于每个定时器中 ISx 的细节, 参见表 14-14。
位 3	保留	0x0	resd	保留, 保持默认值。
位 2: 0	SMSSEL	0x0	rw	次定时器模式选择 (Subordinate TMR mode selection) 000: 关闭从模式; 001: 编码模式 A; 010: 编码模式 B; 011: 编码模式 C; 100: 复位模式 - TRGIN 输入上升沿时, 重新初始化计数器; 101: 挂起模式 - TRGIN 输入高电平时, 计数器计数; 110: 触发模式 - TRGIN 输入上升沿时, 产生触发事件; 111: 外部时钟模式 A - TRGIN 输入上升沿提供时钟; 注: 编码器模式 A/B/C 配置方法请查看计数模式章节。

#### 14.6.4.4 TMR1 DMA/中断使能寄存器 (TMR1\_IDEN)

域	简称	复位值	类型	功能
位 15	保留	0x0	resd	保持默认值。
位 14	TDEN	0x0	rw	触发 DMA 请求使能 (Trigger DMA request enable) 0: 关闭; 1: 开启。
位 13	HALLDE	0x0	rw	HALL DMA 请求使能 (HALL DMA request enable) 0: 关闭; 1: 开启。
位 12	C4DEN	0x0	rw	通道 4 的 DMA 请求使能 (Channel 4 DMA request enable) 0: 关闭; 1: 开启。
位 11	C3DEN	0x0	rw	通道 3 的 DMA 请求使能 (Channel 3 DMA request enable) 0: 关闭; 1: 开启。
位 10	C2DEN	0x0	rw	通道 2 的 DMA 请求使能 (Channel 2 DMA request enable) 0: 关闭; 1: 开启。
位 9	C1DEN	0x0	rw	通道 1 的 DMA 请求使能 (Channel 1 DMA request enable) 0: 关闭; 1: 开启。
位 8	OVFDEN	0x0	rw	溢出事件的 DMA 请求使能 (overflow event DMA request enable) 0: 关闭; 1: 开启。
位 7	BRKIE	0x0	rw	刹车中断使能 (Brake interrupt enable) 0: 关闭; 1: 开启。
位 6	TIEN	0x0	rw	触发中断使能 (Trigger interrupt enable) 0: 关闭; 1: 开启。
位 5	HALLIEN	0x0	rw	HALL 中断使能 (HALL interrupt enable) 0: 关闭; 1: 开启。
位 4	C4IEN	0x0	rw	通道 4 中断使能 (Channel 4 interrupt enable) 0: 关闭; 1: 开启。

位 3	C3IEN	0x0	rw	通道 3 中断使能 (Channel 3 interrupt enable) 0: 关闭; 1: 开启。
位 2	C2IEN	0x0	rw	通道 2 中断使能 (Channel 2 interrupt enable) 0: 关闭; 1: 开启。
位 1	C1IEN	0x0	rw	通道 1 中断使能 (Channel 1 interrupt enable) 0: 关闭; 1: 开启。
位 0	OVFIEN	0x0	rw	溢出中断使能 (Overflow interrupt enable) 0: 关闭; 1: 开启。

#### 14.6.4.5 TMR1中断状态寄存器 (TMR1\_ISTS)

域	简称	复位值	类型	功能
位 31: 17	保留	0x0	resd	保持默认值。
位 16	C5IF	0x0	rw0c	通道 5 中断标记 (Channel 5 interrupt flag) 比较事件发生时由硬件置'1', 由软件清'0'。 0: 无比较事件发生; 1: 发生比较事件。
位 15: 13	保留	0x0	resd	保持默认值。
位 12	C4RF	0x0	rw0c	通道 4 再捕获标记 (Channel 4 recapture flag) 见 C1RF 的描述。
位 11	C3RF	0x0	rw0c	通道 3 再捕获标记 (Channel 3 recapture flag) 见 C1RF 的描述。
位 10	C2RF	0x0	rw0c	通道 2 再捕获标记 (Channel 2 recapture flag) 见 C1RF 的描述。
位 9	C1RF	0x0	rw0c	通道 1 再捕获标记 (Channel 1 recapture flag) C1IF 的状态已经为'1'时是否再次发生了捕获, 由硬件置'1', 写'0'清除。 0: 无捕获发生; 1: 捕获发生。
位 8	保留	0x0	resd	保持默认值。
位 7	BRKIF	0x0	rw0c	刹车中断标记 (Brake interrupt flag) 用于标记刹车输入的电平是否有效, 由硬件置'1', 写'0'清除。 0: 无效; 1: 有效。
位 6	TRGIF	0x0	rw0c	触发中断标记 (Trigger interrupt flag) 当发生触发事件时由硬件置'1', 写'0'清除。 0: 无触发事件发生; 1: 发生触发事件。 触发事件: 在 TRGIN 接收到有效边沿, 或挂起模式下接收到任意边沿。
位 5	HALLIF	0x0	rw0c	HALL 中断标记 (HALL interrupt flag) 当发生触发事件时由硬件置'1', 写'0'清除。 0: 无 HALL 事件发生; 1: 发生 HALL 事件。 HALL 事件: CxEN、CxEN、CxOCTRL 已被更新。
位 4	C4IF	0x0	rw0c	通道 4 中断标记 (Channel 4 interrupt flag) 见 C1IF 的描述。
位 3	C3IF	0x0	rw0c	通道 3 中断标记 (Channel 3 interrupt flag) 见 C1IF 的描述。
位 2	C2IF	0x0	rw0c	通道 2 中断标记 (Channel 2 interrupt flag) 见 C1IF 的描述。
位 1	C1IF	0x0	rw0c	通道 1 中断标记 (Channel 1 interrupt flag) 若通道 1 为输入模式时: 捕获事件发生时由硬件置'1', 由软件清'0'或读 TMRx_C1DT 清'0'。 0: 无捕获事件发生;

				1: 发生捕获事件。 若通道 1 为输出模式时： 比较事件发生时由硬件置'1'，由软件清'0'。 0: 无比较事件发生； 1: 发生比较事件。
位 0	OVFIF	0x0	rw0c	溢出中断标记（Overflow interrupt flag） 当溢出事件发生时由硬件置'1'，由软件清'0'。 0: 无溢出事件发生； 1: 发生溢出事件，若 TMRx_CTRL1 的 OVFEN=0、OVFS=0 时： - 当 TMRx_SWEVE 寄存器的 OVFG=1 时产生溢出事件； - 当计数值 CVAL 被触发事件重初始化时产生溢出事件。

### 14.6.4.6 TMR1软件事件寄存器（TMR1\_SWEVT）

域	简称	复位值	类型	功能
位 15: 8	保留	0x0	resd	保持默认值。
位 7	BRKSWTR	0x0	wo	软件触发刹车事件（Brake event triggered by software） 通过软件触发一个刹车事件。 0: 无作用； 1: 制造一个刹车事件。
位 6	TRGSWTR	0x0	wo	软件触发触发事件（Trigger event triggered by software） 通过软件触发一个触发事件。 0: 无作用； 1: 制造一个触发事件。
位 5	HALLSWTR	0x0	wo	软件触发 HALL 事件（HALL event triggered by software） 通过软件产生一个 HALL 事件。 0: 无作用； 1: 产生一个 HALL 事件。 注：该位只对拥有互补输出的通道有效。
位 4	C4SWTR	0x0	wo	软件触发通道 4 事件（Channel 4 event triggered by software） 见 C1M 的描述。
位 3	C3SWTR	0x0	wo	软件触发通道 3 事件（Channel 3 event triggered by software） 见 C1M 的描述。
位 2	C2SWTR	0x0	wo	软件触发通道 2 事件（Channel 2 event triggered by software） 见 C1M 的描述。
位 1	C1SWTR	0x0	wo	C1SWTR: 软件触发通道 1 事件（Channel 1 event triggered by software） 通过软件触发一个通道 1 事件。 0: 无作用； 1: 制造一个通道 1 事件。
位 0	OVFSWTR	0x0	wo	软件触发溢出事件（Overflow event triggered by software） 通过软件触发一个溢出事件。 0: 无作用； 1: 制造一个溢出事件。

### 14.6.4.7 TMR1通道模式寄存器1（TMR1\_CM1）

通道可用于输入（捕获模式）或输出（比较模式），通道的方向由相应的 CxC 位定义。该寄存器其它位的作用在输入和输出模式下不同。CxOx 描述了通道在输出模式下的功能，CxIx 描述了通道在输入模式下的功能。因此必须注意，同一个位在输出模式和输入模式下的功能是不同的。

#### 输出比较模式

域	简称	复位值	类型	功能
位 15	C2OSEN	0x0	rw	通道 2 输出开关使能（Channel 2 output switch enable）
位 14: 12	C2OCTRL	0x0	rw	通道 2 输出控制（Channel 2 output control）

位 11	C2OBEN	0x0	rw	通道 2 输出缓存使能 (Channel 2 output buffer enable)
位 10	C2OIEN	0x0	rw	通道 2 输出立即使能 (Channel 2 output immediately enable)
位 9: 8	C2C	0x0	rw	通道 2 配置 (Channel 2 configure) 当 C2EN='0'时, 这些位用于选择通道 2 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C2IN 映射在 C2IFP2 上; 10: 输入, C2IN 映射在 C1IFP2 上; 11: 输入, C2IN 映射在 STI 上, 只有在 STIS 选择内部触发输入时才工作。
位 7	C1OSEN	0x0	rw	通道 1 输出开关使能 (Channel 1 output switch enable) 0: EXT 输入不影响 C1ORAW; 1: 当 EXT 输入高电平时, 将 C1ORAW 清 0。
位 6: 4	C1OCTRL	0x0	rw	通道 1 输出控制 (Channel 1 output control) 这些位用于设置原始信号 C1ORAW 的工作状态。 000: 断开。断开 C1ORAW 到 C1OUT 的输出; 001: 设置 C1ORAW 为高: TMR1_CVAL=TMR1_C1DT 时。 010: 设置 C1ORAW 为低: TMR1_CVAL=TMR1_C1DT 时。 011: 切换 C1ORAW 的电平: 当 TMR1_CVAL=TMR1_C1DT 时。 100: 固定 C1ORAW 为低。 101: 固定 C1ORAW 为高。 110: PWM 模式 A —OWCDIR=0, 若 TMR1_C1DT>TMR1_CVAL 时设置 C1ORAW 为高, 否则为低; —OWCDIR=1, 若 TMR1_C1DT <TMR1_CVAL 时设置 C1ORAW 为低, 否则为高。 111: PWM 模式 B —OWCDIR=0, 若 TMR1_C1DT >TMR1_CVAL 时设置 C1ORAW 为低, 否则为高; —OWCDIR=1, 若 TMR1_C1DT <TMR1_CVAL 时设置 C1ORAW 为高, 否则为低。 注: 除'000'外, 其余配置下 C1OUT 将连接到 C1ORAW, C1OUT 的输出电平除了会根据 C1ORAW 变化外, 还与 CCTRL 所配置的输出极性有关。
位 3	C1OBEN	0x0	rw	通道 1 输出缓存使能 (Channel 1 output buffer enable) 0: 关闭 TMR1_C1DT 的缓存功能, 写入 TMR1_C1DT 的内容会立即生效。 1: 启用 TMR1_C1DT 的缓存功能, 写入 TMR1_C1DT 的内容将保存到缓存寄存器中, 当发生溢出事件时再更新到 TMR1_C1DT 中。
位 2	C1OIEN	0x0	rw	通道 1 输出立即使能 (Channel 1 output immediately enable) 在 PWM 模式 A 或模式 B 下, 该位能够缩短触发事件到通道 1 的输出响应间的时间。 0: 需要比较 CVAL 与 C1DT 的值之后再产生输出。 1: 无需比较 CVAL 与 C1DT 的值, 当发生触发事件时立即产生输出。
位 1: 0	C1C	0x0	rw	通道 1 配置 (Channel 1 configure) 当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C1IN 映射在 C1IFP1 上; 10: 输入, C1IN 映射在 C2IFP1 上; 11: 输入, C1IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。

## 输入模式

域	简称	复位值	类型	功能
---	----	-----	----	----



位 15: 12	C2DF	0x0	rw	通道 2 滤波器 (Channel 2 digital filter)
位 11: 10	C2IDIV	0x0	rw	通道 2 分频系数 (Channel 2 input divider)
通道 2 配置 (Channel 2 configure)				
当 C2EN='0'时, 这些位用于选择通道 2 为输出或输入, 以及输入时的映射选择:				
位 9: 8	C2C	0x0	rw	00: 输出; 01: 输入, C2IN 映射在 C2IFP2 上; 10: 输入, C2IN 映射在 C1IFP2 上; 11: 输入, C2IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
通道 1 滤波器 (Channel 1 digital filter)				
这些位用于配置通道 1 的滤波器。滤波的个数为 N, 则表示发生了 N 次采样事件后输入边沿才能通过滤波器:				
0000: 无滤波器, 以 $f_{DTS}$ 采样				
1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8, N=6$				
0001: 采样频率 $f_{SAMPLING}=f_{CK\_INT}, N=2$				
1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8, N=8$				
0010: 采样频率 $f_{SAMPLING}=f_{CK\_INT}, N=4$				
1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16, N=5$				
0011: 采样频率 $f_{SAMPLING}=f_{CK\_INT}, N=8$				
1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16, N=6$				
0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2, N=6$				
1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16, N=8$				
0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2, N=8$				
1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32, N=5$				
0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4, N=6$				
1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32, N=6$				
0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4, N=8$				
1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32, N=8$				
通道 1 分频系数 (Channel 1 input divider)				
这些位定义了通道 1 的分频系数。				
00: 不分频, 每一个有效的边沿都会产生一次输入;				
01: 每 2 个有效的边沿产生一次输入;				
10: 每 4 个有效的边沿产生一次输入;				
11: 每 8 个有效的边沿产生一次输入。				
注: C1EN='0'时, 分频系数复位。				
通道 1 配置 (Channel 1 configure)				
当 C1EN='0'时, 这些位用于选择通道 1 为输出或输入, 以及输入时的映射选择:				
00: 输出;				
01: 输入, C1IN 映射在 C1IFP1 上;				
10: 输入, C1IN 映射在 C2IFP1 上;				
11: 输入, C1IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。				

## 14.6.4.8 TMR1通道模式寄存器2 (TMR1\_CM2)

参看以上 CM1 寄存器描述

### 输出比较模式

域	简称	复位值	类型	功能
位 15	C4OSEN	0x0	rw	通道 4 输出开关使能 (Channel 4 output switch enable)
位 14: 12	C4OCTRL	0x0	rw	通道 4 输出控制 (Channel 4 output control)
位 11	C4OBEN	0x0	rw	通道 4 输出缓存使能 (Channel 4 output buffer enable)
位 10	C4OIEN	0x0	rw	通道 4 输出立即使能 (Channel 4 output immediately enable)
通道 4 配置 (Channel 4 configure)				
当 C4EN='0'时, 这些位用于选择通道 4 为输出或输入, 以及输入时的映射选择:				
位 9: 8	C4C	0x0	rw	00: 输出;

				01: 输入, C4IN 映射在 C4IFP4 上; 10: 输入, C4IN 映射在 C3IFP4 上; 11: 输入, C4IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
位 7	C3OSEN	0x0	rw	通道 3 输出开关使能 (Channel 3 output switch enable)
位 6: 4	C3OCTRL	0x0	rw	通道 3 输出控制 (Channel 3 output control)
位 3	C3OBEN	0x0	rw	通道 3 输出缓存使能 (Channel 3 output buffer enable)
位 2	C3OIEN	0x0	rw	通道 3 输出立即使能 (Channel 3 output immediately enable)
位 1: 0	C3C	0x0	rw	通道 3 配置 (Channel 3 configure) 当 C3EN='0'时, 这些位用于选择通道 3 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C3IN 映射在 C3IFP3 上; 10: 输入, C3IN 映射在 C4IFP3 上; 11: 输入, C3IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。

### 输入模式

域	简称	复位值	类型	功能
位 15: 12	C4DF	0x0	rw	通道 4 滤波器 (Channel 4 digital filter)
位 11: 10	C4IDIV	0x0	rw	通道 4 分频系数 (Channel 4 input divider)
位 9: 8	C4C	0x0	rw	通道 4 配置 (Channel 4 configure) 当 C4EN='0'时, 这些位用于选择通道 4 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C4IN 映射在 C4IFP4 上; 10: 输入, C4IN 映射在 C3IFP4 上; 11: 输入, C4IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。
位 7: 4	C3DF	0x0	rw	通道 3 滤波器 (Channel 3 digital filter)
位 3: 2	C3IDIV	0x0	rw	通道 3 分频系数 (Channel 3 input divider)
位 1: 0	C3C	0x0	rw	通道 3 配置 (Channel 3 configure) 当 C3EN='0'时, 这些位用于选择通道 3 为输出或输入, 以及输入时的映射选择: 00: 输出; 01: 输入, C3IN 映射在 C3IFP3 上; 10: 输入, C3IN 映射在 C4IFP3 上; 11: 输入, C3IN 映射在 STCI 上, 只有在 STIS 选择内部触发输入时才工作。

### 14.6.4.9 TMR1通道控制寄存器 (TMR1\_CTRL)

域	简称	复位值	类型	功能
位 15: 14	保留	0x0	resd	保持默认值。
位 13	C4P	0x0	rw	通道 4 极性 (Channel 4 polarity) 见 C1P 的描述。
位 12	C4EN	0x0	rw	通道 4 使能 (Channel 4 enable) 见 C1EN 的描述。
位 11	C3CP	0x0	rw	通道 3 互补极性 (Channel 3 complementary polarity) 见 C1P 的描述。
位 10	C3CEN	0x0	rw	通道 3 互补使能 (Channel 3 complementary enable) 见 C1EN 的描述。
位 9	C3P	0x0	rw	通道 3 极性 (Channel 3 polarity) 见 C1P 的描述。
位 8	C3EN	0x0	rw	通道 3 使能 (Channel 3 enable) 见 C1EN 的描述。
位 7	C2CP	0x0	rw	通道 2 互补极性 (Channel 2 complementary polarity) 见 C1P 的描述。
位 6	C2CEN	0x0	rw	通道 2 互补使能 (Channel 2 complementary enable)



				见 C1EN 的描述。
位 5	C2P	0x0	rw	通道 2 极性 (Channel 2 polarity) 见 C1P 的描述。
位 4	C2EN	0x0	rw	通道 2 使能 (Channel 2 enable) 见 C1EN 的描述。
位 3	C1CP	0x0	rw	通道 1 互补极性 (Channel 1 complementary polarity) 0: C1COUT 的有效电平为高 1: C1COUT 的有效电平为低
位 2	C1CEN	0x0	rw	通道 1 互补使能 (Channel 1 complementary enable) 0: 禁止输出; 1: 使能输出。
位 1	C1P	0x0	rw	通道 1 极性 (Channel 1 polarity) 通道 1 配置为输出: 0: C1OUT 的有效电平为高 1: C1OUT 的有效电平为低 通道 1 配置为输入: C1CP/C1P 位共同定义输入信号有效沿。 00: C1IN 的有效边沿为上升沿; 作为外部触发使用时, C1IN 不反相。 01: C1IN 的有效边沿为下降沿; 作为外部触发使用时, C1IN 反相。 10: 保留 11: C1IN 的有效边沿为上升沿和下降沿; 作为外部触发使用时, C1IN 不反相。
位 0	C1EN	0x0	rw	通道 1 使能 (Channel 1 enable) 0: 禁止输入或输出; 1: 使能输入或输出。

表 14-17带刹车功能的互补输出通道CxOUT和CxCOUt的控制位

控制位					输出状态 (1)		
OEN 位	FCSODIS 位	FCSOEN 位	CxEN 位	CxCEN 位	CxOUT 输出状态	CxCOUt 输出状态	
1	X	0	0	0	0	输出禁止 (与定时器断开) CxOUT=0, Cx_EN=0	输出禁止 (与定时器断开) CxCOUt=0, CxCEN=0
			0	0	1	输出禁止 (与定时器断开) CxOUT=0, Cx_EN=0	CxORAW + 极性, CxCOUt= CxORAW xor CxCP, CxCEN=1
			0	1	0	CxORAW+极性, CxOUT= CxORAW xor CxP, Cx_EN=1	输出禁止 (与定时器断开) CxCOUt=0, CxCEN=0
			0	1	1	CxORAW+极性+死区, Cx_EN=1	CxORAW 反相+极性+死区, CxCEN=1
			1	0	0	输出禁止 (与定时器断开) CxOUT=CxP, Cx_EN=0	输出禁止 (与定时器断开) CxCOUt=CxCP, CxCEN=0
			1	0	1	关闭状态 (输出使能且为无效电平) CxOUT=CxP, Cx_EN=1	CxORAW + 极性, CxCOUt= CxORAW xor CxCP, CxCEN=1
			1	1	0	CxORAW + 极性, CxOUT= CxORAW xor CxP, Cx_EN=1	关闭状态 (输出使能且为无效电平) CxCOUt=CxCP, CxCEN=1
			1	1	1	CxORAW+极性+死区, Cx_EN=1	CxORAW 反相+极性+死区, CxCEN=1
0	0	X	0	0	输出禁止 (对应 IO 与定时器断开, IO 浮空)		

	0		0	1	异步地: CxOUT=CxP, Cx_EN=0, CxCOUT=CxCp, CxCEN=0; 若时钟存在: 经过一个死区时间后 CxOUT=CxIOS, CxCOUT=CxCIOS, 假设 CxIOS 与 CxCIOS 并不都对应 CxOUT 和 CxCOUT 的有效电平。
	0		1	0	
	0		1	1	
	1		0	0	CxEN=CxCEN=0 时: 输出禁止 (对应 IO 与定时器断开, IO 浮空); 其它情况下: 关闭状态 (对应通道输出无效电平) 异步地: CxOUT=CxP, Cx_EN=1, CxCOUT=CxCp, CxCEN=1; 若时钟存在: 经过一个死区时间后 CxOUT=CxIOS, CxCOUT=CxCIOS, 假设 CxIOS 与 CxCIOS 并不都对应 CxOUT 和 CxCOUT 的有效电平。
	1		0	1	
	1		1	0	
	1		1	1	

注意: 如果一个通道的 2 个输出都没有使用 (CxEN = CxCEN = 0), 那么 CxIOS, CxCIOS, CxP 和 CxCp 都必须清零。

注意: 引脚连接到互补的 CxOUT 和 CxCOUT 通道的外部 I/O 引脚的状态, 取决于 CxOUT 和 CxCOUT 通道状态和 GPIO 以及 IOMUX 寄存器。

#### 14.6.4.10 TMR1计数值 (TMR1\_CVAL)

域	简称	复位值	类型	功能
位 15: 0	CVAL	0x0	rw	计数值 (Counter value)

#### 14.6.4.11 TMR1预分频器 (TMR1\_DIV)

域	简称	复位值	类型	功能
位 15: 0	DIV	0x0	rw	分频系数 (Divider value) 计数器时钟频率 fCK_CNT = fTMR_CLK / (DIV[15: 0]+1) 溢出事件发生时该寄存器值被传送到实际的预分频寄存器中。

#### 14.6.4.12 TMR1周期寄存器 (TMR1\_PR)

域	简称	复位值	类型	功能
位 15: 0	PR	0x0	rw	周期值 (Period value) 定时器计数的周期值。当周期值为 0 时, 定时器不工作。

#### 14.6.4.13 TMR1重复周期寄存器 (TMR1\_RPR)

域	简称	复位值	类型	功能
位 15: 0	RPR	0x0	rw	重复周期的次数 (Repetition of period value) 这些位用于减慢溢出事件发生的速率, 当重复周期的次数减为 0 时才会发生溢出事件。

#### 14.6.4.14 TMR1通道1数据寄存器 (TMR1\_C1DT)

域	简称	复位值	类型	功能
位 15: 0	C1DT	0x0	rw	通道 1 数据寄存器值 (Channel 1 data register) 若通道 1 配置为输入: C1DT 是前一次通道 1 输入事件 (C1IN) 所保存的 CVAL。 若通道 1 配置为输出: C1DT 是将要和 CVAL 进行比较的值, 写入的值是否会立即生效取决于输出缓存使能位 (C1OBEN), 并根据设置在 C1OUT 上产生相应的输出。

#### 14.6.4.15 TMR1通道2数据寄存器 (TMR1\_C2DT)

域	简称	复位值	类型	功能
位 15: 0	C2DT	0x0	rw	通道 2 数据寄存器值 (Channel 2 data register)

若通道 2 配置为输入：  
C2DT 是前一次通道 2 输入事件（C2IN）所保存的 CVAL。  
若通道 2 配置为输出：  
C2DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位（C2OBEN），并根据设置在 C2OUT 上产生相应的输出。

#### 14.6.4.16 TMR1通道3数据寄存器（TMR1\_C3DT）

域	简称	复位值	类型	功能
位 15: 0	C3DT	0x0	rw	通道 3 数据寄存器值（Channel 3 data register） 若通道 3 配置为输入： C3DT 是前一次通道 3 输入事件（C3IN）所保存的 CVAL。 若通道 3 配置为输出： C3DT 是将要和 CVAL 进行比较的值，写入的值是否会立即生效取决于输出缓存使能位（C3OBEN），并根据设置在 C3OUT 上产生相应的输出。

## 14.6.4.17 TMR1通道4数据寄存器 (TMR1\_C4DT)

域	简称	复位值	类型	功能
位 15: 0	C4DT	0x0	rw	通道 4 数据寄存器值 (Channel 4 data register) 若通道 4 配置为输入: C4DT 是前一次通道 4 输入事件 (C4IN) 所保存的 CVAL。 若通道 4 配置为输出: C4DT 是将要和 CVAL 进行比较的值, 写入的值是否会立即生效取决于输出缓存使能位 (C4OBEN), 并根据设置在 C4OUT 上产生相应的输出。

## 14.6.4.18 TMR1刹车寄存器 (TMR1\_BRK)

域	简称	复位值	类型	功能
位 31: 18	保留	0x0	resd	保持默认值
位 19: 16	BKF	0x0	rw	刹车输入滤波 (stop input filter) 这些位用于配置刹车输入的滤波器。滤波的个数为 N, 则表示发生了 N 次采样事件后输入边沿才能通过滤波器: 0000: 无滤波器, 以 $f_{DTS}$ 采样 1000: 采样频率 $f_{SAMPLING}=f_{DTS}/8$ , N=6 0001: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=2 1001: 采样频率 $f_{SAMPLING}=f_{DTS}/8$ , N=8 0010: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=4 1010: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=5 0011: 采样频率 $f_{SAMPLING}=f_{CK\_INT}$ , N=8 1011: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=6 0100: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=6 1100: 采样频率 $f_{SAMPLING}=f_{DTS}/16$ , N=8 0101: 采样频率 $f_{SAMPLING}=f_{DTS}/2$ , N=8 1101: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=5 0110: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=6 1110: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=6 0111: 采样频率 $f_{SAMPLING}=f_{DTS}/4$ , N=8 1111: 采样频率 $f_{SAMPLING}=f_{DTS}/32$ , N=8
位 15	OEN	0x0	rw	输出使能 (Output enable) 对配置为输出的通道, 该位用于使能 CxOUT 和 CxCOUT 的输出。 0: 关闭; 1: 开启。
位 14	AOEN	0x0	rw	输出自动使能 (Automatic output enable) 用于溢出事件时将 OEN 自动置'1' 0: 关闭; 1: 开启
位 13	BRKV	0x0	rw	刹车输入信号的有效性 (Brake input validity) 用于选择刹车输入信号的输入有效电平: 0: 低电平; 1: 高电平。
位 12	BRKEN	0x0	rw	刹车功能使能 (Brake enable) 用于开启刹车功能。 0: 关闭; 1: 开启。
位 11	FCSOEN	0x0	rw	总输出开时的冻结状态 (Frozen channel status when holistic output enable) 该位用于配置具有互补输出的通道, 在定时器不工作且 OEN=1 时的通道状态。 0: 关闭 CxOUT/CxCOUT 输出; 1: 开启 CxOUT/CxCOUT 输出, 输出为无效电平。
位 10	FCSODIS	0x0	rw	总输出关时的冻结状态 (Frozen channel status when holistic output disable)

				<p>该位用于配置具有互补输出的通道，在定时器不工作且 OEN=0 时的通道状态。</p> <p>0：关闭 CxOUT/CxCOUT 输出；</p> <p>1：开启 CxOUT/CxCOUT 输出，输出为空闲电平。</p>
位 9: 8	WPC	0x0	rw	<p>写保护配置 (Write protected configuration)</p> <p>该位用于配置写保护。</p> <p>00: 写保护关闭；</p> <p>01: 3 级写保护，以下位受写保护： TMR1_STOP: DTC、STPEN、STPV 和 HOAEN TMR1_CTRL2: CxIOS 和 CxIOSL</p> <p>10: 2 级写保护，除 3 级写保护的内容外，以下位也受写保护： TMR1_CCTRL: CxP 和 CxLP TMR1_STOP: FCSODIS 和 FCSOEN</p> <p>11: 1 级写保护，除 2 级写保护的内容外，以下位也受写保护： TMR1_CMx: C2OCTRL 和 C2OBEN</p> <p>注: WPC&gt;0 时将无法再次被修改，直到系统复位。</p>
位 7: 0	DTC	0x0	rw	<p>死区配置 (Dead-time configuration)</p> <p>这些位用于配置死区时间。取 DTC[7: 0]的高 3 位为功能选择位：</p> <p>0xx: DT = DTC [7: 0] * TDTS；</p> <p>10x: DT = (64+ DTC [5: 0]) * TDTS * 2；</p> <p>110: DT = (32+ DTC [4: 0]) * TDTS * 8；</p> <p>111: DT = (32+ DTC [4: 0]) * TDTS * 16；</p>

注意：根据锁定设置，AOEN、BRKV、BRKEN、FCSODIS、FCSOEN 和 DTC[7: 0] 位均可被写保护，有必要在第一次写入 TMRx\_BRK 寄存器时对它们进行配置。

### 14.6.4.19 TMR1 DMA控制寄存器 (TMR1\_DMACTRL)

域	简称	复位值	类型	功能
位 15: 13	保留	0x0	resd	保持默认值。
位 12: 8	DTB	0x0	rw	<p>DMA 传输字节 (DMA transfer bytes)</p> <p>这些位定义了传输的字节个数：</p> <p>00000: 1 个字节      00001: 2 个字节</p> <p>00010: 3 个字节      00011: 4 个字节</p> <p>.....</p> <p>10000: 17 个字节      10001: 18 个字节</p>
位 7: 5	保留	0x0	resd	保持默认值。
位 4: 0	ADDR	0x0	rw	<p>DMA 传输地址偏移 (DMA transfer address offset)</p> <p>ADDR 定义了从 TMR1_CTRL1 所在地址开始的偏移量：</p> <p>00000: TMR1_CTRL1，</p> <p>00001: TMR1_CTRL2，</p> <p>00010: TMR1_STCTRL，</p> <p>.....</p>

### 14.6.4.20 TMR1 DMA数据寄存器 (TMR1\_DMADT)

域	简称	复位值	类型	功能
位 15: 0	DMADT	0x0	rw	<p>DMA 传输的数据寄存器 (DMA data register)</p> <p>通过对 DMADT 寄存器的读写能够实现任意 TMR 寄存器的操作，其操作的寄存器地址范围是：TMR1 外设地址 + ADDR*4 至 TMR1 外设地址 + ADDR*4 + DTB*4。</p>

### 14.6.4.21 TMR1 通道模式寄存器3 (TMR1\_CM3)

域	简称	复位值	类型	功能
位 15: 6	保留	0x0	resd	保持默认值
位 7	C5OSEN	0x0	rw	通道 5 输出开关使能 (Channel 5 output switch enable)
位 6: 4	C5OCTRL	0x0	rw	通道 5 输出控制 (Channel 5 output control)

位 3	C5OBEN	0x0	rw	通道 5 输出缓存使能 (Channel 5 output buffer enable)
位 2	C5OIEN	0x0	rw	通道 5 输出立即使能 (Channel 5 output immediately enable)
位 1: 0	保留	0x0	resd	保持默认值

#### 14.6.4.22 TMR1 通道5数据寄存器 (TMR1\_C5DT)

域	简称	复位值	类型	功能
位 15: 0	C5DT	0x0	rw	通道 5 数据寄存器值 (Channel 5 data register) C5DT 是将要和 CVAL 进行比较的值, 写入的值是否会立即生效取决于输出缓存使能位 (C5OBEN), 并根据设置在 C5OUT 上产生相应的输出。

# 15 窗口看门狗 (WWDT)

## 15.1 WWDT简介

当程序正常运行时，需在一个有限的时间窗口内重载窗口看门狗递减计数器，用来避免看门狗电路产生系统复位，以此来监测系统是否正常运行。

窗口看门狗时钟由 APB1\_CLK 分频而来，由于 APB1\_CLK 的精确性，窗口看门狗可对有限的时间窗口精确控制。

## 15.2 WWDT主要特性

- 7位递减计数器
- 启动看门狗后，当递减计数器的值小于0x40或是在窗口外被重新装载产系统生复位。
- 可以通过重载计数器中断重载计数器。

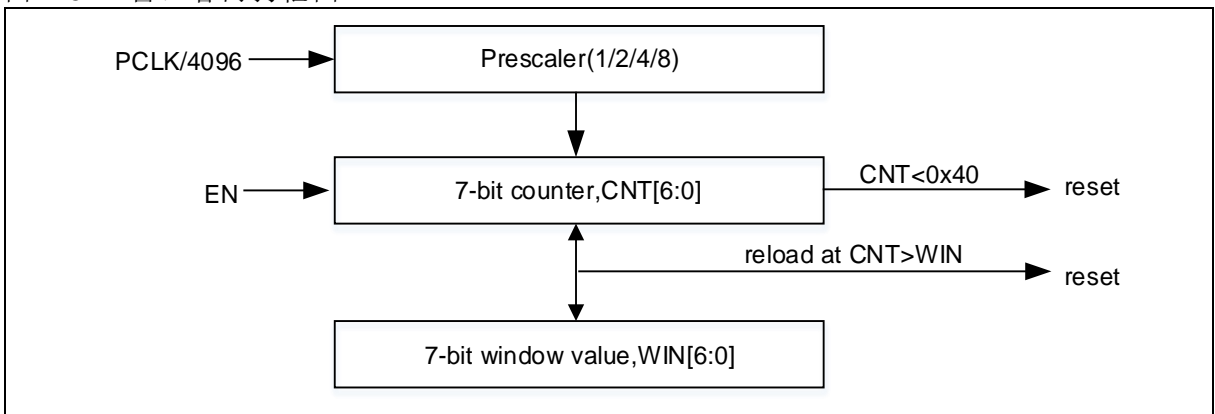
## 15.3 WWDT功能描述

启动窗口看门狗后，窗口看门狗可在以下两种情况下产生系统复位：

第一种，7位递减计数器值由0x40变为0x3F。

第二种，7位递减计数器值大于7位窗口值时，重载计数器值。

图 15-1 窗口看门狗框图



为避免重载计数器值时产生复位，应在计数器值小于窗口值大于0x40时重载计数器值。

WWDT 计数器时钟由 APB1\_CLK 分频得到，分频系数可通过配置 WWDT\_CFG 寄存器 DIV[1: 0]改变。计数器值决定了 WWDT 复位前的最大计数周期数，结合 WIN[6: 0]可灵活的调整重载窗口。

WWDT 提供了重载计数器中断功能，开启后，WWDT 将在计数值达到 0x40h 时将 RLDF 标志位置1，同时产生重载计数器中断，可在中断服务程序 (ISTS) 中重载计数器值，以避免发生系统复位。

需要注意的是，若在 CNT[6]为0时，将 WWDTEN 置1会产生一个系统复位，因此当写入 WWDT\_CTRL 寄存器时，应始终保持 CNT[6]为1，避免使能窗口看门狗后立即产生一个系统复位。

窗口看门狗超时时间  $T_{WWDT}$  可由一下公式计算，其中  $T_{PCLK1}$  为 APB1 时钟周期，单位为 ms：

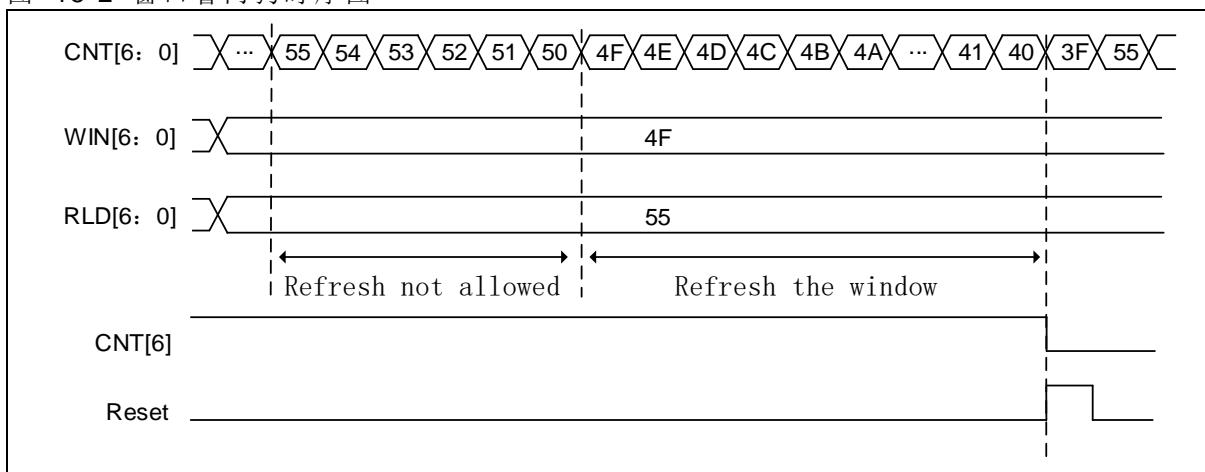
$$T_{WWDT} = T_{PCLK1} \times 4096 \times 2^{DIV[1: 0]} \times (CNT[5: 0] + 1); \quad (ms)$$

表 15-1 给出了当 PCLK1 频率为 80MHz 时，最大和最小看门狗超时时间。

表 15-1 PCLK1频率为80MHz时，最大和最小看门狗超时时间

时钟预分频值	最小超时时间	最大超时时间
0	51.2 $\mu$ s	3.28ms
1	102.4 $\mu$ s	6.55ms
2	204.8 $\mu$ s	13.11ms
3	409.6 $\mu$ s	26.21ms

图 15-2 窗口看门狗时序图



## 15.4 调试模式

微控制器处于调试模式时，意味着 Cortex™-M0+核心停止。将 DEBUG 模块中 WWDT\_PAUSE 位置 1 可将 WWDT 计数器计数暂停。

## 15.5 WWDT寄存器

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

寄存器简称	基址偏移量	复位值
WWDT_CTRL	0x00	0x7F
WWDT_CFG	0x04	0x7F
WWDT_STS	0x08	0x00

### 15.5.1 控制寄存器（WWDT\_CTRL）

域	简称	复位值	类型	功能
位 31: 8	保留	0x000000	resd	保持默认值。
位 7	WWDTEN	0x0	rw1s	窗口看门狗使能（Window watchdog enable） 0：关闭； 1：开启。 该位由软件置起，只能在复位后自动清零。
位 6: 0	CNT	0x7F	rw	递减计数器（Decrement counter） 当计数器递减到 0x3F 时产生复位。

### 15.5.2 配置寄存器（WWDT\_CFG）

域	简称	复位值	类型	功能
位 31: 10	保留	0x000000	resd	保持默认值。
位 9	RLDIEN	0x0	rw	重载计数器中断（Reload counter interrupt） 0：关闭； 1：开启。
位 8: 7	DIV	0x0	rw	时钟预分频值（Clock division value） 00：PCLK1 除以 4096； 01：PCLK1 除以 8192； 10：PCLK1 除以 16384； 11：PCLK1 除以 32768。
位 6: 0	WIN	0x7F	rw	窗口值（Window value） 当计数器值大于窗口值时，此时重载计数器会产生复位，重载计数器区间为 0x40~WIN[6: 0]



### 15.5.3 状态寄存器（WWDT\_STS）

域	简称	复位值	类型	功能
位 31: 1	保留	0x0000 0000	resd	保持默认值。
位 0	RLDF	0x0	rw0c	重载计数器中断标志（Reload counter interrupt flag） 当递减计数器为 0x40 时，该标志会置位。 该位被硬件置起，由软件将其清零。’

## 16 看门狗（WDT）

### 16.1 简介

看门狗由专用低速时钟（LICK）驱动，由于 LICK 时钟精度较低，因此看门狗适用于低时间精度、能够独立于主程序之外的应用。

### 16.2 WDT主要特性

- 12位递减计数器
- 计数器由LICK时钟驱动（可在深睡眠模式下工作）
- 可选择在DEEPSLEEP、STANDBY模式下是否停止计数
- 支持两种复位方式：
  - 当递减计数器递减至0。
  - 当递减计数器在窗口外被重新装载。

### 16.3 WDT功能描述

#### WDT 启动方式：

WDT 的启动方式有两种，分别为软件启动和硬件启动。软件启动通过向 WDT\_CMD 寄存器写入 0xCCCC 实现；硬件启动则需通过配置用户系统数据区来实现，使能硬件看门狗后，看门狗将在上电复位后自动开始运行。

#### WDT 复位条件：

当 WDT 计数器值递减至 0 时将产生 WDT 系统复位，因此需定时向 WDT\_CMD 寄存器写入 0xAAAA 重载计数器值。此外，若将 WIN[11: 0]设置为非默认值（0xFFFF）将开启窗口看门狗功能，在计数值大于窗口值时重载计数器值将会产生系统复位。

#### WDT 写保护：

WDT\_DIV、WDT\_RLD、WDT\_WIN 寄存器受写保护，向 WDG\_CMD 寄存器写入 0x5555 可解锁寄存器写保护，之后可对其进行配置。这三个寄存器的更新状态分别由 WDT\_STS 寄存器中 DIVF、RLDF、WINF 指示。向 WDG\_CMD 寄存器写入其它值将重新启动 WDT\_DIV、WDT\_RLD、WDT\_WIN 寄存器写保护。向 WDG\_CMD 寄存器写入 0xAAAA 也会启动寄存器写保护。

#### WDT 时钟：

WDT 计数器由 LICK 时钟驱动，LICK 是内部 RC 时钟，范围为 30kHz~60kHz 之间，所以超时时间也是在一定区间内，使用时应注意在超时时间配置上应该留有余量，如果需要获得较为精确的看门狗超时时间，可对 LICK 进行校准，有关 LICK 校准的问题，详见 4.1.1 节。

#### WDT 低功耗计数模式：

WDT 能够在 SLEEP、DEEPSLEEP、STANDBY 模式下运行，用户可选择进入 DEEPSLEEP、STANDBY 模式后计数器是否停止计数，可由用户系统数据区中的 nDEPSLP\_WDT、nSTDBY\_WDT 位配置。

如果设置了停止计数，当进入了 DEEPSLEEP、STANDBY 模式后，看门狗计数器停止递减，意味着看门狗在这两种低功耗模式下不会发生复位，当从这两种模式唤醒后，计数器从进入时的值继续递减。

图 16-1 看门狗框图

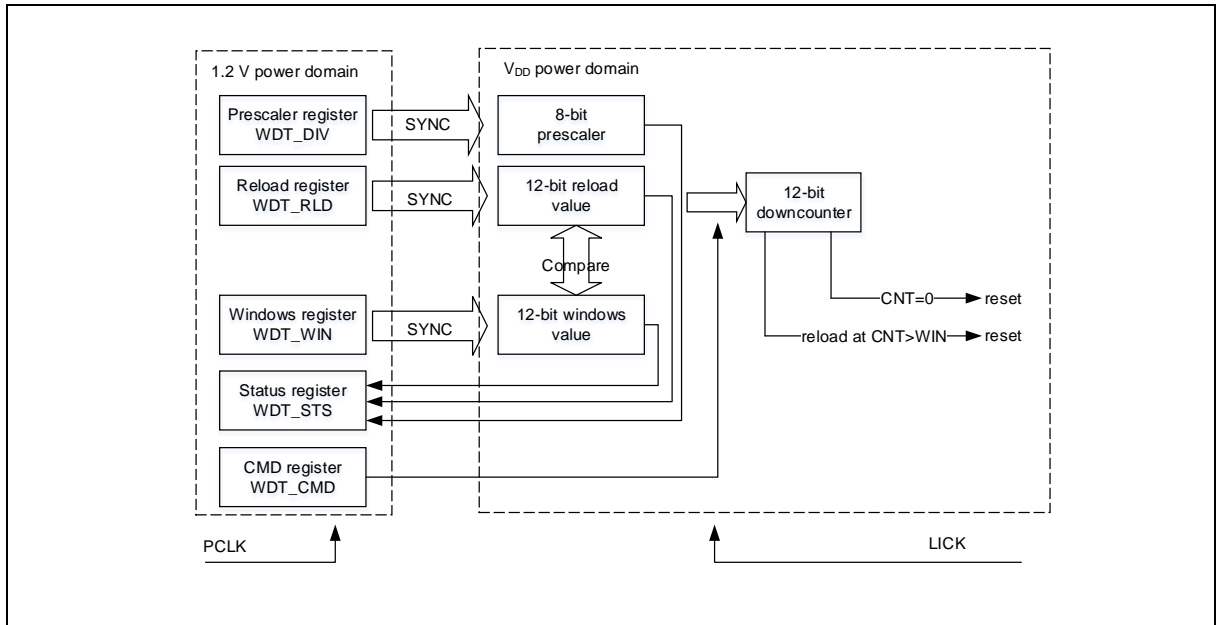


表 16-1 门狗超时时间 (LICK=40kHz)

预分频系数	DIV[2: 0]位	最短时间 (ms) RLD[11: 0] = 0x000	最长时间 (ms) RLD[11: 0] = 0xFFFF
/4	0	0.1	409.6
/8	1	0.2	819.2
/16	2	0.4	1638.4
/32	3	0.8	3276.8
/64	4	1.6	6553.6
/128	5	3.2	13107.2
/256	(6 或 7)	6.4	26214.4

## 16.4 调试模式

当微控制器处于调试模式时，意味着 Cortex™-M0+核心停止。此时将 DEBUG 模块中 WDT\_PAUSE 位置 1 会暂停 WDT 计数器计数。

## 16.5 WDT寄存器

可以用半字（16 位）或字（32 位）的方式操作这些外设寄存器。

寄存器简称	基址偏移量	复位值
WDT_CMD	0x00	0x0000 0000
WDT_DIV	0x04	0x0000 0000
WDT_RLD	0x08	0x0000 0FFF
WDT_STS	0x0C	0x0000 0000
WDT_WIN	0x10	0x0000 0FFF

### 16.5.1 命令寄存器 (WDT\_CMD)

(在待机模式复位)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持默认值。
位 15: 0	CMD	0x0000	wo	命令寄存器 (Command register) 0xAAAA: 重载计数器; 0x5555: 解锁 WDT_DIV、WDT_RLD、WDT_WIN 写保护;

0xCCCC：启动看门狗，如果使能了硬件看门狗，则不需要执行此操作。

## 16.5.2 预分频寄存器（WDT\_DIV）

（待机模式时不复位）

域	简称	复位值	类型	功能
位 31: 3	保留	0x0000000	resd	保持默认值。
				递减计数器时钟预分频值（Clock division value） 000：LICK 除以 4； 001：LICK 除以 8； 010：LICK 除以 16； 011：LICK 除以 32； 100：LICK 除以 64； 101：LICK 除以 128； 110：LICK 除以 256； 111：LICK 除以 256。 只有解锁写保护后才能写此寄存器，只有当 DIVF 为 0 时，才能读取此寄存器。
位 2: 0	DIV	0x0	rw	

## 16.5.3 重载寄存器（WDT\_RLD）

（待机模式时不复位）

域	简称	复位值	类型	功能
位 31: 12	保留	0x00000	resd	保持默认值。
				重载值（Reload value） 只有解锁写保护后才能写此寄存器，只有当 RLDF 为 0 时，才能读取此寄存器。
位 11: 0	RLD	0xFFFF	rw	

## 16.5.4 状态寄存器（WDT\_STS）

（在待机模式复位）

域	简称	复位值	类型	功能
位 31: 3	保留	0x00000000	resd	保持默认值。
				窗口值更新完成标志（Window value update complete flag） 0：更新完成； 1：正在更新。 只有当 RLDF 为 0 时才能写 WDT_WIN 寄存器。
位 2	WINF	0x0	ro	
				重载值更新完成标志（Reload value update complete flag） 0：更新完成； 1：正在更新。 只有当 RLDF 为 0 时才能写 WDT_RLD 寄存器。
位 1	RLDF	0x0	ro	
				分频值更新完成标志（Division value update complete flag） 0：更新完成； 1：正在更新。 只有当 DIVF 为 0 时才能写 WDT_DIV 寄存器。
位 0	DIVF	0x0	ro	

## 16.5.5 窗口寄存器（WDT\_WIN）

（待机模式不复位）

域	简称	复位值	类型	功能
位 31: 12	保留	0x00000	resd	保持默认值。
				窗口值（Window value） 当计数器值大于窗口值时，此时重载计数器会产生复位，重载计数器区间为 0~窗口值。
位 11:0	WIN	0xFFFF	rw	

# 17 实时时钟 (ERTC)

## 17.1 ERTC简介

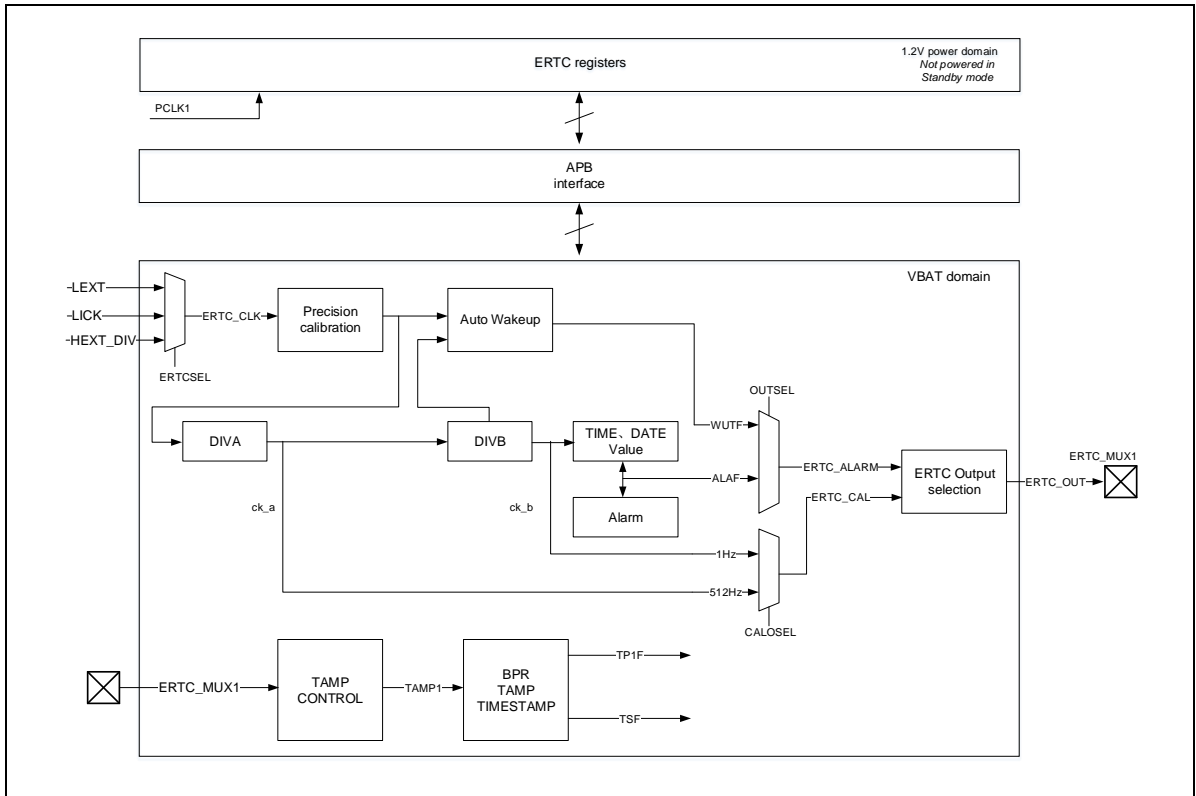
实时时钟用于配置日历时钟，修改 ERTC 中日历寄存器值可以修改系统的当前时间和日期。

ERTC 计数逻辑位于电池供电域，只要电池供电域有电，ERTC 便会一直运行，不受系统复位影响。

## 17.2 ERTC主要特性

- 功能强大的实时日历，自动处理月份天数28（平年2月）、29（闰年2月）、30（小月）、31（大月），其中当年份寄存器是4的倍数时为闰年，支持一组闹钟
- 周期性唤醒
- 参考时钟检测
- 一组可配置入侵检测，支持时间戳功能
- 支持精密校准
- 5个电池供电寄存器
- 4组中断：闹钟A、周期性唤醒、入侵检测、时间戳
- 复用功能输出，校准时钟输出、闹钟事件或唤醒事件
- 复用功能输入，参考时钟输入、一路入侵检测、时间戳

图 17-1 ERTC框图



## 17.3 ERTC功能说明

### 17.3.1 ERTC时钟

ERTC\_CLK 可从 LEXT、LICK、32 分频后的 HEXT 中选择。

ERTC 内置分频器 A 和分频器 B，分别由 DIVA[6: 0]、DIVB[14: 0]配置，推荐 DIVA 配置为较高的值，以最大程度降低功耗。ERTC\_CLK 依次经由分频器 A、分频器 B 处理，得到 ck\_a、ck\_b 时钟，ck\_a 用于更新亚秒，ck\_b 用于更新日历和周期性唤醒。ck\_a、ck\_b 时钟频率可由下式计算：

$$f_{ck\_a} = \frac{f_{ERTC\_CLK}}{DIVA + 1}$$

$$f_{ck\_b} = \frac{f_{ERTC\_CLK}}{(DIVB + 1) \times (DIVA + 1)}$$

当配置 DIVA=127, DIVB=255, 且 ERTC\_CLK 选用 32.768kHz 的 LEXT 时, 可得到 1Hz 的 ck\_b, 用于更新日历。

## 17.3.2 ERTC初始化

### 寄存器解锁:

上电复位后所有 ERTC 寄存器处于写保护状态, 需要先解除写保护, 才能写配置 ERTC 寄存器 (除 ERTC\_STS[14:8]、ERTC\_TAMP 和 ERTC\_BPRx 寄存器外, 其它寄存器位均受写保护, 且写保护不受系统复位影响)。

解锁步骤:

- 1、使能电源接口时钟: CRM\_APB1EN 的 PWCEN=1
- 2、解锁电池供电域写保护: PWC\_CTRL 的 BPWEN=1
- 3、依次向 ERTC\_WP 寄存器写入 0xCA, 0x53, 若向 ERTC\_WP 寄存器写入错误的值, 将重新激活写保护。

下表列出了需要解除写保护和进入初始化模式才可以配置的 ERTC 寄存器:

表 17-1 ERTC寄存器配置表

寄存器简称	是否受写保护	是否需要进入初始化模式	其它
ERTC_TIME	是	是	-
ERTC_DATE	是	是	-
ERTC_CTRL	是	位 6、4 需要	-
ERTC_STS	除[13:8]位外	-	-
ERTC_DIV	是	是	-
ERTC_WAT	是	否	WATWF 为 1 时可配置
ERTC_ALA	是	否	ALAWF 为 1 时可配置
ERTC_WP	-	-	-
ERTC_SBS	-	-	-
ERTC_TADJ	是	否	TADJF 为 0 时可配置
ERTC_TSTM	-	-	-
ERTC_TSDT	-	-	-
ERTC_TSSBS	-	-	-
ERTC_SCAL	是	否	CALUPDF 为 0 时可配置
ERTC_TAMP	否	否	-
ERTC_ALASBS	是	否	ALAWF 为 1 时可配置
ERTC_BPRx	否	否	-

**时钟、日历初始化:**

寄存器解锁后, 时钟和日历的初始化配置可按以下步骤进行:

1. 将 IMEN 位置 1 进入初始化模式。
2. 等待初始化标志位 INITF 置 1。
3. 依次配置 DIVB、DIVA。
4. 配置时钟和日历值。
5. 将 IMEN 位清 0 退出初始化模式, 等待 UPDF 置 1, 表明日历值同步完成, 日历开始计数。

为了方便时间微调, ERTC 还提供了夏令时和时间调整功能。

夏令时功能: 用于增加 (ADD1H=1) 或减小 (DEC1H=1) 1 小时, 而无需重新进行初始化配置。

时间调整功能: 用于精确的调整当前时钟。若只配置 DECSBS[14:0] 值, 该值将会加到分频器 B 计数器值中, 时钟因此产生延迟; 若只将 ADD1S 位置 1, 当前时钟将增加 1 秒; 若同时配置 DECSBS[14:0], ADD1S 位, 时钟将增加零点几秒。

延迟时间 (ADD1S=0):  $\text{延迟时间} = \text{DECSBS} / (\text{DIVB} + 1)$ ;

提前时间 (ADD1S=1):  $\text{提前时间} = 1 - (\text{DECSBS} / (\text{DIVB} + 1))$ 。

*注: 设置时间调整寄存器前, 必须先确认 SBS[15]=0, 以免亚秒发生上溢; 时钟调整与时钟同步功能不能同时使用; 当 RCD=1 时, 时钟调整功能不可用。*

**日历读取:**

ERTC 提供两种日历访问方式, 分别为同步读取 (DREN=0) 和异步读取 (DREN=1)。

同步读取时, ERTC 通过 PCLK1 访问同步的影子寄存器来获取时钟和日历值。影子寄存器值由位于电池供电域的 ERTC 日历值同步而来, 同步周期为两个 ERTC\_CLK, 同步完成后 UPDF 将置 1。影子寄存器由系统复位来复位。为保证读取的 ERTC\_SBS、ERTC\_TIME、ERTC\_DATE 寄存器值来自同一时刻, 读取低阶寄存器时会将高阶寄存器值锁定, 直到读取 ERTC\_DATE 寄存器。例如读取 ERTC\_SBS, 会将 ERTC\_TIME、ERTC\_DATE 寄存器值锁定。

异步读取时, ERTC 通过 PCLK1 直接读取位于电池供电域的 ERTC 时钟和日历值, 这样避免了由于同步时间带来的误差。异步读取时, UPDF 标志将由硬件清 0。为保证异步读取时钟和日历值的准确性, 软件必须两次读取时钟和日历值, 并比较两次结果是否一致, 如果不一致应该再读, 直到两次结果一致, 另外, 也可以只比较两次结果的最低位来判定。

*注: 在 STANDBY 和 DEEPSLEEP 模式下, 当前日历值不会复制到影子寄存器中, 当从这两种模式唤醒时, 必须先设置 UPDF=0, 然后等待 UPDF=1, 以保证读取的日历值是最新的; 在同步读取时, 需保证 PCLK1 频率至少为 ERTC\_CLK 频率 7 倍; 异步读取时, 需要额外一个 APB 周期才能完成读取日历寄存器的指令。*

**闹钟初始化:**

ERTC 包含闹钟 A, 并提供了闹钟 A 中断。

闹钟值由 ERTC\_ALASBS、ERTC\_ALA 设定, 开启闹钟后, 当设定的闹钟值匹配日历值时将触发闹钟事件。通过 MASKx 位, 可选择性的屏蔽日历字段, 被屏蔽的字段不参与闹钟匹配。

闹钟 A 的配置可按以下步骤进行:

1. 关闭闹钟 A (设置 ALAEN=0)。
2. 等待闹钟 A 寄存器允许写 (等待 ALAWF 位置 1)。
3. 配置闹钟 A 寄存器 (ERTC\_ALA、ERTC\_ALASBS)。
4. 使能闹钟 A (设置 ALAEN=1)。

*注: 当 ERTC\_ALA 中 MASK1 为 0 时, DIVB 至少为 3 才能使闹钟正常工作。*

### 17.3.3 周期性自动唤醒

周期性唤醒功能用于 ERTC 周期性的自动唤醒低功耗模式, 唤醒周期由 VAL[15:0] 设定 (WATCLK[2]=1 时扩展为 17 位, 唤醒计数值为 VAL+216)。当唤醒计数器值由 VAL 值递减至 0 时, WATF 标志置 1, 产生唤醒事件, 同时唤醒计数器值重载 VAL 值。若使能周期性唤醒中断, 将产生周期性唤醒中断。

驱动唤醒定时器的时钟通过 WATCLK[2:0] 设定, 可选 16/8/4/2 分频后的 ERTC\_CLK 或 ck\_b (通常 1Hz), 结合唤醒计数值可灵活调整唤醒周期。

周期性唤醒功能可按以下步骤进行配置:

1. 关闭周期新唤醒 (设置 WATEN=0)。



2. 等待唤醒自动重载定时器和 WATCLK[2:0]位允许写 (WATWF 位置 1)。
3. 配置唤醒定时器计数值和唤醒时钟 (VAL[15:0]、WATCLK[2:0]位)。
4. 使能定时器 (设置 WATEN=1)。

注：系统复位以及低功耗模式（睡眠、深度睡眠和待机）对唤醒定时器没有任何影响。

注：在 DEBUG 模式下，若唤醒时钟选择 ERTC\_CLK，用于周期性唤醒的计数器正常运行。

### 17.3.4 ERTC校准

#### 精密数字校准：

精密校准可以均匀且精确的校准 ERTC\_CLK。开启精密校准校准功能后，将均匀增加或减少 ERTC\_CLK 来达到校准的目的。

当 ERTC\_CLK 为 32.768kHz 时，精密校准周期约为  $2^{20}$  个 ERTC\_CLK(32 秒)。DEC[8:0]值指定了  $2^{20}$  个 ERTC\_CLK 中忽略的脉冲数，最多可忽略 511 个脉冲；将 ADD 置 1，可在  $2^{20}$  个 ERTC\_CLK 中插入 512 个脉冲。两者搭配使用，可在  $2^{20}$  个 ERTC\_CLK 周期进行-511~+512 的调整。

有效校准频率 FSCAL：

$$F_{SCAL} = F_{ERTC\_CLK} \times \left[ 1 + \frac{ADD \times 512 - DEC}{2^{20} + DEC - ADD \times 512} \right]$$

当分频器 A 值小于 3 时，会按照 ADD 等于 0 校准。此时应降低分频器 B 值来实现每秒增加 8 个 ERTC\_CLK，也就是 32 秒增加 256 个 ERTC\_CLK 搭配 DEC[8:0]位，可在  $2^{20}$  个 ERTC\_CLK 周期进行-255~+256 的调整。

此时有效校准频率 FSCAL：

$$F_{SCAL} = F_{ERTC\_CLK} \times \left[ 1 + \frac{256 - DEC}{2^{20} + DEC - 256} \right]$$

精密数字校准的校准周期还可选择 8 秒或 16 秒（由 CAL8 和 CAL16 配置），8 秒校准周期的优先级更高，同时使能 8 秒和 16 秒校准周期，将优先选择 8 秒校准周期。

ERTC 提供了 CALUPDF 标志用来指示校准值的状态，当配置 ERTC\_SCAL 寄存器时，CALUPDF 标志位将置 1，指示校准值正在更新；当校准值被成功应用后，标志位自动清 0，指示校准值更新完成。

### 17.3.5 参考时钟检测

为保证日历长时间运行的精确性，ERTC 提供了时钟同步功能（低功耗模式不可用），用精度更高的参考时钟（一般用 50Hz 或者 60Hz 的市电）校准更新日历的 1Hz 时钟。

参考时钟检测功能开启后，在每次更新日历值的前 7 个 ck\_a 周期检测参考时钟边沿，若检测到边沿，将使用此边沿更新日历值，后续采用 3 个 ck\_a 周期检测参考时钟边沿。每一次检测到参考时钟边沿时，都会将分频器 A 的值进行重载，这会使得内部 1Hz 的日历时钟与参考时钟边沿刚好对齐，当内部 1Hz 时钟出现微小偏移时，利用更精确的参考时钟，将 1Hz 时钟微调至与参考时钟边沿对齐。当没有检测到参考时钟边沿时，ERTC 会利用原来的时钟源更新日历。

需要注意的是，使能参考时钟功能后，需要将 DIVA、DIVB 设置为复位值（0x7F、0xFF）。

### 17.3.6 时间戳

时间戳功能用于在发生时间戳事件时（入侵引脚检测到有效边沿），将当前的日历值保存到时间戳寄存器中。

当发生时间戳时，TSF 位置 1，此时若再次发生时间戳事件，TSOF 标志位将置 1，但时间戳寄存器并不会更新，可以通过 TSIEN 位设置是否使能时间戳中断。

时间戳用法有两种

1. 单独的时间戳功能，此时入侵检测引脚用来检测时间戳，使用步骤：
  - 选择上升沿还是下降沿触发（设置 TSEDG）
  - 使能时间戳（设置 TSEN=1）
2. 发生入侵事件时保存时间戳，使用步骤：
  - 配置入侵检测相关寄存器



- 使能发生入侵事件时保存时间戳（设置TPTSEN=1）

注：发生时间戳事件后，TSF 在两个 ck\_a 周期后置 1，建议在 TSF 已置 1 的情况下轮询 TSOE 位

### 17.3.7 入侵检测

ERTC 提供了一组入侵检测 TAMP1，可配置为滤波后的电平检测或边沿检测。TAMP1 映射到入侵引脚 ERTC\_MUX1。

当检测到有效的入侵事件后，TP1F 位将置 1，若已使能了入侵检测中断，将产生对应的中断；若 TPTSEN 位已置 1，将同时产生时间戳事件。为保证位于电池供电域中的电池供电寄存器数据安全，入侵事件发生时将复位电池供电寄存器。

**边沿入侵检测配置步骤：**

1. 选择入侵检测方式为边沿检测（TPFLT=00），并选择有效沿（TP1EDG）。
2. 根据需要配置是否在入侵事件时激活时间戳（TPTSEN 置 1）。
3. 根据需要开启入侵中断使能（TPIEN 置 1）。
3. 将 TAMP1 使能（TP1EN 置 1）。

**电平入侵检测配置步骤：**

1. 选择入侵检测方式为电平检测，并选择有效电平采样次数（TPFLT≠00）。
2. 选择入侵有效电平（TP1EDG）。
3. 选择入侵检测采样频率（TPFREQ）。
4. 根据需要开启入侵检测上拉（TPPU 置 1），若开启，还需配置上拉电阻预充电时间（TPPR）。
5. 根据需要配置是否在入侵事件时激活时间戳（TPTSEN 置 1）。
6. 根据需要开启入侵中断使能（TPIEN 置 1）。
7. 将 TAMP1 使能（TP1EN 置 1）。

当配置为边沿检测时，有以下两点要注意：

1. 在使能入侵检测前，若入侵检测已被配置为上升沿有效，且入侵检测引脚已为高电平，在使能入侵检测后会立刻产生一个入侵检测事件。
2. 在使能入侵检测前，若入侵检测已被配置为下降沿有效，且入侵检测引脚已为低电平，在使能入侵检测后会立刻产生一个入侵检测事件。

### 17.3.8 复用功能输出

ERTC 提供了一组复用功能输出，可以输出以下事件：

1. 校准后的时钟（OUTSEL=0，CALOEN=1）
  - 输出 512Hz（CALOSEL=0）
  - 输出 1Hz（CALOSEL=1）
2. 闹钟 A（OUTSEL=1）
3. 唤醒事件（OUTSEL=3）

当输出闹钟事件或者唤醒事件时（OUTSEL≠0），可以通过 OUTTYPE 选择输出类型为开漏或是推挽，可以通过 OUTP 配置输出极性。

### 17.3.9 ERTC唤醒

ERTC 可由闹钟、周期性唤醒、时间戳、入侵事件进行唤醒，使能 ERTC 中断可按以下操作配置：

1. 将 ERTC 对应中断的 EXINT 线配置为中断模式并使能，有效沿选择上升沿。
2. 使能 ERTC 中断对应的 NVIC 通道。
3. 使能对应的 ERTC 中断。

下表说明了 ERTC 时钟源、事件以及中断对唤醒低功耗模式的影响：

表 17-2 ERTC唤醒低功耗模式

时钟源	事件	唤醒 SLEEP	唤醒 DEEPSLEEP	唤醒 STANDBY
HEXT	闹钟 A	√	×	×
	周期性唤醒	√	×	×
	时间戳	√	×	×
	入侵事件	√	×	×
LICK	闹钟 A	√	√	√
	周期性唤醒	√	√	√

	时间戳	✓	✓	✓
	入侵事件	✓	✓	✓
LEXT	闹钟 A	✓	✓	✓
	周期性唤醒	✓	✓	✓
	时间戳	✓	✓	✓
	入侵事件	✓	✓	✓

表 17-3 中断控制位

中断事件	事件标志	中断使能位	EXINT 线
闹钟 A	ALAF	ALAIEN	17
周期性唤醒	WATF	WATIEN	20
时间戳	TSF	TSIEN	19
入侵事件	TP1F	TPIEN	19

## 17.4 ERTC 寄存器

必须以字（32 位）的方式操作这些外设寄存器。

ERTC 寄存器是 32 位可寻址寄存器，具体描述如下：

寄存器简称	基址偏移量	复位值
ERTC_TIME	0x00	0x0000 0000
ERTC_DATE	0x04	0x0000 2101
ERTC_CTRL	0x08	0x0000 0000
ERTC_STS	0x0C	0x0000 0007
ERTC_DIV	0x10	0x007F 00FF
ERTC_WAT	0x14	0x0000 FFFF
ERTC_ALA	0x1C	0x0000 0000
ERTC_WP	0x24	0x0000 0000
ERTC_SBS	0x28	0x0000 0000
ERTC_TADJ	0x2C	0x0000 0000
ERTC_TSTM	0x30	0x0000 0000
ERTC_TSDT	0x34	0x0000 000D
ERTC_TSSBS	0x38	0x0000 0000
ERTC_SCAL	0x3C	0x0000 0000
ERTC_TAMP	0x40	0x0000 0000
ERTC_ALASBS	0x44	0x0000 0000
ERTC_BPRx	0x50-0x60	0x0000 0000

## 17.4.1 ERTC时间寄存器（ERTC\_TIME）

域	简称	复位值	类型	功能
位 31: 23	保留	0x000	resd	保持默认值。 上午/下午（AM/PM）
位 22	AMPM	0x0	rw	0: 上午; 1: 下午。 注: 该位只用于 12 小时制, 24 小时制保持为 0。
位 21: 20	HT	0x0	rw	小时十位（Hour tens）
位 19: 16	HU	0x0	rw	小时个位（Hour units）
位 15	保留	0x0	resd	保持默认值。
位 14: 12	MT	0x0	rw	分钟十位（Minute tens）
位 11: 8	MU	0x0	rw	分钟个位（Minute units）
位 7	保留	0x0	resd	保持默认值
位 6: 4	ST	0x0	rw	秒钟十位（Second tens）
位 3: 0	SU	0x0	rw	秒钟个位（Second units）

## 17.4.2 ERTC日期寄存器（ERTC\_DATE）

域	简称	复位值	类型	功能
位 31: 24	保留	0x00	resd	保持默认值。
位 23: 20	YT	0x0	rw	年份十位（Year tens）
位 19: 16	YU	0x0	rw	年份个位（Year units）
位 15: 13	WK	0x1	rw	星期（Week） 0: 禁用; 1: 星期一; 2: 星期二; 3: 星期三; 4: 星期四; 5: 星期五; 6: 星期六; 7: 星期日。
位 12	MT	0x0	rw	月份十位（Month tens）
位 11: 8	MU	0x1	rw	月份个位（Month units）
位 7: 6	保留	0x0	resd	保持默认值。
位 5: 4	DT	0x0	rw	日期十位（Date tens）
位 3: 0	DU	0x1	rw	日期个位（Date units）

## 17.4.3 ERTC控制寄存器（ERTC\_CTRL）

域	简称	复位值	类型	功能
位 31: 24	保留	0x00	resd	保持默认值。
位 23	CALOEN	0x0	rw	校准输出使能（Calibration output enable） 0: 关闭; 1: 开启。
位 22: 21	OUTSEL	0x0	rw	输出源选择（Output source selection） 00: 关闭; 01: 闹钟 A; 10: 关闭; 11: 唤醒事件。
位 20	OUTP	0x0	rw	输出极性（Output polarity） 0: 高; 1: 低。
位 19	CALOSEL	0x0	rw	校准输出选择（Calibration output selection） 0: 512Hz;

				1: 1Hz。
位 18	BPR	0x0	rw	<p>电池供电域数据寄存器 (Battery power domain data register)</p> <p>该位在电池供电域, 不受系统复位影响, 可用来存储夏令时操作或者一些其他需要一直保存的数据。</p>
位 17	DEC1H	0x0	wo	<p>减少 1 小时 (Decrease 1 hour)</p> <p>0: 无作用;</p> <p>1: 减少一小时。</p> <p>注: 当小时不为 0 时才有效, 该位置 1 后 (不要在小时递增时置 1), 下一秒生效。</p>
位 16	ADD1H	0x0	wo	<p>增加 1 小时 (Add 1 hour)</p> <p>0: 无作用;</p> <p>1: 增加一小时。</p> <p>注: 该位置 1 后 (不要在小时递增时置 1), 下一秒生效。</p>
位 15	TSIEN	0x0	rw	<p>时间戳中断使能 (Timestamp interrupt enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 14	WATIEN	0x0	rw	<p>唤醒定时器中断使能 (Wakeup timer interrupt enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 13	保留	0x0	resd	保持默认值
位 12	ALAIEN	0x0	rw	<p>闹钟 A 中断使能 (Alarm A interrupt enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 11	TSEN	0x0	rw	<p>时间戳使能 (Timestamp enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 10	WATEN	0x0	rw	<p>唤醒定时器使能 (Wakeup timer enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 9	保留	0x0	resd	保持默认值
位 8	ALAEN	0x0	rw	<p>闹钟 A 使能 (Alarm A enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 7	保留	0x0	resd	保持默认值
位 6	HM	0x0	rw	<p>小时模式 (Hour mode)</p> <p>0: 24 小时制;</p> <p>1: 12 小时制。</p>
位 5	DREN	0x0	rw	<p>日期/时间寄存器直接读取使能 (Date/time register direct read enable)</p> <p>0: 关闭, ERTC_TIME、ERTC_DATE、ERTC_SBS 值从同步寄存器获取, 每两个 ERTC_CLK 更新一次;</p> <p>1: 开启, ERTC_TIME、ERTC_DATE、ERTC_SBS 值从电池供电域获取。</p>
位 4	RCDEN	0x0	rw	<p>参考时钟检测使能 (Reference clock detection enable)</p> <p>0: 关闭;</p> <p>1: 开启。</p>
位 3	TSEDG	0x0	rw	<p>时间戳触发边沿 (Timestamp trigger edge)</p> <p>0: 上升沿;</p> <p>1: 下降沿。</p>
位 2: 0	WATCLK	0x0	rw	<p>唤醒定时器时钟选择 (Wakeup timer clock selection)</p> <p>000: ERTC_CLK/16;</p> <p>001: ERTC_CLK/8;</p> <p>010: ERTC_CLK/4;</p> <p>011: ERTC_CLK/2;</p> <p>10x: ck_b;</p> <p>11x: ck_b, 唤醒计数值增加 <math>2^{16}</math>, 唤醒时间 = ERTC_WAT + <math>2^{16}</math>。</p> <p>注: 在 WATEN=0 且 WATWF=1 时可对这些位进行写操作。</p>

## 17.4.4 ERTC初始化和状态寄存器（ERTC\_STS）

域	简称	复位值	类型	功能
位 31: 17	保留	0x0000	resd	保持默认值。
位 16	CALUPDF	0x0	ro	校准值更新完成标志（Calibration value update completed flag） 0: 更新完成； 1: 正在更新。 当对精密校准寄存器 ERTC_SCAL 写时，该位自动置 1，当 ERTC 使用新的校准值时，该位自动清零，当该位为 1 时，不能写 ERTC_SCAL 寄存器。
位 15: 14	保留	0x0	resd	保持默认值。
位 13	TP1F	0x0	rw0c	入侵检测 1 标志（Tamper detection 1 flag） 0: 无入侵事件发生； 1: 有入侵事件发生。
位 12	TSOF	0x0	rw0c	时间戳溢出标志（Timestamp overflow flag） 0: 正常； 1: 溢出。 当产生了时间戳事件（TSF 置 1）时，又产生了时间戳事件，该标志置 1。
位 11	TSF	0x0	rw0c	时间戳标志（Timestamp flag） 0: 无时间戳事件发生； 1: 有时间戳事件发生。 当读取了时间戳，并清除了 TSF 时，建议再检查 TSOF 标志，因为可能会存在当正在清除 TSF 时又产生了时间戳事件。 注：该位清 0 后 2 个 APB_CLK 后生效。
位 10	WATF	0x0	rw0c	唤醒定时器标志（Wakeup timer flag） 0: 无唤醒事件发生； 1: 有唤醒事件发生。 注：该位清 0 后 2 个 APB_CLK 后生效。
位 9	保留	0x0	resd	保持默认值
位 8	ALAF	0x0	rw0c	闹钟 A 标志（Alarm clock A flag） 0: 无闹钟事件发生； 1: 有闹钟事件发生。 注：该位清 0 后 2 个 APB_CLK 后生效。
位 7	IMEN	0x0	rw	初始化模式使能（Initialization mode enable） 0: 关闭； 1: 开启。 当进入了初始化模式后，日历处于停止状态。
位 6	IMF	0x0	ro	进入初始化模式标志（Enter initialization mode flag） 0: 未进入； 1: 进入。 当使能了初始化模式（INITEN=1），并进入了初始化模式（INITEF=1）时，才能更改 ERTC_TIME、ERTC_DATE、ERTC_DIV 寄存器。
位 5	UPDF	0x0	rw0c	日历更新标志（Calendar update flag） 0: 正在更新； 1: 更新完成。 每当从电池供电域将日历更新到 ERTC_TIME、ERTC_DATE、ERTC_SBS 同步寄存器，该标志置 1，每两个 ERTC_CLK 更新一次。
位 4	INITF	0x0	ro	日历初始化标志（Calendar initialization flag） 0: 未初始化； 1: 已初始化。 当检测到 ERTC_DATE 里面的年份不为 0 时该位置 1，当年份为 0 时，该位清 0。
位 3	TADJF	0x0	ro	时间调整标志（Time adjustment flag） 0: 无操作； 1: 正在执行时间调整。

				当对时间调整寄存器 ERTC_TADJ 写时，该位自动置 1，当时间调整结束后，该位自动清零。
位 2	WATWF	0x1	ro	唤醒定时器寄存器允许写标志 (Wakeup timer register allows write flag) 0: 不允许写; 1: 允许写。
位 1	保留	0x0	resd	保持默认值
位 0	ALAWF	0x1	ro	闹钟 A 允许写标志 (Alarm A register allows write flag) 0: 不允许写; 1: 允许写。

#### 17.4.5 ERTC 预分频器寄存器 (ERTC\_DIV)

域	简称	复位值	类型	功能
位 31: 23	保留	0x000	resd	保持默认值。
位 22: 16	DIVA	0x7F	rw	分频器 A (Diveder A)
位 15	保留	0x0	resd	保持默认值。
位 14: 0	DIVB	0x00FF	rw	分频器 B (Diveder B) 日历时钟=ERTC_CLK/((DIVA+1)x(DIVB+1))。

#### 17.4.6 ERTC 唤醒定时器寄存器 (ERTC\_WAT)

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持默认值。
位 15: 0	VAL	0xFFFF	rw	唤醒定时器重载值 (Wakeup timer reload value)

#### 17.4.7 ERTC 闹钟 A 寄存器 (ERTC\_ALA)

域	简称	复位值	类型	功能
位 31	MASK4	0x0	rw	日期/星期屏蔽 (Date/week mask) 0: 无屏蔽; 1: 闹钟和日期/星期无关。
位 30	WKSEL	0x0	rw	日期/星期选择 (Date/week mode) 0: 日期; 1: 星期 (DT[1: 0]不使用)。
位 29: 28	DT	0x0	rw	日期十位 (Date tens)
位 27: 24	DU	0x0	rw	日期/星期个位 (Date/week units)
位 23	MASK3	0x0	rw	小时屏蔽 (Hour mask) 0: 无屏蔽; 1: 闹钟和小时无关。
位 22	AMPM	0x0	rw	上午/下午 (AM/PM) 0: 上午; 1: 下午。 注: 该位只用于 12 小时制, 24 小时制保持为 0。
位 21: 20	HT	0x0	rw	小时十位 (Hour tens)
位 19: 16	HU	0x0	rw	小时个位 (Hour units)
位 15	MASK2	0x0	rw	分钟屏蔽 (Minute mask) 0: 无屏蔽; 1: 闹钟和分钟无关。
位 14: 12	MT	0x0	rw	分钟十位 (Minute tens)
位 11: 8	MU	0x0	rw	分钟个位 (Minute units)
位 7	MASK1	0x0	rw	秒钟屏蔽 (Second mask) 0: 无屏蔽; 1: 闹钟和秒钟无关。
位 6: 4	ST	0x0	rw	秒钟十位 (Second tens)
位 3: 0	SU	0x0	rw	秒钟个位 (Second units)

### 17.4.8 ERTC写保护寄存器（ERTC\_WP）

域	简称	复位值	类型	功能
位 31: 8	保留	0x000000	resd	保持默认值。
位 7: 0	CMD	0x00	wo	命令寄存器（Command register） 依次写入 0xCA、0x53 解锁所有 ERTC 寄存器写保护，当写一个其他值时，将重新开启写保护。

### 17.4.9 ERTC亚秒寄存器（ERTC\_SBS）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持默认值。
位 15: 0	SBS	0x0000	ro	亚秒值（Sub-second value） 亚秒为分频器 DIVB 的计数值，时钟频率为 ERTC_CLK/(DIVA+1)。

### 17.4.10 ERTC时间微调寄存器（ERTC\_TADJ）

域	简称	复位值	类型	功能
位 31	ADD1S	0x0	wo	增加一秒（Add 1 second） 0: 无效果； 1: 增加 1 秒。 当 TADJF=0 时，才能写此寄存器，通常 ADD1S 与 DECSBS 配合使用，达到微调时间的效果。
位 30: 15	保留	0x0000	resd	保持默认值。
位 14: 0	DECSBS	0x0000	wo	DECSBS[14: 0]: 减少亚秒值（Decrease sub-second value） 延迟时间（ADD1S=0）：延迟=DECSBS/(DIVB+1)； 提前时间（ADD1S=1）：延迟=1-(DECSBS/(DIVB+1))。 当 TADJF=0 时，才能写此寄存器。

### 17.4.11 ERTC时间戳时间寄存器（ERTC\_TSTM）

域	简称	复位值	类型	功能
位 31: 23	保留	0x000	resd	保持默认值。
位 22	AMPM	0x0	ro	上午/下午（AM/PM） 0: 上午； 1: 下午。 注：该位只用于 12 小时制，24 小时制保持为 0。
位 21: 20	HT	0x0	ro	小时十位（Hour tens）
位 19: 16	HU	0x0	ro	小时个位（Hour units）
位 15	保留	0x0	resd	保持默认值
位 14:12	MT	0x0	ro	分钟十位（Minute tens）
位 11: 8	MU	0x0	ro	分钟个位（Minute units）
位 7	保留	0x0	resd	保持默认值。
位 6: 4	ST	0x0	ro	秒钟十位（Second tens）
位 3: 0	SU	0x0	ro	秒钟个位（Second units）

注意：仅当 ERTC\_STS 中的 TSF 置 1 时，该寄存器的内容才有效。当 TSF 位复位时，清零该寄存器。



### 17.4.12 ERTC时间戳日期寄存器（ERTC\_TSDT）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持默认值。
位 15: 13	WK	0x0	ro	星期（Week）
位 12	MT	0x0	ro	月十位（Month tens）
位 11: 8	MU	0x0	ro	月个位（Month units）
位 7: 6	保留	0x0	resd	保持默认值
位 5: 4	DT	0x0	ro	日期十位（Date tens）
位 3: 0	DU	0x0	ro	日期个位（Date units）

注意：仅当 ERTC\_STS 中的 TSF 置 1 时，该寄存器的内容才有效。当 TSF 位复位时，清零该寄存器。

### 17.4.13 ERTC时间戳亚秒寄存器（ERTC\_TSSBS）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持默认值。
位 15: 0	SBS	0x0000	ro	亚秒值（Sub-second value）

注意：仅当 ERTC\_STS/TSF 置 1 时，该寄存器的内容才有效。当 TSF 位复位时，清零该寄存器。

### 17.4.14 ERTC精密校准寄存器（ERTC\_SCAL）

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	保持默认值。
位 15	ADD	0x0	rw	增加 ERTC 时钟（Add ERTC clock） 0: 无操作； 1: 每 $2^{11}$ 个 ERTC_CLK，插入一个 ERTC_CLK。
位 14	CAL8	0x0	rw	8 秒校准周期（8-second calibration period） 0: 无效果； 1: 8 秒校准周期。
位 13	CAL16	0x0	rw	16 秒校准周期（16 second calibration period） 0: 无效果； 1: 16 秒校准周期。
位 12: 9	保留	0x0	resd	保持默认值
位 8: 0	DEC	0x000	rw	减少 ERTC 时钟（Decrease ERTC clock） 在 $2^{20}$ 个 ERTC_CLK 周期内，屏蔽 DEC 个 ERTC_CLK。 通常和 ADD 配合使用，当 ADD 为 1 时，在 $2^{20}$ 个 ERTC_CLK 周期内，实际的 ERTC_CLK 个数为 $2^{20}+512-DEC$ 。

### 17.4.15 ERTC入侵配置寄存器（ERTC\_TAMP）

域	简称	复位值	类型	功能
位 31: 19	保留	0x0000	resd	保持默认值。
位 18	OUTTYPE	0x0	rw	输出类型（Output type） 0: 开漏； 1: 推挽。
位 17: 16	保留	0x0	resd	保持默认值
位 15	TPPU	0x0	rw	入侵检测上拉（Tamper detection pull-up） 0: 开启； 1: 关闭。
位 14:13	TPPR	0x0	rw	入侵检测预充电时间（Tamper detection pre-charge time） 0: 1 个 ERTC_CLK； 1: 2 个 ERTC_CLK； 2: 4 个 ERTC_CLK； 3: 8 个 ERTC_CLK。
位 12:11	TPFLT	0x0	rw	入侵检测滤波时间（Tamper detection filter time） 0: 无滤波； 1: 连续 2 次采样有效，判定入侵事件发生；



				2: 连续 4 次采样有效, 判定入侵事件发生; 3: 连续 8 次采样有效, 判定入侵事件发生。
位 10:8	TPFREQ	0x0	rw	入侵检测检测频率 (Tamper detection frequency) 0: ERTC_CLK/32768; 1: ERTC_CLK/16384; 2: ERTC_CLK/8192; 3: ERTC_CLK/4096; 4: ERTC_CLK/2048; 5: ERTC_CLK/1024; 6: ERTC_CLK/512; 7: ERTC_CLK/256。
位 7	TPTSEN	0x0	rw	入侵检测时间戳使能 (Tamper detection timestamp enable) 0: 关闭; 1: 开启, 当产生入侵事件时, 保持时间戳。
位 6: 3	保留	0x0	resd	保持默认值。
位 2	TPIEN	0x0	rw	入侵检测中断使能 (Tamper detection interrupt enable) 0: 关闭; 1: 开启。
位 1	TP1EDG	0x0	rw	入侵检测 1 有效边沿 (Tamper detection 1 valid edge) 当无滤波时 (TPFLT=0): 0: 上升沿; 1: 下降沿。 当有滤波时 (TPFLT>0): 0: 低电平; 1: 高电平。
位 0	TP1EN	0x0	rw	入侵检测 1 使能 Tamper detection 1 enable 0: 关闭; 1: 开启。

## 17.4.16 ERTC 闹钟 A 亚秒寄存器 (ERTC\_ALASBS)

域	简称	复位值	类型	功能
位 31: 28	保留	0x0	resd	保持默认值。
位 27: 24	SBSMSK	0x0	rw	亚秒屏蔽 (Sub-second mask) 0: 不匹配亚秒, 闹钟与亚秒无关; 1: 只匹配 SBS[0]; 2: 只匹配 SBS[1: 0]; 3: 只匹配 SBS[2: 0]; ... 14: 只匹配 SBS[13: 0]; 15: 匹配 SBS[14: 0]。
位 23: 15	保留	0x000	rw	保持默认值。
位 14: 0	SBS	0x0000	rw	亚秒值 (Sub-second value)

## 17.4.17 ERTC 电池供电数据寄存器 (ERTC\_BPRx)

域	简称	复位值	类型	功能
位 31: 0	DT	0x00000000	rw	电池供电域数据 (Battery powered domain data) BPR_DT <sub>x</sub> 寄存器, 可以在只由电池供电下保存数据, 不会被系统复位所复位, 只能通过电池供电域复位或入侵事件进行复位。

## 18 模拟/数字转换（ADC）

### 18.1 ADC简介

ADC 是一个将模拟输入信号转换为12位、10位、8位、6位的数字信号的外设。采样率最高可达2MSPS。多达19个通道源可进行采样及转换。

### 18.2 ADC主要特征

模拟方面有以下特征：

- 支持分辨率 12 位、10 位、8 位、6 位的转换
- 自校准时间：154 个 ADC 时钟周期
- ADC 转换时间
  - ADC时钟在最大频率28MHz时转换时间为0.50  $\mu$ s(分辨率12位时)
  - ADC时钟在最大频率28MHz时转换时间为0.28  $\mu$ s(分辨率6位时)
- ADC 供电要求：参考 Datasheet
- ADC 输入范围： $V_{SSA} \leq V_{IN} \leq V_{DDA}$

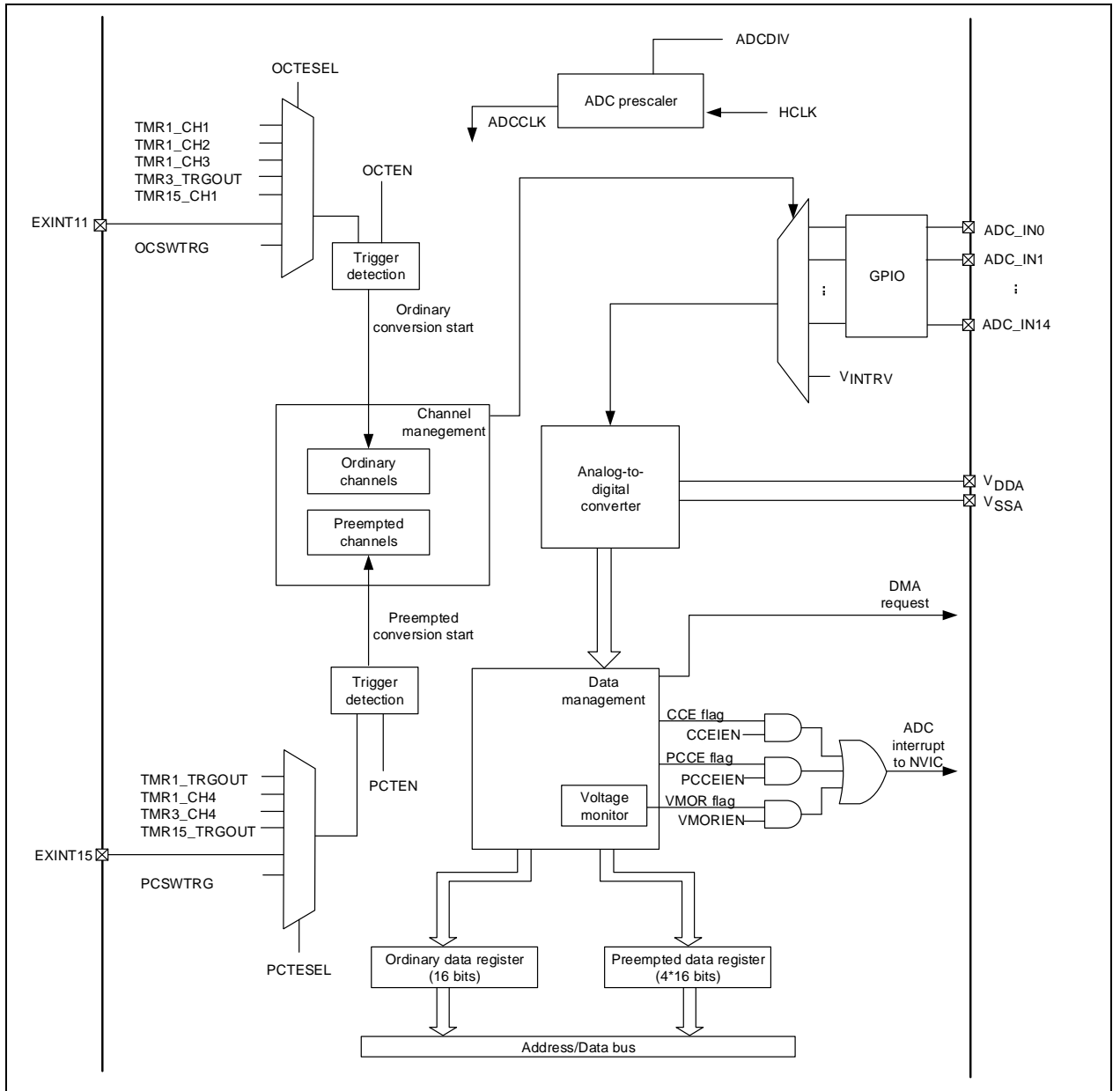
数字控制方面有以下特征：

- 通道管理区分优先权不同的普通通道与抢占通道
- 普通通道与抢占通道具备各自独立的触发侦测电路
- 各通道均可独立配置采样时间
- 转换顺序管理支持多种不同的多通道转换
- 过采样器：硬件过采样最高可实现 16 位分辨率
- 可选择的数据对齐方式
- 可配置的电压监测边界
- 支持 DMA 传输的普通通道数据
- 可设定以下事件发生时响应中断
  - 抢占通道组转换结束
  - 通道转换结束
  - 电压监测超出范围

### 18.3 ADC架构

ADC 的架构如下图所示。

图 18-1 ADC框图



输入管脚介绍:

- V<sub>DDA</sub> : 模拟电源, ADC模拟电源
- V<sub>SSA</sub> : 模拟电源地, ADC模拟电源地
- ADC\_IN<sub>x</sub> : 模拟输入信号通道

输入管脚的连接与电压范围限制请参考Datasheet

### 18.4 ADC功能介绍

#### 18.4.1 通道管理

模拟信号通道输入

每个 ADC 拥有多达19个模拟信号通道输入, 以 ADC\_IN<sub>x</sub> 表示, x=0至18。

ADC\_IN<sub>0</sub>至 ADC\_IN<sub>14</sub>为外部模拟输入, ADC\_IN<sub>15</sub>、ADC\_IN<sub>16</sub>为 V<sub>SSA</sub>, ADC\_IN<sub>17</sub>为内部参考电压, ADC\_IN<sub>18</sub>为 V<sub>DDA</sub>。

### 通道转换

转换区分为普通通道转换与抢占通道转换，抢占通道的转换优先权高于普通通道。

抢占通道触发若发生于普通通道转换途中，优先进行抢占通道的转换，普通通道于抢占通道转换结束后重新开始转换被打断的通道。普通通道触发若发生于抢占通道转换途中，普通通道的转换会等待抢占通道转换完成后才开始。

将通道（ADC\_INx）编排进普通通道序列（ADC\_OSQx）以及抢占通道序列（ADC\_PSQ），相同通道可重复编排，序列总数由 OCLEN 与 PCLLEN 定义，接着即可启动普通通道转换或抢占通道转换。

#### 18.4.1.1 内部参考电压

典型值1.2V 的内部参考电压接到 ADC\_IN17，必须先使能 ADC 控制寄存器2（ADC\_CTRL2）的 ITSRVEN 位后才可对内部参考电压通道进行转换。此通道的转换数据可用于推算外部参考电压。

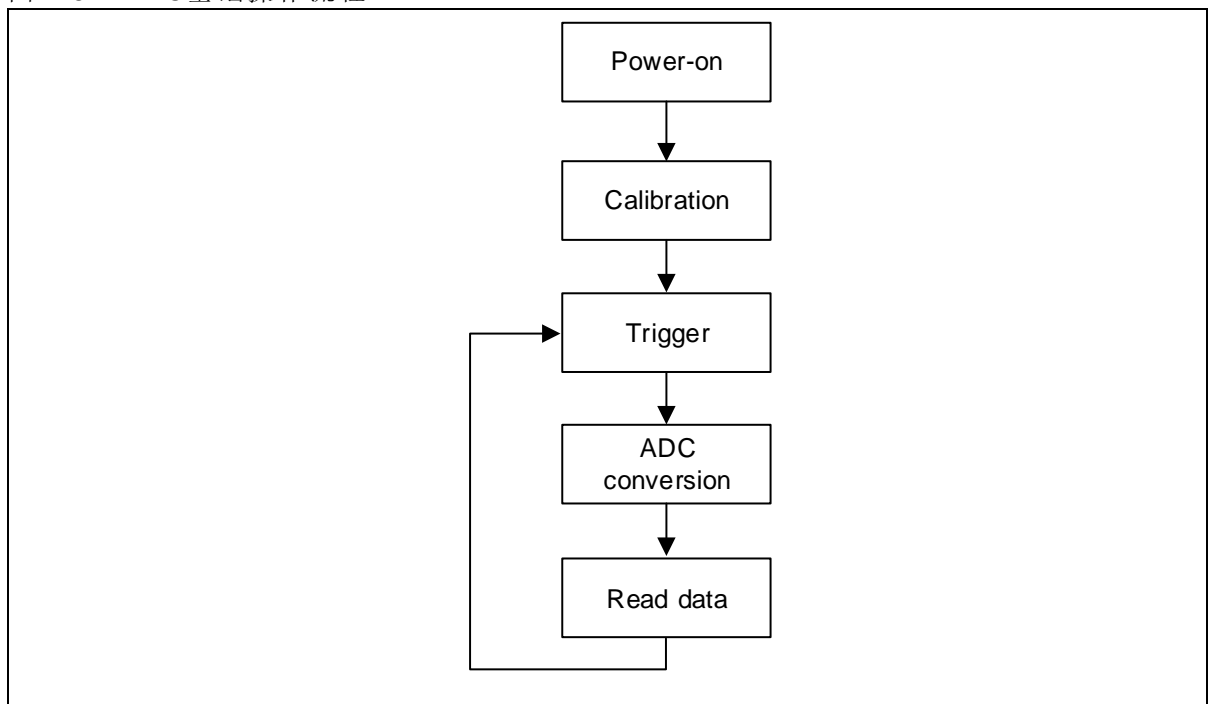
#### 18.4.1.2 ADC 内部采样电容预充电

设定 ADC\_CTRL1 寄存器的 PRECEN 位可以开启预充电功能，预充电功能开启后，在每次 ADC 非采样期间，ADC 内部的采样电容会被自动充放电至  $V_{REF+}/2$ 。

### 18.4.2 ADC操作流程

ADC 的基础操作流程如下图所示，建议第一次上电后进行校准，以提升采样与转换准确度。待校准完成后可靠触发引起 ADC 采样转换，转换结束后即可读取数据。

图 18-2 ADC基础操作流程



#### 18.4.2.1 上电与校准

##### 上电

用户须先使能 CRM\_APB2EN 的 ADCEN，以使能 ADC 的时钟：PCLK2与 ADCCLK。

时钟使能后必须配置 ADC 预分频器（CRM\_CFG 的 ADCDIV），将 ADCCLK 调整至需求的频率。ADCCLK 由 HCLK 除频而来。

注意：ADCCLK 不可大于 28MHz。

ADCCLK 频率调整完后，即可使能 ADC 控制寄存器2（ADC\_CTRL2）的 ADCEN 位使 ADC 上电，等待  $t_{STAB}$  后才可对 ADC 进行后续操作。清除 ADCEN 会使 ADC 的转换中止并复位，同时 ADC 被断电以达到省电的效果。

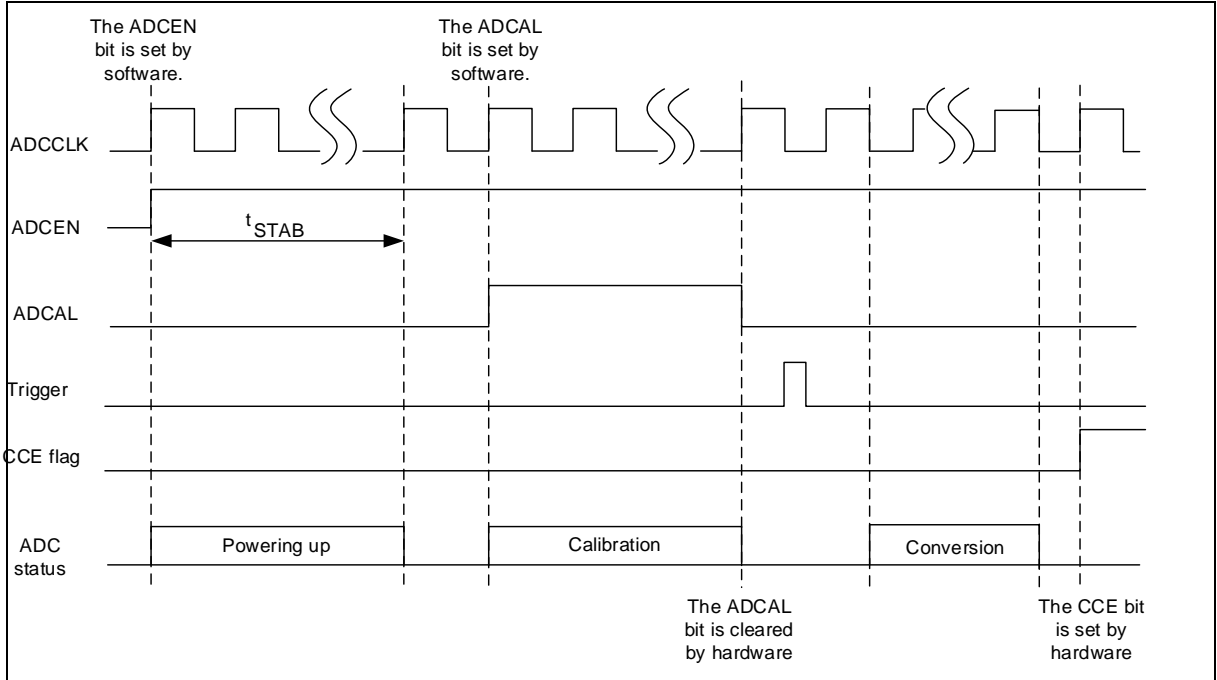
##### 校准

上电完成后可设置 ADC 控制寄存器2（ADC\_CTRL2）的 ADCAL 使 ADC 进行校准，校准完成后硬件清除 ADCAL 位，软件即可触发以进行转换。

每次校准后，校准值会被存放至 ADC\_ODT 中，这个校准值自动反馈回 ADC 内部，以消除电容误差。该校准值的存放不会置位 CCE 标志，不会产生中断或 DMA 请求。

*注意：只能在分辨率12位和 ADC\_CTRL1 寄存器的 PRECEN 位关闭时进行校准，校准完成后才可切换分辨率和开启预充电功能，切换分辨率后等待 RDY 标志置起即可触发。*

图 18-3 ADC 上电与校准



### 18.4.2.2 触发

ADC 触发分为普通通道触发与抢占通道触发，普通通道触发引发普通通道转换，抢占通道触发引发抢占通道转换。使能 ADC 控制寄存器2 (ADC\_CTRL2) 的 OCTEN 或 PCTEN 后，ADC 才会检测触发来源的上升沿并响应转换。

触发来源可分为软件写寄存器触发(ADC 控制寄存器2(ADC\_CTRL2)的 OCSWTRG 与 PCSWTRG) 以及外部触发，外部触发包含定时器触发与管脚触发，由 ADC 控制寄存器2 (ADC\_CTRL2) 的 OCTESEL 与 PCTESEL 选择触发来源，如下表所示。

普通通道还有一种特殊的触发来源，即重复使能 ADCEN 触发转换。此种情况下不需要使能 ADC 控制寄存器2 (ADC\_CTRL2) OCTEN 也可导致普通通道响应转换。

表 18-1 ADC 的触发来源

OCTESEL	触发来源	PCTESEL	触发来源
000	TMR1_CH1 event	000	TMR1_TRGOUT event
001	TMR1_CH2 event	001	TMR1_CH4 event
010	TMR1_CH3 event	010	保留
011	保留	011	保留
100	TMR3_TRGOUT event	100	TMR3_CH4 event
101	TMR15_CH1 event	101	TMR15_TRGOUT event
110	EXINT line11 external pin	110	EXINT line15 external pin
111	OCSWTRG bit	111	PCSWTRG bit

### 18.4.2.3 采样与转换时序

用户可于 ADC\_SPT1 与 ADC\_SPT2 的 CSPTx 配置各个通道 (ADC\_INx) 的采样周期。一次转换所需的时间可利用以下公式推得：

$$\text{一次转换所需的时间(ADCCLK 的周期)} = \text{采样时间} + \text{分辨率位数} + 0.5$$

示例：

CSPTx 选择1.5周期，CRSEL 选择12位，一次转换需要 $1.5+12.5=14$ 个 ADCCLK 周期。

CSPTx 选择7.5周期，CRSEL 选择10位，一次转换需要 $7.5+10.5=18$ 个 ADCCLK 周期。

### 18.4.3 转换顺序管理

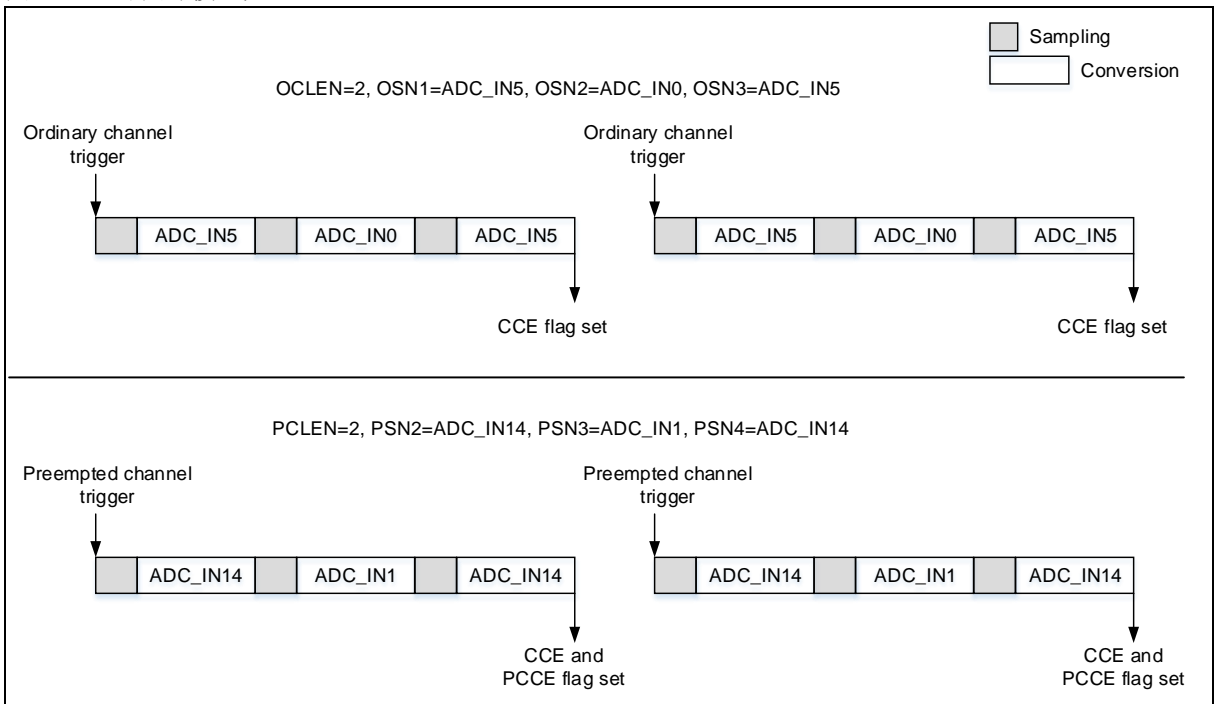
默认模式下，每次触发只会转换单个通道，即 OSN1（普通触发）或 PSN4（抢占触发）记录的通道。

下面介绍不同的转换顺序模式，即可使多个通道以特定顺序做转换。

#### 18.4.3.1 序列模式

使能 ADC 控制寄存器1（ADC\_CTRL1）的 SQEN，即开启序列模式，用户于 ADC\_OSQx 配置普通通道顺序与总数，于 ADC\_PSQ 配置抢占通道顺序与总数，开启序列模式后，一次触发将序列中的通道依序转换一次。普通通道从 OSN1开始转换起，抢占通道是从 PSNx 开始转换起， $x=4-PCLEN$ ，下图示范了序列模式的行为。

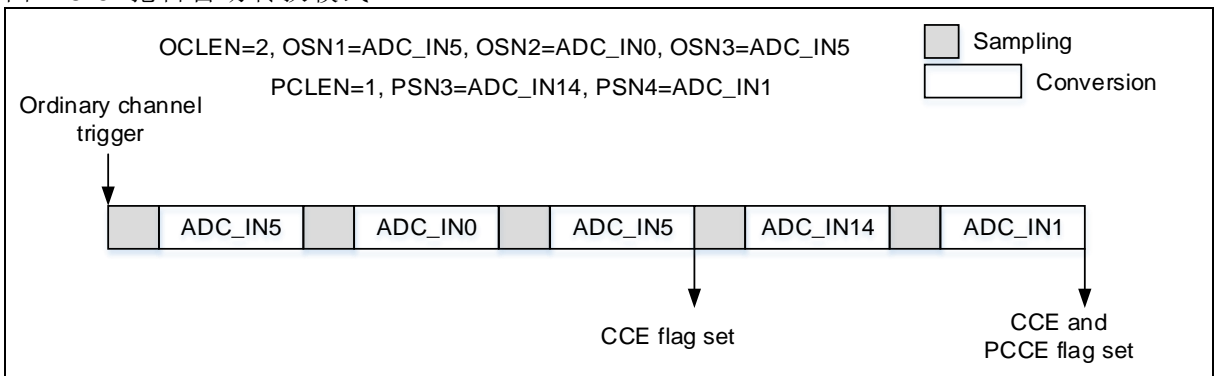
图 18-4 序列模式



#### 18.4.3.2 抢占自动转换模式

使能 ADC 控制寄存器1（ADC\_CTRL1）的 PCAUTOEN，即开启抢占自动转换模式，当普通通道转换完成后，抢占通道将自动接续着转换。可与序列模式共用，当普通通道序列完成后，即会自动开始抢占序列的转换。下图示范了与序列模式共用的抢占自动转换模式行为。

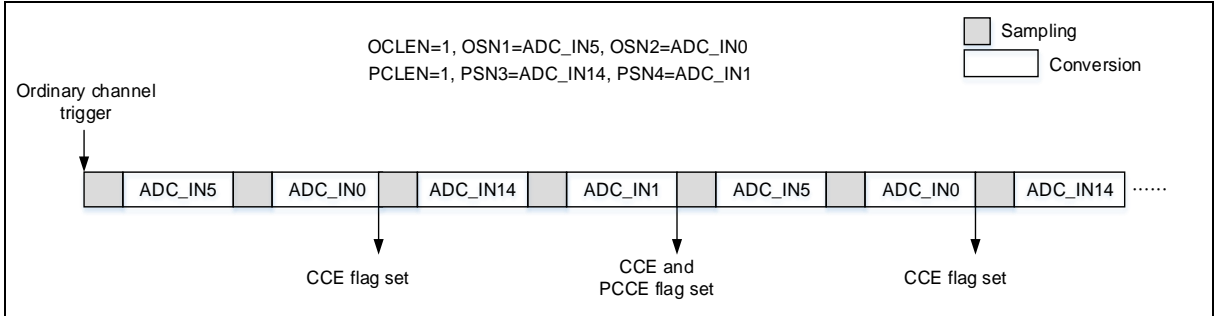
图 18-5 抢占自动转换模式



### 18.4.3.3 反复模式

使能 ADC 控制寄存器2 (ADC\_CTRL2) 的 RPEN, 即开启反复模式。当普通通道检测到触发后会反复不断地转换。可与序列模式下的普通通道转换共用, 将反复地转换普通通道序列。也可与抢占自动转换模式共用, 将依次反复地转换普通通道序列与抢占通道序列。下图示范了与序列模式及抢占自动转换模式共用的反复模式行为。

图 18-6 反复模式



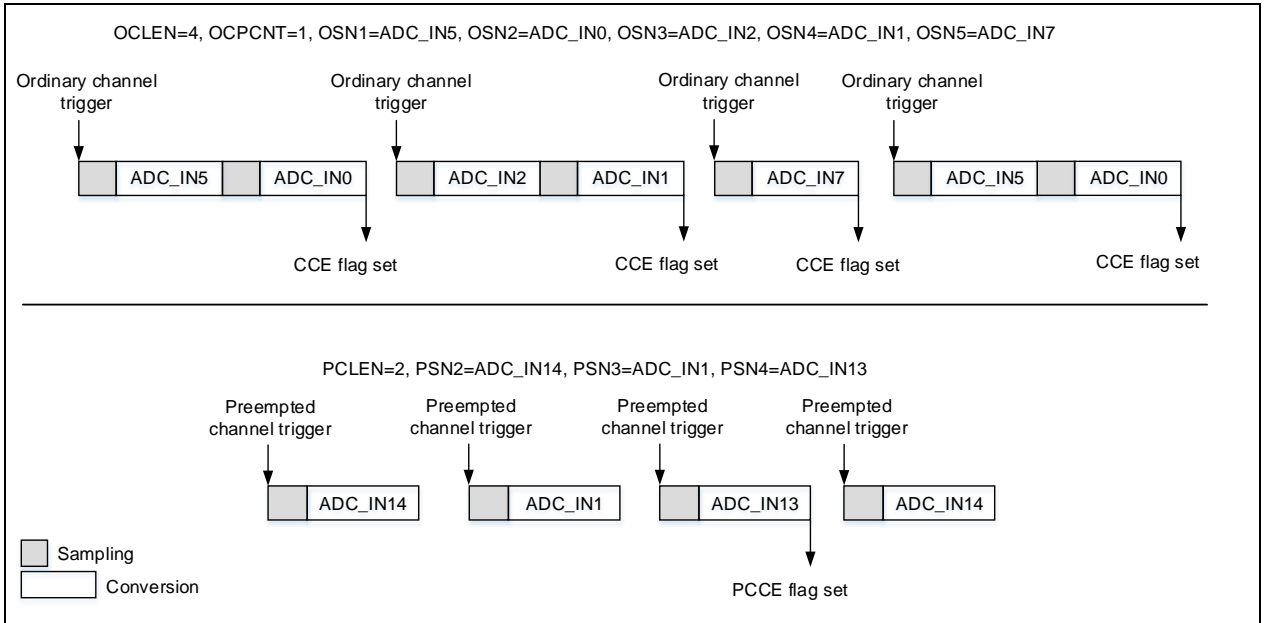
### 18.4.3.4 分割模式

使能 ADC 控制寄存器1 (ADC\_CTRL1) 的 OCPEN, 即开启普通通道的分割模式, 此模式将 ADC 普通序列寄存器1 (ADC\_OSQ1) 的 OCLEN 的序列长度分割成长度较小的子组别, 子组别的通道数于 ADC 控制寄存器1 (ADC\_CTRL1) 的 OCPCNT 配置, 一次触发将转换子组别中的所有通道。每次触发会依序选择不同的子组别。

使能 ADC 控制寄存器1 (ADC\_CTRL1) 的 PCPEN, 即开启抢占通道的分割模式, 此模式将 ADC 普通序列寄存器1 (ADC\_PSQ) 的 PCLEN 的序列长度分割成只有一个通道的子组别, 一次触发将转换子组别中的通道。每次触发会依序选择不同的子组别。

分割模式与反复模式不可共用。下图分别示范了普通分割与抢占分割模式的行为。

图 18-7 分割模式



### 18.4.4 过采样器

一次过采样转换数据是透过转换多次相同通道, 累加转换数据后作平均实现的。

- 由ADC过采样寄存器 (ADC\_OVSP) 的 OSRSEL 选择过采样率, 此位用来定义过采样倍数, 通过多次转换同个通道实现。
- 由ADC过采样寄存器 (ADC\_OVSP) 的 OSSSEL 选择过采样移位, 此位用来定义平均系数, 通过右移位实现。



若平均后数据大于16位，只取靠右16位数据，放入16位数据寄存器。如下表所示。

示例：

若 OSRSEL 选择4倍，一次过采样转换同个通道转换4次，并将这4次转换数据累加。若 OSSSEL 选择6位，累加数据除以2<sup>6</sup>，以四舍五入进位。

表 18-2 最大累加数据与过采样倍数及位移系数关系

过采样率	2x	4x	8x	16x	32x	64x	128x	256x
最大累加数据	0x1FFE	0x3FFC	0x7FF8	0xFFF0	0x1FFE0	0x3FFC0	0x7FF80	0xFFF00
不移位	0x1FFE	0x3FFC	0x7FF8	0xFFF0	0xFFE0	0xFFC0	0xFF80	0xFF00
移 1 位	0x0FFF	0x1FFE	0x3FFC	0x7FF8	0xFFF0	0xFFE0	0xFFC0	0xFF80
移 2 位	0x0800	0x0FFF	0x1FFE	0x3FFC	0x7FF8	0xFFF0	0xFFE0	0xFFC0
移 3 位	0x0400	0x0800	0x0FFF	0x1FFE	0x3FFC	0x7FF8	0xFFF0	0xFFE0
移 4 位	0x0200	0x0400	0x0800	0x0FFF	0x1FFE	0x3FFC	0x7FF8	0xFFF0
移 5 位	0x0100	0x0200	0x0400	0x0800	0x0FFF	0x1FFE	0x3FFC	0x7FF8
移 6 位	0x0080	0x0100	0x0200	0x0400	0x0800	0x0FFF	0x1FFE	0x3FFC
移 7 位	0x0040	0x0080	0x0100	0x0200	0x0400	0x0800	0x0FFF	0x1FFE
移 8 位	0x0020	0x0040	0x0080	0x0100	0x0200	0x0400	0x0800	0x0FFF

使用过采样时，忽视 DTALIGN 与 PCDTOx，数据一律靠右摆放。

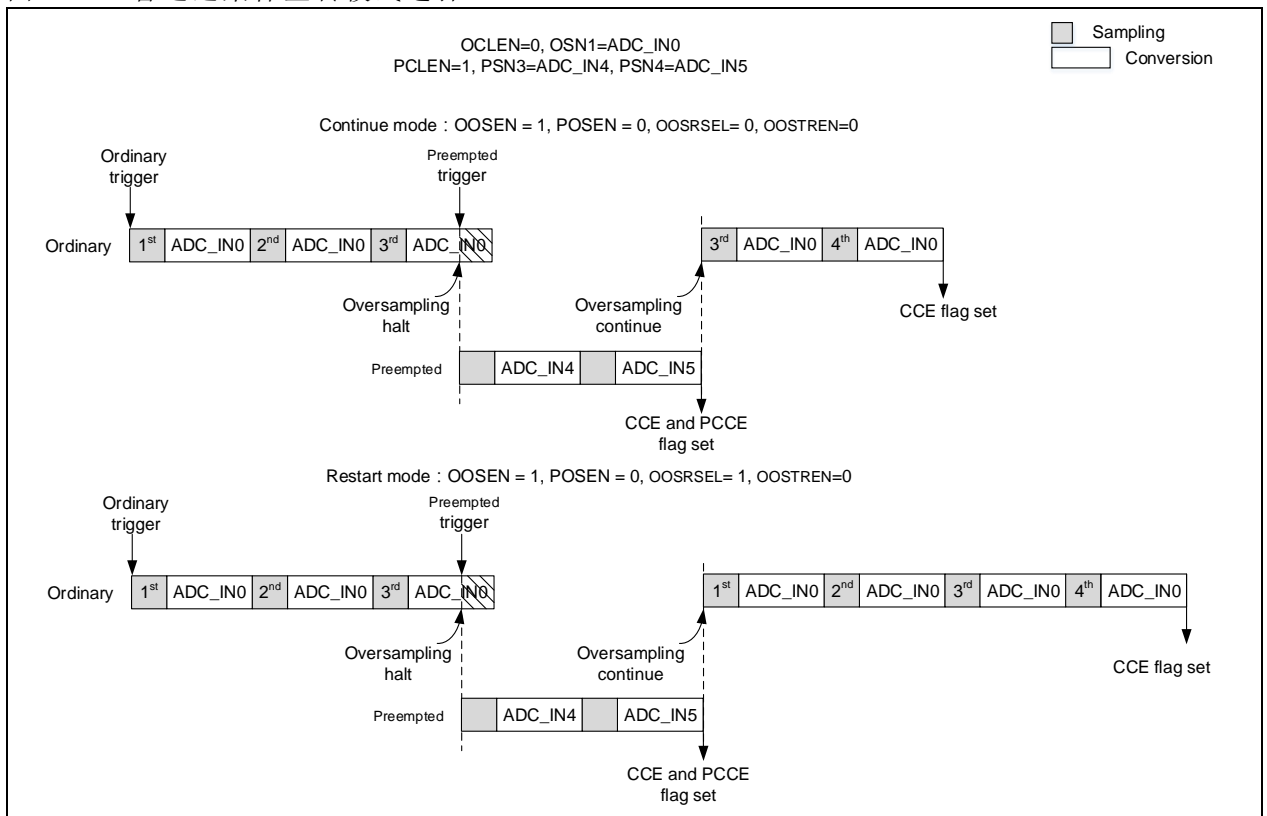
### 18.4.4.1 普通通道过采样

由 ADC 过采样寄存器 (ADC\_OVSP) 的 OOSRSEL 控制普通过采样被打断后恢复的动作。

- OOSRSEL=0: 接续模式，普通过采样中途被抢占通道转换插入后，保留已累加的数据，再次开始转换时将从打断处转换。
- OOSRSEL=1: 重转模式。普通过采样中途被抢占通道转换插入后，累加数据被清空。再次开始转换时是重新该通道的过采样转换。

下图以4x 过采样率与序列模式下，示范了普通过采样接续模式与重转模式的差别。

图 18-8 普通过采样重转模式选择

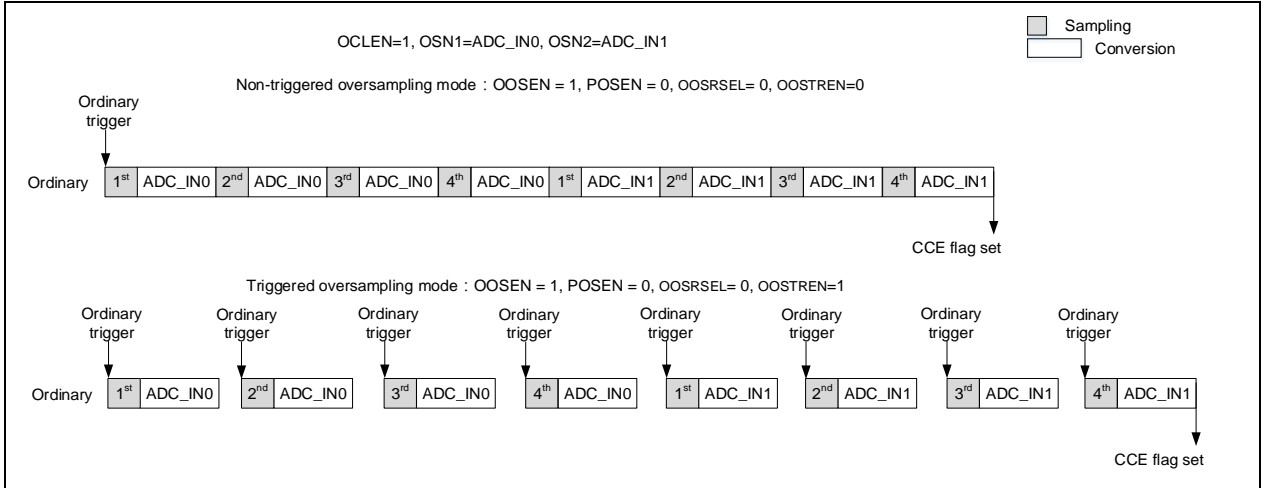


使能 ADC 过采样寄存器 (ADC\_OVSP) 的 OOSTREN 即可使用触发模式。用户须触发普通过采样转换中每一次的普通通道转换。此模式下，中途被抢占通道触发打断后，须重新触发

普通通道才会恢复转换普通通道过采样。  
 当触发模式与转换顺序管理模式搭配使用时，触发方式遵循触发模式，转换完成标志则遵循转换顺序管理模式。下图以4x 过采样率与序列模式下，示范了普通过采样触发模式与恢复模式共用。

注意：触发模式与反复模式不可共用。

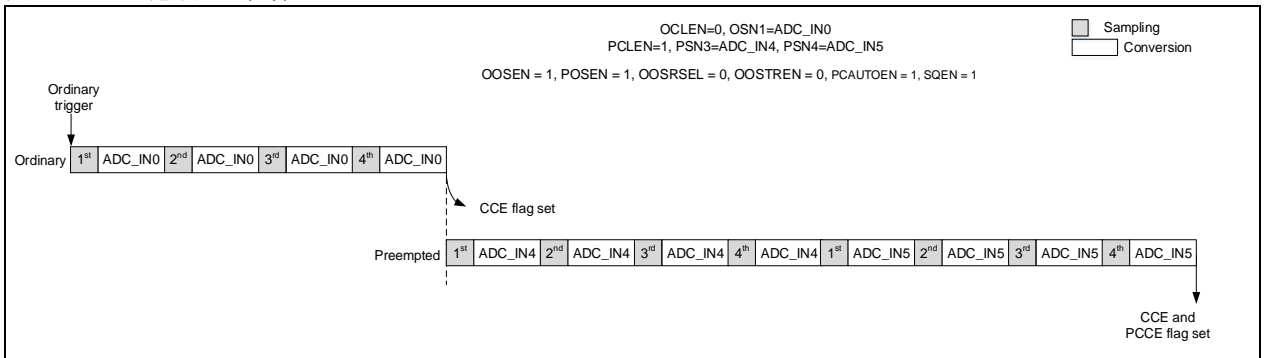
图 18-9 普通过采样触发模式



### 18.4.4.2 抢占通道过采样

抢占过采样可与普通过采样同时使用，也可分别使用。抢占过采样不影响到普通过采样的各种模式。下图以4x 过采样率与抢占自动转换模式下，示范了抢占过采样与普通过采样触发模式共用。

图 18-10 抢占过采样



### 18.4.5 数据管理

普通通道转换完成后数据存储于普通数据寄存器（ADC\_ODT），抢占通道转换完成后数据存储于抢占数据寄存器 x（ADC\_PDTx）。

#### 18.4.5.1 数据内容处理

由 ADC 控制寄存器2（ADC\_CTRL2）的 DTALIGN 选择转换数据靠右或是靠左对齐放置于数据寄存器，除此之外，抢占通道的数据还会减去抢占数据偏移寄存器 x（ADC\_PCDTOx）的偏移量，因此抢占通道数据有可能为负值，以 SIGN 作为符号。

分辨率 CRSEL 为 6 位时，数据存储方式以字节为基准摆放，其余皆以半字为基准摆放。如下图所示。

图 18-11 数据内容处理

Ordinary channel data 12 bits															
Right-alignment															
0	0	0	0	DT[11]	DT[10]	DT[9]	DT[8]	DT[7]	DT[6]	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]
Left-alignment															
DT[11]	DT[10]	DT[9]	DT[8]	DT[7]	DT[6]	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]	0	0	0	0
Ordinary channel data 6 bits															
Right-alignment															
0	0	0	0	0	0	0	0	0	0	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]
Left-alignment															
0	0	0	0	0	0	0	0	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]	0	0
Preempted channel data 12 bits															
Right-alignment															
SIGN	SIGN	SIGN	SIGN	DT[11]	DT[10]	DT[9]	DT[8]	DT[7]	DT[6]	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]
Left-alignment															
SIGN	DT[11]	DT[10]	DT[9]	DT[8]	DT[7]	DT[6]	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]	0	0	0
Preempted channel data 6 bits															
Right-alignment															
SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]
Left-alignment															
SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	SIGN	DT[5]	DT[4]	DT[3]	DT[2]	DT[1]	DT[0]	0

### 18.4.5.2 数据获取

普通通道转换数据可藉由 CPU 或 DMA 读取普通数据寄存器 (ADC\_ODT) 获得。抢占通道数据只可藉由 CPU 读取抢占数据寄存器 x (ADC\_PDTx) 获得。

使能 ADC 控制寄存器2 (ADC\_CTRL2) 的 OCDMAEN 后, ADC 会在每次普通数据寄存器更新时请求 DMA。

### 18.4.6 电压监测

使能 ADC 控制寄存器1 (ADC\_CTRL1) 的 OCVMEN (普通通道) 或 PCVMEN (抢占通道) 即可通过对转换结果的判定来实现电压监测。当转换结果大于高边界 ADC\_VMHB 寄存器或是小于低边界 ADC\_VMLB 寄存器时, 电压监测超出标志 VMOR 会置起。

透过 VMSGEN 选择对单一特定通道或是所有通道监测。对单一通道监测的话, 由 VMSEL 配置通道。

电压监测一律以转换的原始数据与12位边界寄存器做比较, 无视 PCDTOx 与 DTALIGN 位的设定。若是使用过采样器, 则是以 ADC\_VMHB[15:0]与 ADC\_VMLB[15:0]完整的16位寄存器与过采样数据作比较。

### 18.4.7 状态标志与中断

每个 ADC 拥有自己的状态寄存器 (ADCx\_STS): 普通通道转换开始标志 (OCCS)、抢占通道转换开始标志 (PCCS)、抢占通道组转换结束标志 (PCCE)、通道转换结束标志 (CCE) 及电压监测超出标志 (VMOR)。

其中抢占通道组转换结束标志、通道转换结束标志及电压监测超出标志拥有对应中断使能位, 只要将中断使能, 标志置起时便会对 CPU 发出中断。

## 18.5 ADC寄存器

下表列出了 ADC 寄存器的映像和复位值。  
必须以字(32位) 的方式操作这些外设寄存器。

表 18-3 ADC寄存器映像和复位值

寄存器简称	基址偏移量	复位值
ADC_STS	0x000	0x0000 0000
ADC_CTRL1	0x004	0x0000 0000
ADC_CTRL2	0x008	0x0000 0000
ADC_SPT1	0x00C	0x0000 0000
ADC_SPT2	0x010	0x0000 0000
ADC_PCDT01	0x014	0x0000 0000
ADC_PCDT02	0x018	0x0000 0000
ADC_PCDT03	0x01C	0x0000 0000
ADC_PCDT04	0x020	0x0000 0000
ADC_VMHB	0x024	0x0000 0FFF
ADC_VMLB	0x028	0x0000 0000
ADC_OSQ1	0x02C	0x0000 0000
ADC_OSQ2	0x030	0x0000 0000
ADC_OSQ3	0x034	0x0000 0000
ADC_PSQ	0x038	0x0000 0000
ADC_PDT1	0x03C	0x0000 0000
ADC_PDT2	0x040	0x0000 0000
ADC_PDT3	0x044	0x0000 0000
ADC_PDT4	0x048	0x0000 0000
ADC_ODT	0x04C	0x0000 0000
ADC_OVSP	0x080	0x0000 0000

### 18.5.1 ADC状态寄存器（ADC\_STS）

访问：字访问

域	简称	复位值	类型	功能
位 31: 7	保留	0x00000000	resd	请保持默认值。
位 6	RDY	0x0	r0	ADC 准备就绪标志(ADC ready to conversion flag) 只读位，该位在 ADC 上电完毕后由硬件置位。 0：未就绪； 1：已就绪。
位 5	保留	0x0	resd	请保持默认值。
位 4	OCCS	0x0	rw0c	普通通道转换开始标志（Ordinary channel conversion start flag） 该位被硬件置起，由软件将其清零（对自身写零）。 0：未开始； 1：已开始。
位 3	PCCS	0x0	rw0c	抢占通道转换开始标志（Preempted channel conversion start flag） 该位被硬件置起，由软件将其清零（对自身写零）。 0：未开始； 1：已开始。

位 2	PCCE	0x0	rw0c	<p>抢占通道组转换结束标志 (Preempted channels conversion end flag)</p> <p>该位被硬件置起, 由软件将其清零 (对自身写零)。</p> <p>0: 未结束; 1: 已结束。</p>
位 1	CCE	0x0	rw0c	<p>通道转换结束标志 (Channels conversion end flag)</p> <p>该位被硬件置起, 由软件将其清零 (对自身写零), 或由读取 ADC_ODT 寄存器清零。</p> <p>0: 未结束; 1: 已结束。</p> <p>注: 普通或抢占通道组转换结束均会置位此标志。</p>
位 0	VMOR	0x0	rw0c	<p>电压监测超出范围标志 (Voltage monitoring out of range flag)</p> <p>该位被硬件置起, 由软件将其清零 (对自身写零)。</p> <p>0: 无超出; 1: 有超出。</p>

## 18.5.2 ADC控制寄存器1 (ADC\_CTRL1)

访问: 字访问

域	简称	复位值	类型	功能
位 31	PRECEN	0x0	rw	<p>预先充电使能 (Precharge enable)</p> <p>使每一笔 ADC 转完采样电路预充/放电到 VREF/2, 争取下次的采样时间可以缩短一点</p> <p>0: 关闭; 1: 开启。</p>
位 30: 26	保留	0x00	resd	请保持默认值。
位 25: 24	CRSEL	0x0	rw	<p>转换分辨率选择(Conversion resolution select)</p> <p>00: 12 位; 01: 10 位; 10: 8 位; 11: 6 位。</p>
位 23	OCVMEN	0x0	rw	<p>普通通道的电压监测使能 (Voltage monitoring enable on ordinary channels)</p> <p>0: 关闭; 1: 开启。</p>
位 22	PCVMEN	0x0	rw	<p>抢占通道的电压监测使能 (Voltage monitoring enable on preempted channels)</p> <p>0: 关闭; 1: 开启。</p>
位 21: 16	保留	0x0	resd	请保持默认值。
位 15: 13	OCPCNT	0x0	rw	<p>分割模式下每次触发转换的普通通道个数 (Partitioned mode conversion count of ordinary channels)</p> <p>000: 1 个通道; 001: 2 个通道; ..... 111: 8 个通道。</p> <p>注: 抢占组在分割模式下每次触发固定只转换一个通道。</p>
位 12	PCPEN	0x0	rw	<p>抢占通道上的分割模式使能 (Partitioned mode enable on preempted channels)</p> <p>0: 关闭; 1: 开启。</p>
位 11	OCPEN	0x0	rw	<p>普通通道上的分割模式使能 (Partitioned mode enable on ordinary channels)</p> <p>该位由软件设置和清除, 用于开启或关闭普通通道组上的分割模式</p> <p>0: 关闭; 1: 开启。</p>

位 10	PCAUTOEN	0x0	rw	普通组转换结束后的抢占组自动转换使能 (Preempted group automatic conversion enable after ordinary group) 0: 关闭; 1: 开启。
位 9	VMSGEN	0x0	rw	单个通道的电压监测使能 (Voltage monitoring enable on a single channel) 0: 关闭 (电压监测所有通道); 1: 开启 (电压监测单一通道)。
位 8	SQEN	0x0	rw	序列模式使能 (Sequence mode enable) 0: 关闭 (转换选择的单一通道); 1: 开启 (转换设定的多个通道)。 注: 如果开启多通道模式, 且开启了 CCEIEN 或 PCCEIEN 位, 则只在最后一个通道转换完毕后才会产生 CCE 或 PCCE 中断。
位 7	PCCEIEN	0x0	rw	抢占通道组转换结束中断使能 (conversion end interrupt enable for Preempted channels) 0: 关闭; 1: 开启。
位 6	VMORIEN	0x0	rw	电压监测超出范围中断使能 (Voltage monitoring out of range interrupt enable) 0: 关闭; 1: 开启。
位 5	CCEIEN	0x0	rw	通道转换结束中断使能 (Channel conversion end interrupt enable) 0: 关闭; 1: 开启。
位 4: 0	VMCSEL	0x00	rw	电压监测通道选择 (Voltage monitoring channel select) 仅在 VMSGEN 开启时有效。 00000: ADC_IN0 通道; 00001: ADC_IN1 通道; ..... 01111: ADC_IN15 通道; 10000: ADC_IN16 通道; 10001: ADC_IN17 通道; 10010: ADC_IN18 通道。 10011~11111: 未用, 禁止配置。

## 18.5.3 ADC控制寄存器2 (ADC\_CTRL2)

访问: 字访问

域	简称	复位值	类型	功能
位 30: 24	保留	0x00	resd	请保持默认值。
位 23	ITSRVEN	0x0	rw	VINTRV 使能 (Internal VINTRV enable) 0: 关闭; 1: 开启。
位 22	OCSWTRG	0x0	rw	软件触发普通通道转换 (Conversion trigger by software of ordinary channels) 0: 不触发; 1: 触发转换 (可由软件清除, 或在转换开始后由硬件自动清除)。
位 21	PCSWTRG	0x0	rw	软件触发抢占通道转换 (Conversion trigger by software of preempted channels) 0: 不触发; 1: 触发转换 (可由软件清除, 或在转换开始后由硬件自动清除)。
位 20	OCTEN	0x0	rw	普通通道组转换的触发模式使能 (Trigger mode enable for ordinary channels conversion) 0: 关闭; 1: 开启。

位 19: 17	OCTESEL	0x0	rw	普通通道组转换的触发事件选择 (trigger event select for ordinary channels conversion) 000: 定时器 1 的 CH1 事件; 001: 定时器 1 的 CH2 事件; 010: 定时器 1 的 CH3 事件; 011: 未用, 禁止配置; 100: 定时器 3 的 TRGOUT 事件; 101: 定时器 15 的 CH1 事件; 110: EXINT 线 11; 111: OCSWTRG。
位 16	保留	0x0	resd	请保持默认值。
位 15	PCTEN	0x0	rw	抢占通道组转换的触发模式使能 (Trigger mode enable for preempted channels conversion) 0: 关闭; 1: 开启。
位 14: 12	PCTESEL	0x0	rw	抢占通道组转换的触发事件选择 (trigger event select for preempted channels conversion) 000: 定时器 1 的 TRGOUT 事件; 001: 定时器 1 的 CH4 事件; 010: 未用, 禁止配置; 011: 未用, 禁止配置; 100: 定时器 3 的 CH4 事件; 101: 定时器 15 的 TRGOUT 事件; 110: EXINT 线 15; 111: PCSWTRG。
位 11	DTALIGN	0x0	rw	数据对齐方式 (Data alignment) 0: 右对齐; 1: 左对齐。
位 10: 9	保留	0x0	resd	请保持默认值。
位 8	OCDMAEN	0x0	rw	普通通道转换数据的 DMA 传输使能 (DMA transfer enable of ordinary channels) 0: 关闭; 1: 开启。
位 7: 4	保留	0x0	resd	请保持默认值。
位 3	ADCALINIT	0x0	rw	A/D 初始化校准 (initialize A/D calibration) 该位由软件设置并由硬件清除。在校准寄存器被初始化后该位将被清除。 0: 校准寄存器无初始化执行或初始化结束; 1: 校准寄存器初始化或初始化进行中。
位 2	ADCAL	0x0	rw	A/D 校准 (A/D Calibration) 0: 无校准执行或校准结束; 1: 开始校准或校准进行中。
位 1	RPEN	0x0	rw	反复模式使能 (Repeat mode enable) 0: 关闭 SQEN=0 时, 每次触发转换单个通道, SQEN=1 时, 每次触发转换一组通道; 1: 开启 SQEN=0 时, 一次触发后将反复转换单个通道, SQEN=1 时, 一次触发后将反复转换一组通道。直到 ADCEN 被清零。
位 0	ADCEN	0x0	rw	A/D 转换器使能 (A/D converter enable) 0: 关闭 (ADC 进入断电模式); 1: 开启。 注: 当该位为关闭状态时, 写入开启命令将把 ADC 从断电模式下唤醒。 当该位为开启状态时, 再写入开启命令时同寄存器其它位未改变, 则重复该开启命令将启动普通通道组的转换。 应用程序需注意, 在转换器上电至转换开始有一个延迟 tSTAB。



### 18.5.4 ADC采样时间寄存器1（ADC\_SPT1）

访问：字访问

域	简称	复位值	类型	功能
位 31: 27	保留	0x00	resd	请保持默认值。
位 26: 24	CSPT18	0x0	rw	选择 ADC_IN18 通道的采样时间（Selection sample time of channel ADC_IN18） 000: 1.5 周期； 001: 7.5 周期； 010: 13.5 周期； 011: 28.5 周期； 100: 41.5 周期； 101: 55.5 周期； 110: 71.5 周期； 111: 239.5 周期。
位 23: 21	CSPT17	0x0	rw	选择 ADC_IN17 通道的采样时间（Selection sample time of channel ADC_IN17） 000: 1.5 周期； 001: 7.5 周期； 010: 13.5 周期； 011: 28.5 周期； 100: 41.5 周期； 101: 55.5 周期； 110: 71.5 周期； 111: 239.5 周期。
位 20: 18	CSPT16	0x0	rw	选择 ADC_IN16 通道的采样时间（Selection sample time of channel ADC_IN16） 000: 1.5 周期； 001: 7.5 周期； 010: 13.5 周期； 011: 28.5 周期； 100: 41.5 周期； 101: 55.5 周期； 110: 71.5 周期； 111: 239.5 周期。
位 17: 15	CSPT15	0x0	rw	选择 ADC_IN15 通道的采样时间（Selection sample time of channel ADC_IN15） 000: 1.5 周期； 001: 7.5 周期； 010: 13.5 周期； 011: 28.5 周期； 100: 41.5 周期； 101: 55.5 周期； 110: 71.5 周期； 111: 239.5 周期。
位 14: 12	CSPT14	0x0	rw	选择 ADC_IN14 通道的采样时间（Selection sample time of channel ADC_IN14） 000: 1.5 周期； 001: 7.5 周期； 010: 13.5 周期； 011: 28.5 周期； 100: 41.5 周期； 101: 55.5 周期； 110: 71.5 周期； 111: 239.5 周期。
位 11: 9	CSPT13	0x0	rw	选择 ADC_IN13 通道的采样时间（Selection sample time of channel ADC_IN13） 000: 1.5 周期； 001: 7.5 周期； 010: 13.5 周期；



				011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 8: 6	CSPT12	0x0	rw	选择 ADC_IN12 通道的采样时间 (Selection sample time of channel ADC_IN12) 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 5: 3	CSPT11	0x0	rw	选择 ADC_IN11 通道的采样时间 (Selection sample time of channel ADC_IN11) 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 2: 0	CSPT10	0x0	rw	选择 ADC_IN10 通道的采样时间 (Selection sample time of channel ADC_IN10) 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。

## 18.5.5 ADC采样时间寄存器2（ADC\_SPT2）

访问：字访问

域	简称	复位值	类型	功能
位 31: 30	保留	0x0	resd	请保持默认值。
				选择 ADC_IN9 通道的采样时间（Selection sample time of channel ADC_IN9） 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 29: 27	CSPT9	0x0	rw	选择 ADC_IN8 通道的采样时间（Selection sample time of channel ADC_IN8） 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 26: 24	CSPT8	0x0	rw	选择 ADC_IN7 通道的采样时间（Selection sample time of channel ADC_IN7） 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 23: 21	CSPT7	0x0	rw	选择 ADC_IN6 通道的采样时间（Selection sample time of channel ADC_IN6） 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 20: 18	CSPT6	0x0	rw	选择 ADC_IN5 通道的采样时间（Selection sample time of channel ADC_IN5） 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 17: 15	CSPT5	0x0	rw	选择 ADC_IN4 通道的采样时间（Selection sample time of channel ADC_IN4） 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期;

				011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 11: 9	CSPT3	0x0	rw	选择 ADC_IN3 通道的采样时间 (Selection sample time of channel ADC_IN3) 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 8: 6	CSPT2	0x0	rw	选择 ADC_IN2 通道的采样时间 (Selection sample time of channel ADC_IN2) 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 5: 3	CSPT1	0x0	rw	选择 ADC_IN1 通道的采样时间 (Selection sample time of channel ADC_IN1) 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。
位 2: 0	CSPT0	0x0	rw	选择 ADC_IN0 通道的采样时间 (Selection sample time of channel ADC_IN0) 000: 1.5 周期; 001: 7.5 周期; 010: 13.5 周期; 011: 28.5 周期; 100: 41.5 周期; 101: 55.5 周期; 110: 71.5 周期; 111: 239.5 周期。

### 18.5.6 ADC抢占通道数据偏移寄存器x (ADC\_PCDTOx) (x=1..4)

访问: 字访问

域	简称	复位值	类型	功能
位 31: 12	保留	0x00000	resd	请保持默认值。
位 11: 0	PCDTox	0x000	rw	抢占通道 x 的数据偏移量设定 (Data offset for Preempted channel x) ADC_PDTx 内存放的转换数据 = 原始转换数据 - ADC_PCDTOx

### 18.5.7 ADC电压监测高边界寄存器（ADC\_VMHB）

访问：字访问

域	简称	复位值	类型	功能
位 31: 16	保留	0x00000	resd	请保持默认值。
位 15: 0	VMHB	0xFFFF	rw	电压监测高边界设定（Voltage monitoring high boundary）

### 18.5.8 ADC电压监测低边界寄存器（ADC\_VMLB）

访问：字访问

域	简称	复位值	类型	功能
位 31: 16	保留	0x00000	resd	请保持默认值。
位 15: 0	VMLB	0x000	rw	电压监测低边界设定（Voltage monitoring low boundary）

### 18.5.9 ADC普通序列寄存器1（ADC\_OSQ1）

访问：字访问

域	简称	复位值	类型	功能
位 31: 24	保留	0x00	resd	请保持默认值。
位 23: 20	OCLEN	0x0	rw	普通转换序列长度（Ordinary conversion sequence length） 0000: 1 个转换； 0001: 2 个转换； ..... 1111: 16 个转换。
位 19: 15	OSN16	0x00	rw	普通序列中第 16 个转换通道的编号（number of 16th conversion in ordinary sequence）
位 14: 10	OSN15	0x00	rw	普通序列中第 15 个转换通道的编号（number of 15th conversion in ordinary sequence）
位 9: 5	OSN14	0x00	rw	普通序列中第 14 个转换通道的编号（number of 14th conversion in ordinary sequence）
位 4: 0	OSN13	0x00	rw	普通序列中第 13 个转换通道的编号（number of 13th conversion in ordinary sequence） 注：编号可设定 0~18，示例：设定为 3 就代表第 13 个转换的是 ADC_IN3 通道。

### 18.5.10 ADC普通序列寄存器2（ADC\_OSQ2）

访问：字访问

域	简称	复位值	类型	功能
位 31: 30	保留	0x0	resd	请保持默认值。
位 29: 25	OSN12	0x00	rw	普通序列中第 12 个转换通道的编号（number of 12th conversion in ordinary sequence）
位 24: 20	OSN11	0x00	rw	普通序列中第 11 个转换通道的编号（number of 11th conversion in ordinary sequence）
位 19: 15	OSN10	0x00	rw	普通序列中第 10 个转换通道的编号（number of 10th conversion in ordinary sequence）
位 14: 10	OSN9	0x00	rw	普通序列中第 9 个转换通道的编号（number of 9th conversion in ordinary sequence）
位 9: 5	OSN8	0x00	rw	普通序列中第 8 个转换通道的编号（number of 8th conversion in ordinary sequence）
位 4: 0	OSN7	0x00	rw	普通序列中第 7 个转换通道的编号（number of 7th conversion in ordinary sequence） 注：编号可设定 0~18，示例：设定为 8 就代表第 7 个转换的是 ADC_IN8 通道。

### 18.5.11 ADC普通序列寄存器3 (ADC\_OSQ3)

访问：字访问

域	简称	复位值	类型	功能
位 31: 30	保留	0x0	resd	请保持默认值。
位 29: 25	OSN6	0x00	rw	普通序列中第 6 个转换通道的编号 (number of 6th conversion in ordinary sequence)
位 24: 20	OSN5	0x00	rw	普通序列中第 5 个转换通道的编号 (number of 5th conversion in ordinary sequence)
位 19: 15	OSN4	0x00	rw	普通序列中第 4 个转换通道的编号 (number of 4th conversion in ordinary sequence)
位 14: 10	OSN3	0x00	rw	普通序列中第 3 个转换通道的编号 (number of 3rd conversion in ordinary sequence)
位 9: 5	OSN2	0x00	rw	普通序列中第 2 个转换通道的编号 (number of 2nd conversion in ordinary sequence)
位 4: 0	OSN1	0x00	rw	普通序列中第 1 个转换通道的编号 (number of 1st conversion in ordinary sequence) 注：编号可设定 0~18，示例：设定为 17 就代表第 1 个转换的是 ADC_IN17 通道。

### 18.5.12 ADC抢占序列寄存器 (ADC\_PSQ)

访问：字访问

域	简称	复位值	类型	功能
位 31: 30	保留	0x0	resd	请保持默认值。
位 21: 20	PCLEN	0x0	rw	抢占转换序列长度 (Preempted conversion sequence length) 00: 1 个转换; 01: 2 个转换; 10: 3 个转换; 11: 4 个转换。
位 19: 15	PSN4	0x00	rw	抢占序列中第 4 个转换通道的编号 (number of 4th conversion in Preempted sequence)
位 14: 10	PSN3	0x00	rw	抢占序列中第 3 个转换通道的编号 (number of 3rd conversion in Preempted sequence)
位 9: 5	PSN2	0x00	rw	抢占序列中第 2 个转换通道的编号 (number of 2nd conversion in Preempted sequence)
位 4: 0	PSN1	0x00	rw	抢占序列中第 1 个转换通道的编号 (number of 1st conversion in Preempted sequence) 注： 编号可设定 0~18，比如设定为 3 时其代表的就是 ADC_IN3 通道。 若 PCLEN 小于 4，则转换的序列顺序是从 (4-PCLEN) 开始。例如：ADC_PSQ[21: 0] = 10 00110 00101 00100 00011，意味着扫描转换将按下列通道顺序执行：4、5、6，而不是 3、4、5。

### 18.5.13 ADC抢占数据寄存器x (ADC\_PDTx) (x= 1..4)

访问：字访问

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	请保持默认值。
位 15: 0	PDTx	0x0000	ro	抢占通道的转换数据 (Conversion data of preempted channel)

### 18.5.14 ADC普通数据寄存器（ADC\_ODT）

访问：字访问

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	请保持默认值。
位 15: 0	ODT	0x0000	ro	普通通道的转换数据（Conversion data of ordinary channel）

### 18.5.15 ADC过采样寄存器（ADC\_OVSP）

访问：字访问

域	简称	复位值	类型	功能
位 31: 11	保留	0x0000	resd	请保持默认值。
位 10	OOSRSEL	0x0	rw	<p>普通过采样重转模式选择（Ordinary oversampling restart mode select）</p> <p>当普通过采样中途被抢占通道转换插入后，依据如下设定，选择普通过采样从哪里开始恢复转换。</p> <p>0：接续模式（普通过采样缓冲区会被保留）；</p> <p>1：重转模式（普通过采样缓冲区会被清零，即当前通道之前的采样次数被清零）。</p>
位 9	OOSTREN	0x0	rw	<p>普通过采样触发模式使能（Ordinary oversampling trigger mode enable）</p> <p>0：关闭（通道的所有过采样转换仅需一次触发）；</p> <p>1：开启（通道的每个过采样转换均需进行触发）。</p>
位 8: 5	OSSSEL	0x0	rw	<p>过采样移位选择（Oversampling shift select）</p> <p>此位定义应用到最终过采样结果的右移位数。</p> <p>0000：不进行移位；</p> <p>0001：移 1 位；</p> <p>0010：移 2 位；</p> <p>0011：移 3 位；</p> <p>0100：移 4 位；</p> <p>0101：移 5 位；</p> <p>0110：移 6 位；</p> <p>0111：移 7 位；</p> <p>1000：移 8 位；</p> <p>1001~1111：未用，禁止配置。</p>
位 4: 2	OSRSEL	0x0	rw	<p>过采样率选择（Oversampling ratio select）</p> <p>000：2x；</p> <p>001：4x；</p> <p>010：8x；</p> <p>011：16x；</p> <p>100：32x；</p> <p>101：64x；</p> <p>110：128x；</p> <p>111：256x。</p>
位 1	POSEN	0x0	rw	<p>抢占过采样使能（Preempted oversampling enable）</p> <p>0：关闭；</p> <p>1：开启。</p>
位 0	OOKEN	0x0	rw	<p>普通过采样使能（Ordinary oversampling enable）</p> <p>0：关闭；</p> <p>1：开启。</p>

## 19 CAN 总线控制器（CAN）

### 19.1 简介

CAN（Controller Area Network）是一种实现各节点之间实时、可靠数据通信的分布式串行通信协议，支持 CAN 协议 2.0A 和 2.0B。

### 19.2 主要特性

- 波特率最高可达 1M bit/s/
- 支持时间触发通信
- 中断使能和屏蔽
- 自动重传功能可配

#### 发送

- 3 个发送邮箱
- 发送优先级可配置
- 支持发送时间戳

#### 接收

- 2 个深度为 3 的 FIFO
- 14 组过滤器组
- 支持标识符列表模式
- 支持标识符掩码模式
- 支持 FIFO 溢出管理

#### 时间触发通信模式

- 16 位定时器
- 发送时间戳

### 19.3 波特率设置

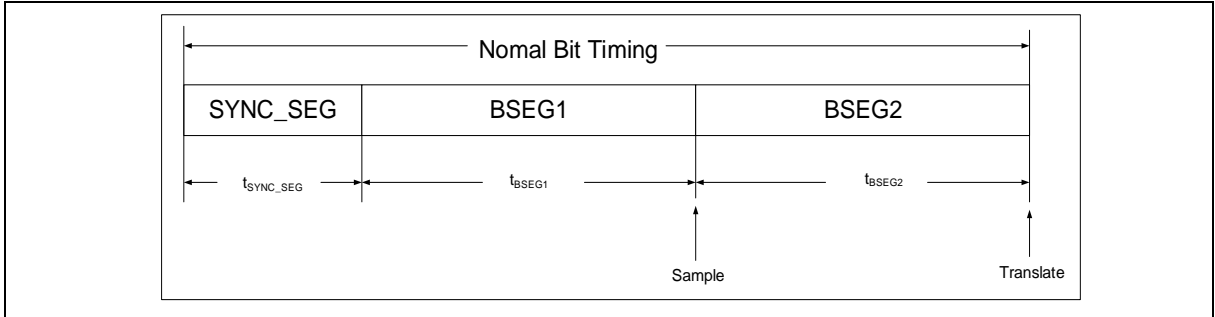
CAN 总线的额定位时间由 3 部分组成。

同步段 (SYNC\_SEG)，该段占用 1 时间单元，时间长度由 CAN 位时序寄存器 (CAN\_BTMG) 的 BRDIV[11: 0]位定义。

位段 1 (BIT SEGMENT 1)，包括 CAN 标准里的 PROP\_SEG 和 PHASE\_SEG1，记为 BSEG1，该段占用 1 至 16 时间单元，时间单元个数由 BTS1[3: 0]位定义。

位段 2 (BIT SEGMENT 2)，包括 CAN 标准里的 PHASE\_SEG2，记为 BSEG2，该段占用 1 至 8 时间单元，时间单元个数由 BTS2[2: 0]位定义。

图 19-1 位时序



#### 波特率计算公式

$$BaudRate = \frac{1}{Nomal\ Bit\ Timing}$$

$$Nomal\ Bit\ Timing = t_{SYNC\_SEG} + t_{BSEG1} + t_{BSEG2}$$

其中

$$t_{SYNC\_SEG} = 1 \times t_q$$

$$t_{BSEG1} = (1 + BTS1[3: 0]) \times t_q$$

$$t_{BSEG2} = (1 + BTS2[2: 0]) \times t_q$$

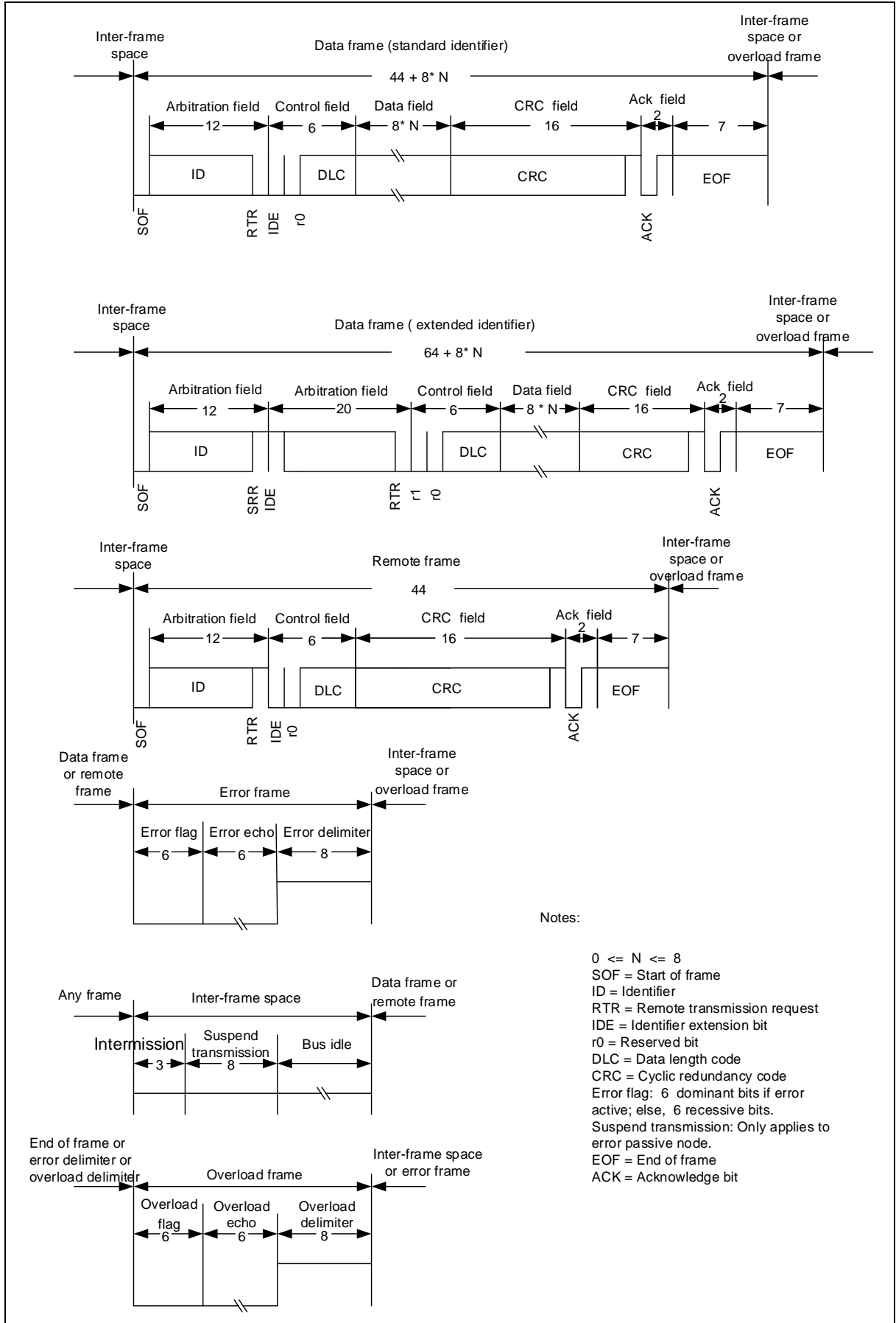
$$t_q = (1 + BRDIV[11: 0]) \times t_{pclk}$$

#### 硬同步和重同步

默认情况下，CAN 节点的每一位的起始位置总是在同步段内，同时在位段 1 和位段 2 临界位置进行采样。但是由于节点振荡器漂移，网络节点之间的传播延迟以及噪声干扰等，实际的传输过程中，CAN 节点的每一位会存在一定的相位误差。为避免相位误差对通讯造成影响，可以通过帧起始位置的边沿以及后面的下降沿进行硬同步或者重同步，同步补偿的时间长度最长不超过重新同步调整宽度（1 至 4 个时间单元，RSAW[1: 0]位设置）。



图 19-2 帧类型



### 19.4 中断管理

CAN 控制器的全局中断有 4 个来源，通过配置 CAN 中断使能寄存器（CAN\_INTEN），可以控制相应的中断开启或关闭。

图 19-3 发送中断的产生

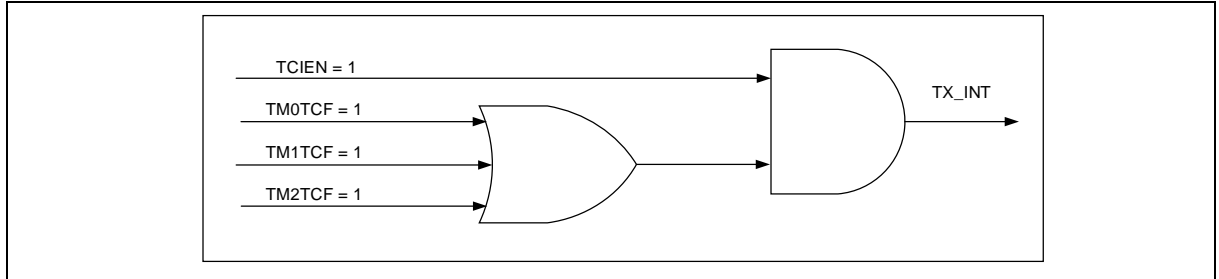


图 19-4 接收中断0的产生

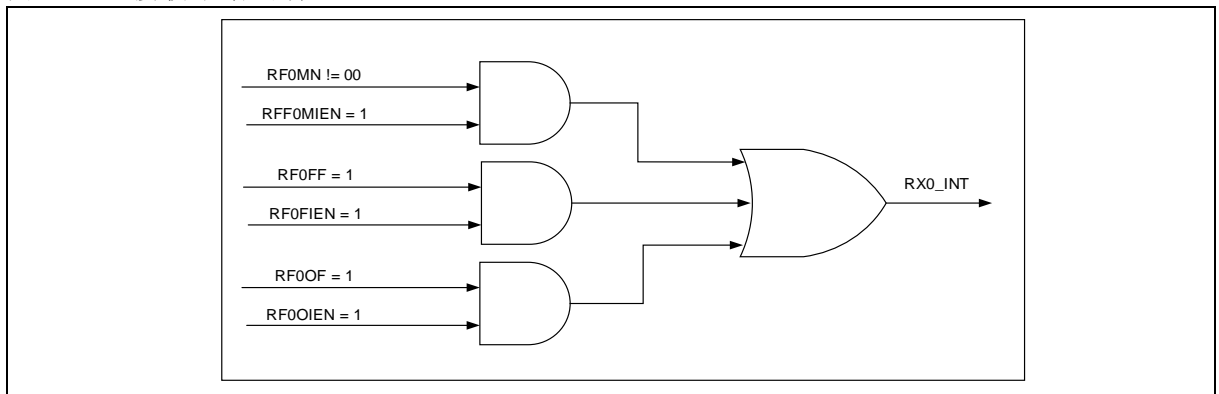


图 19-5 接收中断1的产生

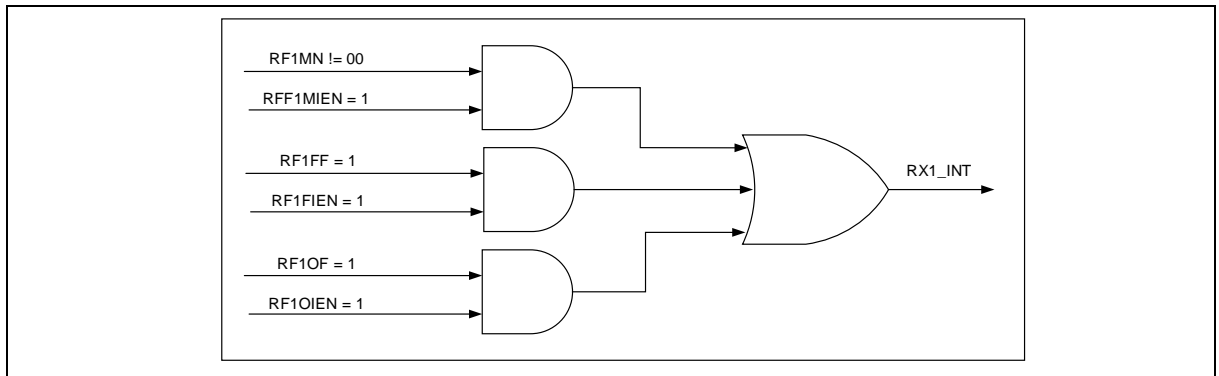
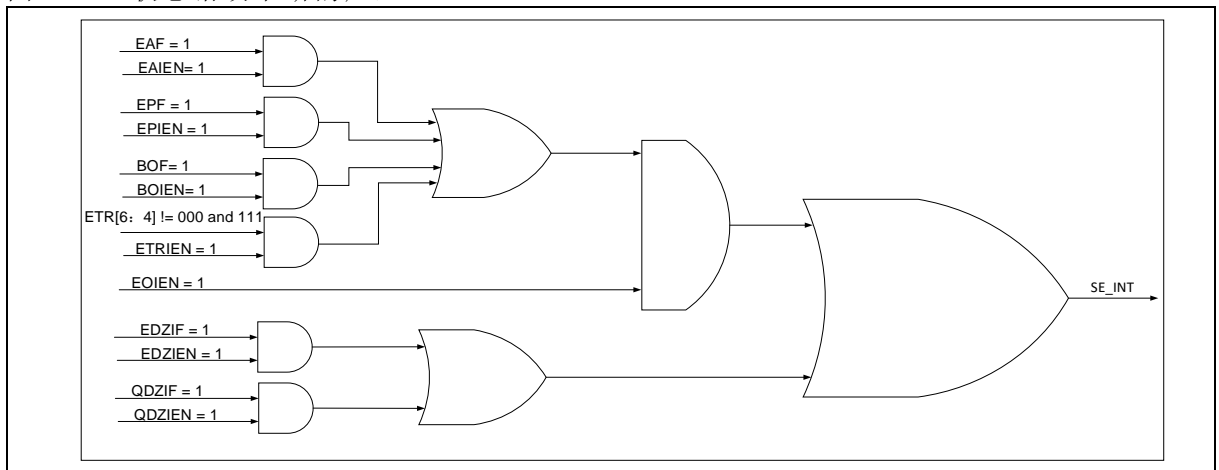


图 19-6 状态错误中断的产生



## 19.5 设计提示

为便于 CAN 应用开发，设计时建议参考如下提示。

- 调试控制

当系统进入调试模式时，可以通过控制 MCU 调试寄存器 `DEBUG_CTRL` 的 `CANx_PAUSE` 以及 CAN 主控制寄存器 (`CAN_MCTRL`) 的 `PTD` 位控制 CAN 控制器处于停止状态或者正常发送接收状态。

- 时间触发通信

时间触发通信用于提高系统的实时性，避免总线竞争。当 CAN 主控制寄存器 (`CAN_MCTRL`) 的 `TTCEN` 位置 ‘1’，CAN 控制器的时间触发通信即被激活。内部 16 位定时器在每个 CAN 位累加，在帧起始位置被采样，生成时间戳，存储在接收 FIFO 邮箱数据长度和时间戳寄存器 (`CAN_RFCx`) / 发送邮箱数据长度和时间戳寄存器 (`CAN_TMCx`) 中。

- 寄存器访问保护

CAN 位时序寄存器 (`CAN_BTMG`) 只能在冻结工作模式下进行修改。

CAN 节点发送错误数据对网络层不会带来问题，但却会对应用程序造成严重影响，因此只能在发送邮箱为空时改变它。

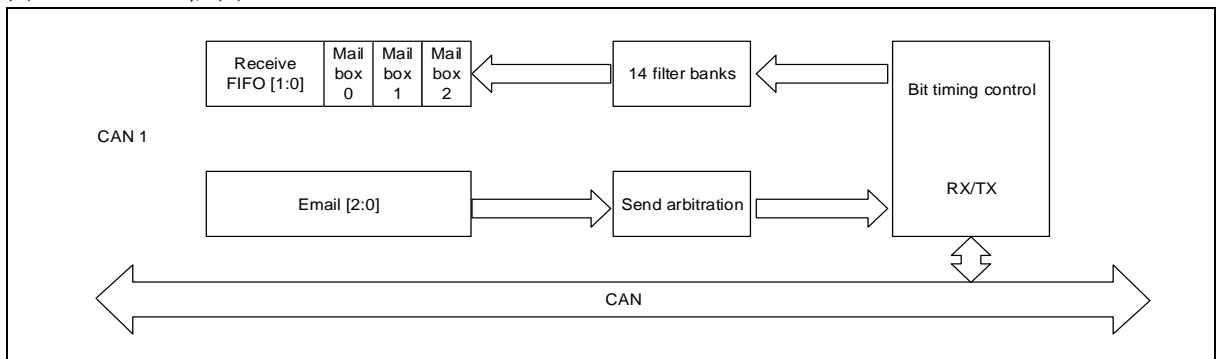
只有在设置过滤器为配置模式下 (即 `FCS=1`)，才能修改过滤器的设置，即修改 CAN 过滤器模式配置寄存器 (`CAN_FMCFG`)，CAN 过滤器位宽配置寄存器 (`CAN_FBWCFG`)，CAN 过滤器 FIFO 关联寄存器 (`CAN_FRF`)。过滤位寄存器  $x$  (`CAN_FiFBx`) 只有在过滤器配置模式下 (即 `FCS=1`) 或者相应过滤器关闭情况下 (即 `FAENx=0`) 才能进行修改。

## 19.6 功能描述

### 19.6.1 整体功能描述

随着 CAN 网络节点和报文数量的增加，需要一个增强的过滤机制处理各种类型的报文，减少接收报文的处理时间，采用 FIFO 的方案，使得 CPU 可以长时间处理应用层任务而不会丢失报文。同时发送报文由硬件配置发送优先级顺序，并且完全支持标准标识符 (11 位) 和扩展标识符 (29 位)。基于以上考虑，CAN 控制器提供 14 组位宽可变/可配置的标识符过滤器组，2 个接收 FIFO，每个 FIFO 都可以存放 3 个完整的报文，且完全由硬件管理，共有 3 个发送邮箱，发送调度器决定发送优先级顺序。

图 19-7 CAN 框图



## 19.6.2 工作模式

CAN 控制器有 3 种工作模式：

### ● 睡眠模式

系统复位之后，CAN 控制器处于睡眠模式，该模式下 CAN 的时钟停止，因此可以节省电能，但软件仍然可以访问邮箱寄存器，同时 TX 管脚的内部上拉电阻被禁用。

软件通过对 CAN 主控制寄存器（CAN\_MCTRL）的 DZEN 位置‘1’，可以请求 CAN 进入睡眠模式，并且硬件对 CAN 主状态寄存器（CAN\_MSTS）的 DZC 位置‘1’进行确认。

有两种方式退出睡眠模式：配置 CAN 主控制寄存器（CAN\_MCTRL）的 AEDEN 位为‘1’，一旦检测到 CAN 总线的活动，硬件自动对 DZEN 位清‘0’来唤醒 CAN 控制器。或者软件对 DZEN 位清‘0’可以退出睡眠状态。

睡眠工作模式进入冻结工作模式：对 CAN 主控制寄存器（CAN\_MCTRL）的 FZEN 位置‘1’，并且同时对 DZEN 位清‘0’，然后硬件对 CAN 主状态寄存器（CAN\_MSTS）的 FZC 位置‘1’来进行确认。

睡眠工作模式进入通讯工作模式：对 CAN 主控制寄存器（CAN\_MCTRL）FZEN 和 DZEN 位清‘0’，并且 CAN 控制器必须跟总线取得同步，即在 CANRX 管脚上监测到 11 个连续的隐性位。

### ● 冻结模式

软件对 CAN 控制器的初始化，只能在冻结模式下进行，包括位 CAN 位时序寄存器（CAN\_BTMG）和 CAN 主控制寄存器（CAN\_MCTRL）这 2 个寄存器。对 CAN 控制器的 14 组过滤器组（包括模式、位宽、FIFO 关联、激活和过滤器值）进行初始化可以在非冻结模式下进行。当 CAN 处于冻结模式时，禁止报文的接收和发送。

冻结工作模式进入通讯工作模式：对 CAN 主控制寄存器（CAN\_MCTRL）FZEN 位清‘0’，硬件对 CAN 主状态寄存器（CAN\_MSTS）的 FZC 位清‘0’就确认了冻结模式的退出，并且 CAN 控制器必须跟总线取得同步。

冻结工作模式进入睡眠工作模式：对 CAN 主控制寄存器（CAN\_MCTRL）DZEN 位置‘1’，CAN 主控制寄存器（CAN\_MCTRL）FZEN 位清‘0’，并且硬件对 CAN 主状态寄存器（CAN\_MSTS）的 DZC 位置‘1’进行确认。

### ● 通讯模式

在冻结工作模式配置完成 CAN 位时序寄存器（CAN\_BTMG）和 CAN 主控制寄存器（CAN\_MCTRL）这两个寄存器后，控制 CAN 进入通讯工作模式，开始报文收发过程。

通讯工作模式进入睡眠工作模式：对 CAN 主控制寄存器（CAN\_MCTRL）DZEN 位置‘1’，并等待当前 CAN 总线传输完成。

通讯工作模式进入冻结工作模式：对 CAN 主控制寄存器（CAN\_MCTRL）FZEN 位置‘1’，并等待当前 CAN 总线传输完成。

## 19.6.3 测试方法

CAN 控制器定义了三种方法用于测试分析，包括只听方式、回环方式以及回环只听方式，可以通过 CAN 位时序寄存器（CAN\_BTMG）的 LOEN 位和 LBEN 位进行配置。

● 当 CAN\_BTMG[31]位为‘1’时采用只听方式，此时 CAN 可以正常接收数据，但发送端 CANTX 固定隐性位输出。同时，发送端 CANTX 发出的显性位可以被接收端侦测到，但是不会影响到 CAN 总线。

● 当 CAN\_BTMG[30]位为‘1’时采用回环方式，此时 CAN 只会接收本节点发送端 CANTX 的电平信号，同时 CAN 可以发送数据至外部总线，回环方式主要用于本节点的自我检测。

● 当 CAN\_BTMG[31: 30]位为‘11’时，只听方式和回环方式同时有效，此时 CAN 与总线网络断开，发送端 CANTX 固定隐性位输出，并且发送端直接与接收端相连。

## 19.6.4 报文过滤

在接收到的报文会根据其标识符（ID）进行过滤，通过过滤的报文会存储在对应的 FIFO 中，没有通过的报文则会被丢弃，整个过程由硬件自动完成，不会占用 CPU 开销。

### 过滤器的位宽

每个 CAN 控制器提供 14 个位宽可变、可配置的过滤器组（0~13），每个过滤器组由 2 个 32 位寄存器，CAN\_FiFB1 和 CAN\_FiFB2 组成，通过配置 CAN 过滤器位宽配置寄存器（CAN\_FBWCFG）的对应位，设置过滤器位宽为 2 个 16 位或者单个 32 位。

32 位宽的过滤器寄存器 CAN\_FiFBx 包括：SID[10: 0]、EID[17: 0]、IDT 和 RTR 位。

CAN_FiFB1[31: 21]	CAN_FiFB1[20: 3]	CAN_FiFB1[2: 0]		
CAN_FiFB2[31: 21]	CAN_FiFB2[20: 3]	CAN_FiFB2[2: 0]		
SID[10: 0]/EID[28: 18]	EID[17: 0]	IDT	RTR	0

2 个 16 位宽的过滤器寄存器 CAN\_FiFBx 包括：SID[10: 0]、IDT、RTR 和 EID[17: 15]位。

CAN_FiFB1[31: 21]	CAN_FiFB1[20: 19]	CAN_FiFB1[18: 16]	CAN_FiFB1[15: 5]	CAN_FiFB1[4: 3]	CAN_FiFB1[2: 0]
CAN_FiFB2[31: 21]	CAN_FiFB2[20: 19]	CAN_FiFB2[18: 16]	CAN_FiFB2[15: 5]	CAN_FiFB2[4: 3]	CAN_FiFB2[2: 0]
SID[10: 0]	IDT	RTR	EID[17: 15]	SID[10: 0]	IDT RTR EID[17: 15]

### 过滤器模式

通过设置 CAN\_FMCFG 寄存器的 FMSELx 位可以设置过滤器寄存器工作在标识符掩码模式或者标识符列表模式，掩码模式用来指定哪些位与预设标识符相同，哪些位无需比较，列表模式表示标识符（ID 号）必须与预设标识符一致。两种模式与过滤器位宽配合使用，可以有以下四种过滤方式：

图 19-8 32位宽标识符掩码模式

ID	CAN_FiFB1[31:21]	CAN_FiFB1[20:3]	CAN_FiFB1[2:0]		
Mask	CAN_FiFB2[31:21]	CAN_FiFB2[20:3]	CAN_FiFB2[2:0]		
Mapping	SID[10:0]	EID[17:0]	IDT	RTR	0

图 19-9 32位宽标识符列表模式

ID	CAN_FiFB1[31:21]	CAN_FiFB1[20:3]	CAN_FiFB1[2:0]		
ID	CAN_FiFB2[31:21]	CAN_FiFB2[20:3]	CAN_FiFB2[2:0]		
Mapping	SID[10:0]	EID[17:0]	IDT	RTR	0

图 19-10 16位宽标识符掩码模式

ID	CAN_FiFB1[15:5]	CAN_FiFB1[4:0]			
Mask	CAN_FiFB1[31:21]	CAN_FiFB1[20:16]			
ID	CAN_FiFB2[15:5]	CAN_FiFB2[4:0]			
Mask	CAN_FiFB2[31:21]	CAN_FiFB2[20:16]			
Mapping	SID[10:0]	RTR	IDT	EID[17:15]	

图 19-11 16位宽标识符列表模式

ID	CAN_FiFB1[15:5]	CAN_FiFB1[4:0]
ID	CAN_FiFB1[31:21]	CAN_FiFB1[20:16]
ID	CAN_FiFB2[15:5]	CAN_FiFB2[4:0]
ID	CAN_FiFB2[31:21]	CAN_FiFB2[20:16]
Mapping	SID[10:0]	RTR IDT EID[17:15]

**过滤器匹配序号**

14组过滤器组根据位宽模式的不同，具有不同的过滤效果，例如32位宽标识符掩码模式包含序号为n的过滤器，而16位宽标识符列表模式包含序号为n、n+1、n+2以及n+3的过滤器。一帧报文通过了某个序号（Filter Number）N的过滤器，则该帧的接收FIFO邮箱数据长度和时间戳寄存器（CAN\_RFCx）RFFMN[7:0]位存储该序号N，过滤器序号的分配不关心对应的过滤器组是否处于激活状态。

下表为过滤器匹配序号的示例。

Filter bank	FIFO0	Active	Filter number	Filter bank	FIFO1	Active	Filter number			
0	CAN_F0FB1[31:0]-ID	Yes	0	3	CAN_F3FB1[15:0]-ID	Yes	0			
	CAN_F0FB2[31:0]-ID		1		CAN_F3FB1[31:16]-ID		1			
1	CAN_F1FB1[15:0]-ID	Yes	2		CAN_F3FB2[15:0]-ID		2			
	CAN_F1FB1[31:16]-ID		3		CAN_F3FB2[31:16]-ID		3			
	CAN_F1FB2[15:0]-ID		4	4	CAN_F4FB1[31:0]-ID	Yes	4			
CAN_F1FB2[31:16]-ID	5									
2	CAN_F2FB1[31:0]-ID	Yes	6	5	CAN_F5FB1[15:0]-ID	No	5			
	CAN_F2FB2[31:0]-Mask		6		CAN_F5FB1[31:16]-Mask					
6	CAN_F6FB1[15:0]-ID	No	7		CAN_F5FB2[15:0]-ID			No	7	
	CAN_F6FB1[31:16]-Mask		7	CAN_F5FB2[31:16]-Mask						
	CAN_F6FB2[15:0]-ID		8	7	CAN_F7FB1[15:0]-ID	No	7			
	CAN_F6FB2[31:16]-Mask		8							
9	CAN_F9FB1[31:0]-ID	No	9	7	CAN_F7FB1[31:16]-ID	No	8			
	CAN_F9FB2[31:0]-ID		10		CAN_F7FB2[15:0]-ID			9		
10	CAN_F10FB1[15:0]-ID	Yes	11		CAN_F7FB2[31:16]-ID			No	9	
	CAN_F10FB1[31:16]-Mask		11	8	CAN_F8FB1[31:0]-ID	Yes	11			
	CAN_F10FB2[15:0]-ID		12		CAN_F8FB2[31:0]-Mask					
	CAN_F10FB2[31:16]-Mask		12							
12	CAN_F12FB1[15:0]-ID	No	13	11	CAN_F11FB1[31:0]-ID	Yes	12			
	CAN_F12FB1[31:16]-ID		14		CAN_F11FB2[31:0]-ID					
	CAN_F12FB2[15:0]-ID		15		13			CAN_F13FB1[15:0]-ID	Yes	14
	CAN_F12FB2[31:16]-ID		16					CAN_F13FB1[31:16]-ID		
13	CAN_F13FB1[15:0]-ID	Yes	14	CAN_F13FB2[15:0]-ID	Yes	16				
	CAN_F13FB1[31:16]-ID		15	CAN_F13FB2[31:16]-ID						
	CAN_F13FB2[15:0]-ID		16	13			CAN_F13FB2[31:16]-ID	Yes	17	
	CAN_F13FB2[31:16]-ID		17							

**优先级匹配规则**

CAN 控制器接收一帧报文，有可能能够通过多个过滤器的过滤，在这种情况下，存放在接收邮箱中的过滤器匹配序号，根据以下优先级规则确定。

- 位宽为 32 位的过滤器，优先级高于位宽为 16 位的过滤器。
- 在相同位宽的情况下，标识符列表模式的优先级高于标识符掩码模式。
- 在位宽和标识符模式都相同的情况下，标号越小的过滤器具有更高的优先级。

**过滤器配置**

- 将 CAN 过滤器控制寄存器 (CAN\_FCTRL) FCS 位置 ‘1’，允许配置 CAN 过滤器。
- 写 CAN 过滤器模式配置寄存器 (CAN\_FCFG) FMSELx 位，控制过滤器工作模式为标识符掩码模式或者列表模式。
- 写 CAN 过滤器位宽配置寄存器 (CAN\_FBWCFG) FBWSELx 位，控制过滤器位宽为 2 个 16 位或者单个 32 位。
- 写 CAN 过滤器 FIFO 关联寄存器 (CAN\_FRF) FRFSELx 位，关联过滤器 x 到 FIFO0 或者 FIFO1。
- 将 CAN 过滤器激活控制寄存器 (CAN\_FACFG) FAENx 位置 ‘1’，激活对应的过滤器组 x。
- 写 CAN\_FiFBx (其中 i=0...13; x=1,2),配置 0~13 组过滤器组。

将 CAN 过滤器控制寄存器 (CAN\_FCTRL) FCS 位置 ‘0’，完成 CAN 过滤器配置过程。

**19.6.5 报文发送**

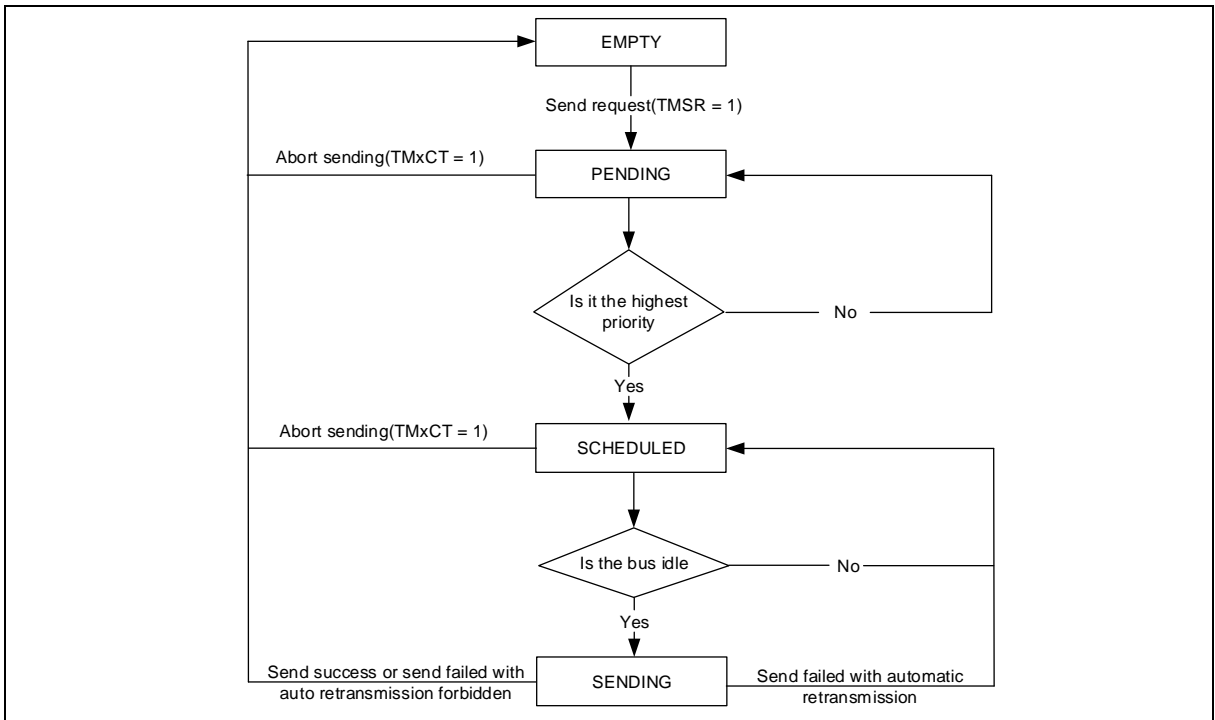
**寄存器配置**

数据发送首先需要选择发送邮箱进行配置，对应的寄存器为 CAN\_TMlx、CAN\_TMCx、CAN\_TMDTLx 以及 CAN\_TMDTHx。当邮箱配置完成后，对发送邮箱标识符寄存器 (CAN\_TMlx) TMSR 位置 ‘1’ 控制 CAN 启动发送流程。

**报文发送**

当对应的邮箱配置完成且 CAN 控制器接收到发送请求后，该邮箱进入 PENDING 状态，此时 CAN 控制器会检查该邮箱是否处于最高优先级状态，如果是则进入 SCHEDULED 状态，否则停下等待该邮箱获取最高优先级。处于 SCHEDULED 状态的邮箱会实时监控 CAN 总线状态，只要总线空闲，预定发送邮箱中的报文就马上被发送。发送完成，该邮箱进入 EMPTY 状态。

图 19-12 发送邮箱状态转换





### 发送优先级配置

当有两个及以上发送邮箱处于 PENDING 状态时，需要决定邮箱的发送优先级。

由标识符决定：当 CAN 主控制寄存器（CAN\_MCTRL）的 MMSSR 位置 ‘0’，发送顺序由邮箱中报文的标识符决定。标识符数值低的报文具有更高优先级，相同标识符的，邮箱号小的报文优先发送。

由发送请求顺序决定：当 CAN 主控制寄存器（CAN\_MCTRL）的 MMSSR 位置 ‘1’，发送优先级由各邮箱的发送请求次序决定。

### 发送状态及错误信息

CAN 发送状态寄存器（CAN\_TSTS）中的 TMxTCF、TMxTSF、TMxALF、TMxTEF 以及 TMxEF 用于显示发送状态和错误信息。

TMxTCF 位：发送完成标志。表示本次数据发送完成，置 ‘1’ 有效。

TMxTSF 位：无错误发送完成标志。表示本次数据发送完成且无错误，置 ‘1’ 有效。

TMxALF 位：发送仲裁丢失标志。表示本次数据发送仲裁失败，置 ‘1’ 有效。

TMxTEF 位：发送错误标志。表示本次数据发送检测到总线错误，且发送错误帧，置 ‘1’ 有效。

TMxEF 位：邮箱空标志。表示本次数据发送完成，邮箱变为空状态，置 ‘1’ 有效。

### 数据发送中止

可以通过将 CAN 发送状态寄存器（CAN\_TSTS）的 TMxCT 位置 ‘1’ 中止当前邮箱的发送，具体情况需要分类讨论。

当前邮箱发送失败或者丢失仲裁，假如报文自动重传功能被禁止，则发送邮箱进入 EMPTY 状态；假如报文自动重传功能被使能，则发送邮箱进入 SCHEDULED 状态，接着邮箱发送被中止，进入 EMPTY 状态。

当前邮箱本次数据发送完成且无错误，邮箱进入 EMPTY 状态。

## 19.6.6 报文接收

### 寄存器配置

用户程序通过读接收 FIFO 邮箱标识符寄存器（CAN\_RF1x）、接收 FIFO 邮箱数据长度和时间戳寄存器（CAN\_RFCx）、接收 FIFO 邮箱低字节数据寄存器（CAN\_RFDTLx）以及接收 FIFO 邮箱高字节数据寄存器（CAN\_RFDTHx）获取接收到的有效报文。

### 报文接收

CAN 控制器具有两个深度为 3 的 FIFO 用于接收报文，采用先进先出的原则。当报文被正确接收且通过了标识符过滤，则被认为是有效报文并存储在对应的 FIFO 中。接收 FIFO 每接收到一帧有效报文，CAN\_RFx 寄存器中的报文数目 RFxMN[1: 0]就加 1，当 RFxMN[1: 0]等于 3 的同时又接收到一帧有效报文，此时控制器会根据 CAN 主控制寄存器（CAN\_MCTRL）的 MDRSEL 位选择覆盖接收到的原有的报文或者丢弃该报文。

同时，当用户每次读出一帧报文且控制 CAN\_RFx 寄存器 RFxR 位置 ‘1’，则对应 FIFO 释放一个深度空间，并且 CAN\_RFx 寄存器中的报文数目 RFxMN[1: 0]减 1。

### 接收 FIFO 状态

寄存器 RFx 中的 RFxMN[1: 0]、RFxFF 以及 RFxOF 用于显示接收 FIFO 的状态信息。

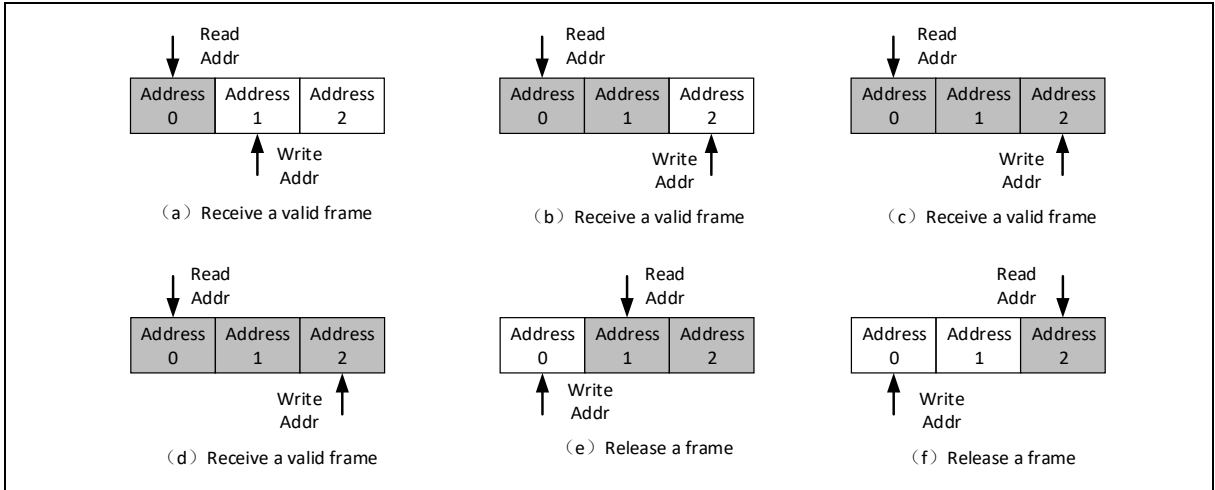
RFxMN[1: 0]：表示 FIFOx 中当前存储有效报文的数目。

RFxFF：表示 FIFOx 中当前存储 3 帧有效报文处于 ‘满’ 状态，如图 (c) 所示。

RFxOF：表示 FIFOx 中当前有 3 帧有效报文同时又接收到一帧有效报文，处于溢出状态，如图 (d) 所示。



图 19-13 接收FIFO状态



### 19.6.7 出错管理

CAN 总线的状态可以根据发送错误计数值 TEC 和接收错误计数值 REC 表明当前 CAN 节点所处的状态，同时 CAN 错误状态寄存器 (CAN\_ESTS) 的 ETR[2: 0]位用于记录上次错误的原因，这些错误状态在 CAN 中断使能寄存器 (CAN\_INTEN) 控制下产生中断。

- 主动错误状态：当 TEC 且 REC 计数值都小于 128 时，系统处于主动错误状态，当检测到错误时发送主动错误标志。
- 被动错误状态：当 TEC 或 REC 计数值大于 127 时，系统处于被动错误状态，当检测到错误时发送被动错误标志。

离线状态：当 TEC 大于 255 时，系统进入离线状态，处于离线状态的节点不能发送接收报文，从离线状态恢复分两种情况。当 CAN 主控制寄存器 (CAN\_MCTRL) AEBOEN 位为 ‘0’ 时，通信模式下软件请求进入冻结模式，再退出冻结模式，接着 CAN 节点 RX 检测到 128 次 11 个连续隐性位，随后从离线状态恢复。当 AEBOEN 位为 ‘1’ 时，通信模式下 CAN 节点 RX 检测到 128 次 11 个连续隐性位，随后自动从离线状态恢复。

## 19.7 CAN寄存器

必须以字（32 位）的方式操作这些外设寄存器。

表 19-1 CAN寄存器映像和复位值

寄存器简称	基址偏移量	复位值
MCTRL	000h	0x0001 0002
MSTS	004h	0x0000 0C02
TSTS	008h	0x1C00 0000
RF0	00Ch	0x0000 0000
FR1	010h	0x0000 0000
INTEN	014h	0x0000 0000
ESTS	018h	0x0000 0000
BTMG	01Ch	0x0123 0000
保留	020h~17Fh	xx
TMI0	180h	0xFFFF XXXX
TMC0	184h	0xFFFF XXXX
TMDTL0	188h	0xFFFF XXXX

TMDTH0	18Ch	0XXXXX XXXX
TMI1	190h	0XXXXX XXXX
TMC1	194h	0XXXXX XXXX
TMDTL1	198h	0XXXXX XXXX
TMDTH1	19Ch	0XXXXX XXXX
TMI2	1A0h	0XXXXX XXXX
TMC2	1A4h	0XXXXX XXXX
TMDTL2	1A8h	0XXXXX XXXX
TMDTH2	1ACh	0XXXXX XXXX
RFI0	1B0h	0XXXXX XXXX
RFC0	1B4h	0XXXXX XXXX
RFDTL0	1B8h	0XXXXX XXXX
RFDTH0	1BCh	0XXXXX XXXX
RFI1	1C0h	0XXXXX XXXX
RFC1	1C4h	0XXXXX XXXX
RFDTL1	1C8h	0XXXXX XXXX
RFDTH1	1CCh	0XXXXX XXXX
保留	1D0h~1FFh	xx
FCTRL	200h	0x2A1C 0E01
FBWCFG	204h	0x0000 0000
保留	208h	xx
FSCFG	20Ch	0x0000 0000
保留	210h	xx
FRF	214h	0x0000 0000
保留	218h	xx
FACFG	21Ch	0x0000 0000
保留	220h~23Fh	xx
F0FB1	240h	0XXXXX XXXX
F0FB2	244h	0XXXXX XXXX
F1FB1	248h	0XXXXX XXXX
F1FB2	24Ch	0XXXXX XXXX
...	...	...
F13FB1	2A8h	0XXXXX XXXX
F13FB2	2ACh	0XXXXX XXXX

## 19.7.1 CAN控制和状态寄存器

### 19.7.1.1 CAN主控制寄存器（CAN\_MCTRL）

域	简称	复位值	类型	功能
位 31: 17	保留	0x0000	resd	请保持默认值。
位 16	PTD	0x1	rw	调试时禁止收发（Prohibit trans when debug） 0：不禁止； 1：禁止。仍然可以正常地读写和控制接收 FIFO。 注：仅 PTD 及 DEBUG_CTRL 寄存器的 CANx_PAUSE 同时置位时，才会实现禁止收发的效果。
位 15	SPRST	0x0	rw1s	部分软复位（Software partial reset） 0：不复位； 1：部分复位。 注： SPRST 只复位接收 FIFO 及 MCTRL 寄存器。 复位后 CAN 进入睡眠模式。此后硬件自动对该位清零。
位 14: 8	保留	0x00	resd	请保持默认值。
位 7	TTCEN	0x0	rw	时间触发通信模式使能（Time triggered communication mode enable） 0：关闭； 1：开启。
位 6	AEBOEN	0x0	rw	自动退出离线状态使能（Automatic exit bus-off enable） 0：关闭； 1：开启。 注： 当开启时，硬件只需检测到 CAN 总线上出现退出时序就自动退出； 当关闭时，需要软件执行一次额外的冻结模式的进入以及退出动作，接着在 CAN 总线上检测到退出时序时才会退出离线状态。
位 5	AEDEN	0x0	rw	自动退出睡眠模式使能（Automatic exit doze mode enable） 0：关闭； 1：开启。 注： 当关闭时，需软件写清睡眠请求命令来退出； 当开启时，无需软件干预，只要检测到 CAN 总线上出现报文时就立即退出睡眠模式。
位 4	PRSFEN	0x0	rw	发送失败时禁止重传使能（Prohibit retransmission when sending fails enable） 0：关闭； 1：开启。
位 3	MDRSEL	0x0	rw	接收溢出时报文丢弃规则选择（Message discarding rule select when overflow） 0：上一帧收到的报文被丢弃； 1：新收到的报文被丢弃。
位 2	MMSSR	0x0	rw	多报文发送顺序规则选择（Multiple message sending sequence rule） 0：标识符最小的最先被发送； 1：最先请求的最先被发送。
位 1	DZEN	0x1	rw	睡眠模式使能（Doze mode enable） 0：关闭； 1：开启。 注： 当设置了 AEDEN，且检测到 CAN 总线上出现报文时，硬件会自动退出睡眠模式； 在 CAN 复位或部分软复位后，该位被硬件强制置位，即 CAN 默认将处于睡眠模式。
位 0	FZEN	0x0	rw	冻结模式使能（Freeze mode enable）

0: 关闭;  
1: 开启。  
注:  
当写关闭命令时, 会在检测到接收管脚上出现连续的 11 个隐性位才会实际退出。因此软件需等待 FZC 被硬件清零来确认。  
当写开启命令时, 会在当前的 CAN 活动 (发送或接收) 结束后才会实际进入。因此软件需等待 FZC 被硬件置位来确认。

### 19.7.1.2 CAN主状态寄存器 (CAN\_MSTS)

域	简称	复位值	类型	功能
位 31: 12	保留	0x00000	resd	请保持默认值。
位 11	REALRX	0x1	ro	接收管脚实时电平 (Real time level of RX pin) 0: 低电平; 1: 高电平。
位 10	LSAMPRX	0x1	ro	接收管脚上次采样电平 (Last sample level of RX pin) 0: 低电平; 1: 高电平。 注: 此值会跟随 REALRX 实时更新。
位 9	CURS	0x0	ro	当前的接收状态 (Currently receiving status) 0: 未接收; 1: 正在接收。 注: 在 CAN 开始接收时硬件置位此标志, 接收完毕后硬件自动清除。
位 8	CUSS	0x0	ro	当前的发送状态 (Currently sending status) 0: 未发送; 1: 正在发送。 注: 在 CAN 开始发送时硬件置位此标志, 发送完毕后硬件自动清除。
位 7: 5	保留	0x0	resd	请保持默认值。
位 4	EDZIF	0x0	rw1c	进入睡眠模式的中断标志 (Enter doze mode interrupt flag) 0: 未进入或无标志置位条件; 1: 已进入。 注: 只有当 EDZIEN=1, 且 CAN 进入睡眠模式时才会由硬件置位此标志。此标志的置位将会产生一个状态改变中断。此标志可由软件清零 (对自身写一), 或当 DZC 位被清零时硬件自动对本标志清零。
位 3	QDZIF	0x0	rw1c	退出睡眠模式的中断标志 (Quit doze mode interrupt flag) 0: 未退出或无退出条件; 1: 已退出或产生了退出条件。 注: 该位由软件将其清零 (对自身写一)。 退出条件为检测到总线上出现帧起始位 (SOF)。 如果 QDZIEN=1, 此标志的置位将会产生一个状态改变中断。
位 2	EOIF	0x0	rw1c	出现错误的中断标志 (Error occur Interrupt flag) 0: 未出现或无标志置位条件; 1: 已出现。 注: 该位由软件将其清零 (对自身写一)。 仅当 CAN 错误状态寄存器 (CAN_ESTS) 中的某位被置位, 且其对应的 CAN 中断使能寄存器 (CAN_INTEN) 的相应中断使能位处于使能状态时, 该标志才会被硬件置位。EOIEN=1 时, 此标志的置位将会产生一个状态改变中断。

位 1	DZC	0x1	ro	<p>睡眠模式确认 (Doze mode confirm)</p> <p>0: 未处于睡眠模式; 1: 正处于睡眠模式中。</p> <p>注: 该位用于确定 CAN 当前是否处于睡眠模式, 是对软件请求进入睡眠模式的确认。 当进入睡眠模式时, 会在当前的 CAN 活动 (发送或接收) 结束后才会实际进入。因此软件需等待本标志被硬件置位来确认进入睡眠模式。 当退出睡眠模式 (即软件写关闭睡眠模式命令, 或者自动退出睡眠模式使能状态下检测到 CAN 总线上出现报文) 时, 会在检测到 CAN 的 RX 管脚上出现连续的 11 位隐性位时才会实际退出。因此软件需等待本标志被硬件清零来确认退出睡眠模式。</p>
位 0	FZC	0x0	ro	<p>冻结模式确认 (Freeze mode confirm)</p> <p>0: 未处于冻结模式; 1: 正处于冻结模式中。</p> <p>注: 该位用于确定 CAN 当前是否处于冻结模式, 是对软件请求进入冻结模式的确认。 当进入冻结模式时, 会在当前的 CAN 活动 (发送或接收) 结束后才会实际进入。因此软件需等待本标志被硬件置位来确认进入冻结模式。 当退出冻结模式时, 会在检测到 CAN 的 RX 管脚上出现连续的 11 位隐性位时才会实际退出。因此软件需等待本标志被硬件清零来确认退出冻结模式。</p>

### 19.7.1.3 CAN发送状态寄存器 (CAN\_TSTS)

域	简称	复位值	类型	功能
位 31	TM2LPF	0x0	ro	<p>邮箱 2 优先级最低标志 (Transmit mailbox 2 lowest priority flag)</p> <p>0: 非最低优先级; 1: 最低优先级 (表明多个邮箱在等待发送报文时, 邮箱 2 的优先级最低)。</p>
位 30	TM1LPF	0x0	ro	<p>邮箱 1 优先级最低标志 (Transmit mailbox 1 lowest priority flag)</p> <p>0: 非最低优先级; 1: 最低优先级 (表明多个邮箱在等待发送报文时, 邮箱 1 的优先级最低)。</p>
位 29	TM0LPF	0x0	ro	<p>邮箱 0 最低优先级标志 (Transmit mailbox 0 lowest priority flag)</p> <p>0: 非最低优先级; 1: 最低优先级 (表明多个邮箱在等待发送报文时, 邮箱 0 的优先级最低)。</p>
位 28	TM2EF	0x1	ro	<p>发送邮箱 2 空标志 (Transmit mailbox 2 empty flag)</p> <p>当发送邮箱 2 中没有等待发送的报文时, 硬件置位该位。</p>
位 27	TM1EF	0x1	ro	<p>发送邮箱 1 空标志 (Transmit mailbox 1 empty flag)</p> <p>当发送邮箱 1 中没有等待发送的报文时, 硬件置位该位。</p>
位 26	TM0EF	0x1	ro	<p>发送邮箱 0 空标志 (Transmit mailbox 0 empty flag)</p> <p>当发送邮箱 0 中没有等待发送的报文时, 硬件置位该位。</p>
位 25: 24	TMNR	0x0	ro	<p>发送邮箱号记录 (Transmit Mailbox number record)</p> <p>注: 当有发送邮箱为空时, 这两位表示接下来将要使用的空置邮箱号。 示例: CAN 空闲状态下, 写一个报文的发送命令后, 这 2 位的值将变为 01。 当没有发送邮箱为空时, 这两位表示优先级最低的那个发送邮箱号。</p>

				示例：3 个报文待发，报文标识符依次为，邮箱 0 为 0x400，邮箱 1 为 0x433，邮箱 2 为 0x411，此时这 2 位的值将变为 01。
位 23	TM2CT	0x0	rw1s	邮箱 2 取消发送（Transmit mailbox 2 cancel transmit） 0：无意义； 1：取消发送。 注：软件设置此位可中断邮箱 2 的发送，硬件清除邮箱 2 的发送报文后同步清除该位。若邮箱 2 为空置邮箱时，软件置位该位没有任何意义。
位 22: 20	保留	0x0	resd	保持默认值。
位 19	TM2TEF	0x0	rw1c	邮箱 2 发送错误标志（Transmit mailbox 2 transmission error flag） 0：无错误； 1：出现错误。 注： 当邮箱 2 出现发送错误时置位该位。 可由软件对该位写一清零。或在启动下一次发送时由硬件清除此标志。
位 18	TM2ALF	0x0	rw1c	邮箱 2 仲裁丢失标志（Transmit mailbox 2 arbitration lost flag） 0：无仲裁问题； 1：出现仲裁丢失。 注： 当邮箱 2 因仲裁丢失导致发送失败时置位该位。 可由软件对该位写一清零。或在启动下一次发送时由硬件清除此标志。
位 17	TM2TSF	0x0	rw1c	邮箱 2 发送成功标志（Transmit mailbox 2 transmission success flag） 0：发送失败； 1：发送成功。 注： 该位实时指示每次邮箱 2 的发送结果。可由软件对该位写一清零。
位 16	TM2TCF	0x0	rw1c	邮箱 2 发送完成标志（transmit mailbox 2 transmission completed flag） 0：正在发送； 1：发送完成。 注： 每次对邮箱 2 的请求（发送或中止）完成后，由硬件置位该位。 该位可由软件写一清零。或当接收到新的发送请求时由硬件自动清除。 当该位被清除时，邮箱 2 的 TM2TSF、TM2ALF、TM2TEF 也会同步被硬件清除。
位 15	TM1CT	0x0	rw1s	邮箱 1 取消发送（Transmit mailbox 1 cancel transmit） 0：无意义； 1：取消发送。 注：软件设置此位可禁止邮箱 1 的发送，硬件清除邮箱 1 的发送报文后同步清除该位。若邮箱 1 为空置邮箱时，软件置位该位没有任何意义。
位 14: 12	保留	0x0	resd	保持默认值。
位 11	TM1TEF	0x0	rw1c	邮箱 1 发送错误标志（Transmit mailbox 1 transmission error flag） 0：无错误； 1：出现错误。 注： 当邮箱 1 出现发送错误时置位该位。 可由软件对该位写一清零。或在启动下一次发送时由硬件清除此标志。

位 10	TM1ALF	0x0	rw1c	<p>邮箱 1 仲裁丢失标志 (Transmit mailbox 1 arbitration lost flag)</p> <p>0: 无仲裁问题; 1: 出现仲裁丢失。</p> <p>注: 当邮箱 1 因仲裁丢失导致发送失败时置位该位。 可由软件对该位写一清零。或在启动下一次发送时由硬件清除此标志。</p>
位 9	TM1TSF	0x0	rw1c	<p>邮箱 1 发送成功标志 (Transmit mailbox 1 transmission success flag)</p> <p>0: 发送失败; 1: 发送成功。</p> <p>注: 该位实时指示每次邮箱 1 的发送结果。可由软件对该位写一清零。</p>
位 8	TM1TCF	0x0	rw1c	<p>邮箱 1 发送完成标志 (Transmit mailbox 1 transmission completed flag)</p> <p>0: 正在发送; 1: 发送完成。</p> <p>注: 每次对邮箱 1 的请求 (发送或中止) 完成后, 由硬件置位该位。 该位可由软件写一清零。或当接收到新的发送请求时由硬件自动清除。 当该位被清除时, 邮箱 1 的 TM1TSF、TM1ALF、TM1TEF 也会同步被硬件清除。</p>
位 7	TM0CT	0x0	rw1s	<p>邮箱 0 取消发送 (Transmit mailbox 0 cancel transmit)</p> <p>0: 无意义; 1: 取消发送。</p> <p>注: 软件设置此位可禁止邮箱 0 的发送, 硬件清除邮箱 0 的发送报文后同步清除该位。若邮箱 0 为空置邮箱时, 软件置位该位没有任何意义。</p>
位 6: 4	保留	0x0	resd	保持默认值。
位 3	TM0TEF	0x0	rw1c	<p>邮箱 0 发送错误标志 (Transmit mailbox 0 transmission error flag)</p> <p>0: 无错误; 1: 出现错误。</p> <p>注: 当邮箱 0 出现发送错误时置位该位。 可由软件对该位写一清零。或在启动下一次发送时由硬件清除此标志。</p>
位 2	TM0ALF	0x0	rw1c	<p>邮箱 0 仲裁丢失标志 (Transmit mailbox 0 arbitration lost flag)</p> <p>0: 无仲裁问题; 1: 出现仲裁丢失。</p> <p>注: 当邮箱 0 因仲裁丢失导致发送失败时置位该位。 可由软件对该位写一清零。或在启动下一次发送时由硬件清除此标志。</p>
位 1	TM0TSF	0x0	rw1c	<p>邮箱 0 发送成功标志 (Transmit mailbox 0 transmission success flag)</p> <p>0: 发送失败; 1: 发送成功。</p> <p>注: 该位实时指示每次邮箱 0 的发送结果。可由软件对该位写一清零。</p>
位 0	TM0TCF	0x0	rw1c	<p>邮箱 0 发送完成标志 (Transmit mailbox 0 transmission completed flag)</p> <p>0: 正在发送; 1: 发送完成。</p>

---

注：

每次对邮箱 0 的请求（发送或中止）完成后，由硬件置位该位。

该位可由软件写一清零。或当接收到新的发送请求时由硬件自动清除。

当该位被清除时，邮箱 0 的 TM0TSF、TM0ALF、TM0TEF 也会同步被硬件清除。

---



## 19.7.1.4 CAN接收FIFO 0寄存器 (CAN\_RF0)

域	简称	复位值	类型	功能
位 31: 6	保留	0x0000000	resd	保持默认值。 释放接收 FIFO 0 (Receive FIFO 0 release) 0: 无意义; 1: 释放 FIFO。 注:
位 5	RF0R	0x0	rw1s	软件设置此位可释放接收 FIFO 0, 当 FIFO 0 被释放时, 硬件对该位清零。 接收 FIFO 0 为空时, 软件置位该位没有任何意义。 若 FIFO 0 中有 2 个以上的报文时, 软件需要执行一次释放命令后才能访问第 2 个报文。 接收 FIFO 0 溢出标志 (Receive FIFO 0 overflow flag) 0: 无溢出; 1: 有溢出。 注: 当 FIFO 0 已满时, 又收到了新的符合过滤条件的报文, 硬件将置位该位。 该位由软件写一清零。
位 4	RF0OF	0x0	rw1c	接收 FIFO 0 满标志 (Receive FIFO 0 full flag) 0: 未滿; 1: 已滿。 注: 当 FIFO 0 中存储 3 笔待读取的报文时, 硬件将置位该位。 该位由软件写一清零。
位 3	RF0FF	0x0	rw1c	接收 FIFO 0 报文数目 (Receive FIFO 0 message num) 注: 这 2 位表示存储在 FIFO 0 中的待读取或者处理的报文数目。 当 FIFO 0 未滿时, 每收到了一笔新的符合过滤条件的报文, 硬件就对 RF0MN 加 1。 每当软件对 RF0R 位写一来释放接收 FIFO 0 时, RF0MN 就会被减 1, 直到其值为 0。
位 2	保留	0x0	resd	保持默认值。
位 1: 0	RF0MN	0x0	ro	

## 19.7.1.5 CAN接收FIFO 1寄存器 (CAN\_RF1)

域	简称	复位值	类型	功能
位 31: 6	保留	0x0000000	resd	保持默认值。 释放接收 FIFO 1 (Receive FIFO 1 release) 0: 无意义; 1: 释放 FIFO。 注:
位 5	RF1R	0x0	rw1s	软件设置此位可释放接收 FIFO 1, 当 FIFO 1 被释放时, 硬件对该位清零。 接收 FIFO 1 为空时, 软件置位该位没有任何意义。 若 FIFO 1 中有 2 个以上的报文时, 软件需要执行一次释放命令后才能访问第 2 个报文。 接收 FIFO 1 溢出标志 (Receive FIFO 1 overflow flag) 0: 无溢出; 1: 有溢出。 注: 当 FIFO 1 已满时, 又收到了新的符合过滤条件的报文, 硬件将置位该位。 该位由软件写一清零。
位 4	RF1OF	0x0	rw1c	接收 FIFO 1 满标志 (Receive FIFO 1 full flag) 0: 未滿; 1: 已滿。 注:
位 3	RF1FF	0x0	rw1c	

位 2	保留	0x0	resd	当 FIFO 1 中存储 3 笔待读取的报文时，硬件将置位该位。该位由软件写一清零。 保持默认值。
位 1: 0	RF1MN	0x0	ro	FIFO 1 报文数目 (Receive FIFO 1 message num) 注： 这 2 位表示存储在 FIFO 1 中的待读取或者处理的报文数目。 当 FIFO 1 未滿时，每收到了一笔新的符合过滤条件的报文，硬件就对 RF1MN 加 1。 每当软件对 RF1R 位写一来释放接收 FIFO 1 时，RF1MN 就会被硬件减 1，直到其值为 0。

### 19.7.1.6 CAN中断使能寄存器 (CAN\_INTEN)

域	简称	复位值	类型	功能
位 31: 18	保留	0x0000	resd	保持默认值。
位 17	EDZIEN	0x0	rw	进入睡眠模式的中断使能 (Enter doze mode interrupt enable) 0: 关闭; 1: 开启。 注: 此中断对应的标志位为 EDZIF, 故仅本中断使能且 EDZIF 被置位时才会产生中断。
位 16	QDZIEN	0x0	rw	退出睡眠模式的中断使能 (Quit doze mode interrupt enable) 0: 关闭; 1: 开启。 注: 此中断对应的标志位为 QDZIF, 故仅本中断使能且 QDZIF 被置位时才会产生中断。
位 15	EOIEN	0x0	rw	出现错误的中断使能 (Error occur interrupt enable) 0: 关闭; 1: 开启。 注: 此中断对应的标志位为 EOIF, 故仅本中断使能且 EOIF 被置位时才会产生中断。
位 14: 12	保留	0x0	resd	保持默认值。
位 11	ETRIEN	0x0	rw	错误类型记录中断使能 (Error type record interrupt enable) 0: 关闭; 1: 开启。 注: 只有此中断使能后, 硬件设置 ETR[2: 0]时, 才会同步设置 EOIF 位为'1'。
位 10	BOIEN	0x0	rw	总线关闭中断使能 (Bus-off interrupt enable) 0: 关闭; 1: 开启。 注: 只有此中断使能后, 硬件设置 BOF 时, 才会同步设置 EOIF 位为'1'。
位 9	EPIEN	0x0	rw	错误被动中断使能 (Error passive interrupt enable) 0: 关闭; 1: 开启。 注: 只有此中断使能后, 硬件设置 EPF 时, 才会同步设置 EOIF 位为'1'。
位 8	EAIEN	0x0	rw	错误警告中断使能 (Error active interrupt enable) 0: 关闭; 1: 开启。 注: 只有此中断使能后, 硬件设置 EAF 时, 才会同步设置 EOIF 位为'1'。
位 7	保留	0x0	resd	保持默认值。
位 6	RF1OIEN	0x0	rw	接收 FIFO 1 溢出中断使能 (Receive FIFO 1 overflow interrupt enable) 0: 关闭; 1: 开启。

位 5	RF1FIEN	0x0	rw	<p>注：此中断对应的标志位为 RF1OF，故仅本中断使能且 RF1OF 被置位时才会产生中断。</p> <p>接收 FIFO 1 满中断使能（Receive FIFO 1 full interrupt enable）</p> <p>0：关闭； 1：开启。</p> <p>注：此中断对应的标志位为 RF1FF，故仅本中断使能且 RF1FF 被置位时才会产生中断。</p>
位 4	RF1MIEN	0x0	rw	<p>接收 FIFO 1 报文接收中断使能（FIFO 1 receive message interrupt enable）</p> <p>0：关闭； 1：开启。</p> <p>注：此中断对应的标志位为 RF1MN，故仅本中断使能且 RF1MN 为非零时才会产生中断。</p>
位 3	RF0OIEN	0x0	rw	<p>接收 FIFO 0 溢出中断使能（Receive FIFO 0 overflow interrupt enable）</p> <p>0：关闭； 1：开启。</p> <p>注：此中断对应的标志位为 RF0OF，故仅本中断使能且 RF0OF 被置位时才会产生中断。</p>
位 2	RF0FIEN	0x0	rw	<p>接收 FIFO 0 满中断使能（Receive FIFO 0 full interrupt enable）</p> <p>0：关闭； 1：开启。</p> <p>注：此中断对应的标志位为 RF0FF，故仅本中断使能且 RF0FF 被置位时才会产生中断。</p>
位 1	RF0MIEN	0x0	rw	<p>接收 FIFO 0 报文接收中断使能（FIFO 0 receive message interrupt enable）</p> <p>0：关闭； 1：开启。</p> <p>注：此中断对应的标志位为 RF0MN，故仅本中断使能且 RF0MN 为非零时才会产生中断。</p>
位 0	TCIEN	0x0	rw	<p>发送邮箱发送完成中断使能（Transmit mailbox empty interrupt enable）</p> <p>0：关闭； 1：开启。</p> <p>注：此中断对应的标志位为 TMxTCF，故仅本中断使能且 TMxTCF 被置位时才会产生中断。</p>

### 19.7.1.7 CAN错误状态寄存器（CAN\_ESTS）

域	简称	复位值	类型	功能
位 31: 24	REC	0x00	ro	接收错误计数器（Receive error counter） 这个计数器按照 CAN 协议的故障界定机制的接收部分实现。
位 23: 16	TEC	0x00	ro	发送错误计数器（Transmit error counter） 这个计数器按照 CAN 协议的故障界定机制的发送部分实现。
位 15: 7	保留	0x00	resd	保持默认值。
位 6: 4	ETR	0x0	rw	<p>错误类型记录（Error type record）</p> <p>000：没有错误； 001：位填充错误； 010：格式错误； 011：确认错误； 100：隐性位错误； 101：显性位错误； 110：CRC 错误； 111：由软件设置。</p> <p>注：</p>

				<p>这三位于于记录最新错误类型，由硬件根据 CAN 总线上的出错情况设置。当报文被正确发送或接收后，硬件自动将这三位置零。</p> <p>硬件没有使用错误代码 7，软件可以设置该值，从而可以检测代码的更新。</p>
位 3	保留	0x0	resd	保持默认值。
位 2	BOF	0x0	ro	<p>总线关闭标志（Bus-off flag）</p> <p>0：未处于总线关闭状态；</p> <p>1：处于总线关闭状态。</p> <p>注：当发送错误计数器 TEC 溢出（即大于 255）时，CAN 进入总线关闭状态，硬件对该位置‘1’。</p>
位 1	EPF	0x0	ro	<p>错误被动标志（Error passive flag）</p> <p>0：未处于错误被动状态；</p> <p>1：处于错误被动状态。</p> <p>注：当前记录的出错次数达到错误被动状态（即接收错误计数器或发送错误计数器的值&gt;127）时，硬件对该位置‘1’。</p>
位 0	EAF	0x0	ro	<p>错误主动标志（Error active flag）</p> <p>0：未处于错误主动状态；</p> <p>1：处于错误主动状态。</p> <p>注：当前记录的出错次数达到错误主动状态（即接收错误计数器或发送错误计数器的值≥96）时，硬件对该位置‘1’。</p>

### 19.7.1.8 CAN位时序寄存器（CAN\_BTMG）

域	简称	复位值	类型	功能
位 31	LOEN	0x0	rw	<p>只听模式使能（Listen-Only mode）</p> <p>0：关闭；</p> <p>1：开启。</p>
位 30	LBEN	0x0	rw	<p>回环模式使能（Loop back mode）</p> <p>0：关闭；</p> <p>1：开启。</p>
位 29: 26	保留	0x0	resd	保持默认值。
位 25: 24	RSAW	0x1	rw	<p>重新同步调整宽度（Resynchronization width）</p> <p><math>t_{RSAW} = t_{CAN} \times (RSAW[1: 0] + 1)</math>。</p> <p>注：该位域定义了 CAN 硬件在每位中可以延长或缩短多少个时间单元的上限。</p>
位 23	保留	0x0	resd	保持默认值。
位 22: 20	BTS2	0x2	rw	<p>位时间段 2（Bit time segment 2）</p> <p><math>t_{BTS2} = t_{CAN} \times (BTS2[2: 0] + 1)</math>。</p> <p>注：该位域定义了位时间段 2 占用了多少个时间单元。</p>
位 19: 16	BTS1	0x3	rw	<p>位时间段 1（Bit time segment 1）</p> <p><math>t_{BTS1} = t_{CAN} \times (BTS1[3: 0] + 1)</math>。</p> <p>注：该位域定义了位时间段 1 占用了多少个时间单元。</p>
位 15: 12	保留	0x0	resd	保持默认值。
位 11: 0	BRDIV	0x000	rw	<p>波特率分频器（Baud rate division）</p> <p><math>tq = (BRDIV[11: 0] + 1) \times t_{PCLK}</math></p> <p>注：该位域定义了时间单元（tq）的时间长度。</p>

### 19.7.2 CAN邮箱寄存器

本节描述发送和接收邮箱寄存器。关于寄存器映像的详细信息，请参考 19.6.5 节报文。

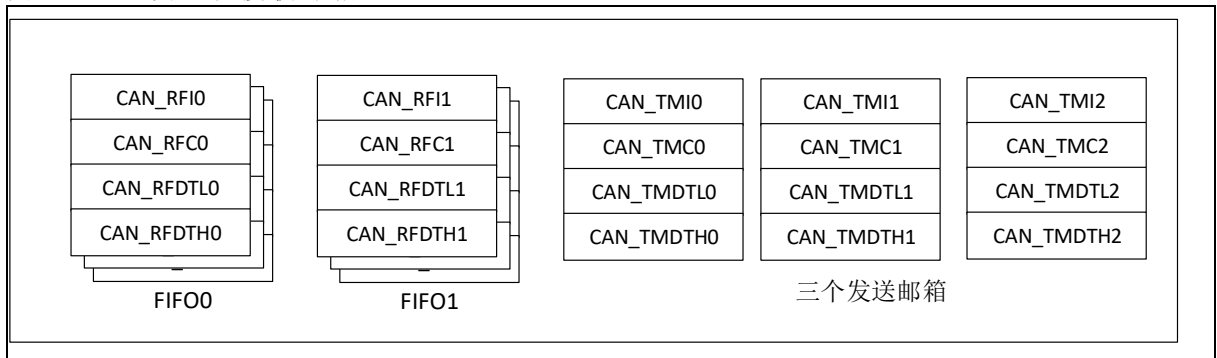
除了下述例外，发送和接收邮箱几乎一样：

- 接收 FIFO 邮箱数据长度和时间戳寄存器（CAN\_RFCx）的 RFFMN 域；
- 接收邮箱是只读的；
- 发送邮箱只有在它为时空时才是可写的，CAN 发送状态寄存器（CAN\_TSTS）的相应 TMxEF 位为‘1’，表示发送邮箱为空。

共有 3 个发送邮箱和 2 个接收邮箱。每个接收邮箱为 3 级深度的 FIFO，并且只能访问 FIFO 中最先收到的报文。

每个邮箱包含 4 个寄存器。

图 19-14 发送和接收邮箱



#### 19.7.2.1 发送邮箱标识符寄存器（CAN\_TMIx）（x=0..2）

注意：1. 当其所属的邮箱处在等待发送的状态时，该寄存器是写保护的。

2. 该寄存器实现了发送请求控制功能（第 0 位）— 复位值为 0。

域	简称	复位值	类型	功能
位 31: 21	TMSID/ TMEID	0xXXX	rw	发送邮箱标准标识符或扩展标识符高字节（Transmit mailbox standard identifier or extended identifier high bytes） 注：这 11 位为标准标识符或扩展标识符的高 11 位。
位 20: 3	TMEID	0xXXXXX	rw	发送邮箱扩展标识符低字节（Transmit mailbox extended identifier） 注：这 18 位为扩展标识符的低 18 位。
位 2	TMIDSEL	0xX	rw	标识符类型选择（Transmit mailbox identifier type select） 0：标准标识符； 1：扩展标识符。
位 1	TMFRSEL	0xX	rw	发送邮箱帧类型选择（Transmit mailbox frame type select） 0：数据帧； 1：远程帧。
位 0	TMSR	0x0	rw	发送邮箱的数据发送请求（transmit mailbox send request） 0：无意义； 1：请求发送。 注：当数据发送完成，邮箱为时空时，硬件对其清‘0’。

### 19.7.2.2 发送邮箱数据长度和时间戳寄存器 (CAN\_TMCx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

域	简称	复位值	类型	功能
位 31: 16	TMTS	0xXXXX	rw	发送邮箱的报文时间戳 (Transmit mailbox time stamp) 注：该时间戳为报文发送帧起始时刻采样到的 CAN 内部定时器的值。
位 15: 9	保留	0xXX	resd	保持默认值。
位 8	TMTSTEN	0xX	rw	时间戳的发送使能 (Transmit mailbox time stamp transmit enable) 0: 不发送; 1: 发送。 注： 只有时间触发通信模式使能后，该位才有意义。 时间戳 MTS[15: 0]中，MTS[7: 0]存放于 TMDT7， MTS[15: 8]存放于 TMDT6。故为发送时间戳，发送数据长度需要被设定为 8。
位 7: 4	保留	0xX	resd	保持默认值。
位 3: 0	TMDTBL	0xX	rw	发送数据长度 (Transmit mailbox data byte length) 注：该域指定了发送报文的数据长度。其中 1 个报文可包含 0 到 8 个字节数据。

### 19.7.2.3 发送邮箱低字节数据寄存器 (CAN\_TMDTLx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

域	简称	复位值	类型	功能
位 31: 24	TMDT3	0xXX	rw	发送邮箱数据字节 3 (Transmit mailbox data byte 3)
位 23: 16	TMDT2	0xXX	rw	发送邮箱数据字节 2 (Transmit mailbox data byte 2)
位 15: 8	TMDT1	0xXX	rw	发送邮箱数据字节 1 (Transmit mailbox data byte 1)
位 7: 0	TMDT0	0xXX	rw	发送邮箱数据字节 0 (Transmit mailbox data byte 0)

### 19.7.2.4 发送邮箱高字节数据寄存器 (CAN\_TMDTHx) (x=0..2)

当邮箱不在空置状态时，该寄存器的所有位为写保护。

域	简称	复位值	类型	功能
位 31: 24	TMDT7	0xXX	rw	发送邮箱数据字节 7 (Transmit mailbox data byte 7)
位 23: 16	TMDT6	0xXX	rw	发送邮箱数据字节 6 (Transmit mailbox data byte 6) 注：若时间触发通信模式使能，且对应的时间戳的发送使能，则此位将被 MTS[15: 8]替代。
位 15: 8	TMDT5	0xXX	rw	发送邮箱数据字节 5 (Transmit mailbox data byte 5)
位 7: 0	TMDT4	0xXX	rw	发送邮箱数据字节 4 (Transmit mailbox data byte 4)

### 19.7.2.5 接收FIFO邮箱标识符寄存器 (CAN\_RF1x) (x=0..1)

注意：所有接收邮箱寄存器都是只读的。

域	简称	复位值	类型	功能
位 31: 21	RFSID/RFEID	0xXXX	ro	接收 FIFO 的标准标识符或扩展标识符 (Receive FIFO standard identifier or receive FIFO extended identifier) 注：这 11 位为标准标识符或扩展标识符的高 11 位。
位 20: 3	RFEID	0xXXXXXX	ro	接收 FIFO 的扩展标识符 (Receive FIFO extended identifier) 注：这 18 位为扩展标识符的低 18 位。
位 2	RFIDI	0xX	ro	接收 FIFO 的标识符类型指示 (Receive FIFO identifier type indication) 0: 使用标准标识符; 1: 使用扩展标识符。

位 1	RFFRI	0xX	ro	接收 FIFO 的帧类型指示 (Receive FIFO frame type indication) 0: 数据帧; 1: 远程帧。
位 0	保留	0x0	resd	保持默认值。

### 19.7.2.6 接收FIFO邮箱数据长度和时间戳寄存器 (CAN\_RFCx) (x=0..1)

注意：有接收邮箱寄存器都是只读的。

域	简称	复位值	类型	功能
位 31: 16	RFTS	0xXXXX	ro	接收邮箱的报文时间戳 (Receive FIFO time stamp) 注：该时间戳为报文接收帧起始时刻采样到的 CAN 内部定时器的值。
位 15: 8	RFFMN	0xXX	ro	过滤器匹配序号 (Receive FIFO filter match number) 注：此处存放的是报文通过的那个过滤器序号。
位 7: 4	保留	0xX	resd	保持默认值。
位 3: 0	RFDTL	0xX	ro	接收数据长度 (Receive FIFO data length) 注：该域指定了接收报文的数据长度。其中 1 个报文可包含 0 到 8 个字节数据。对于远程帧，数据长度 RFDTL 固定为 0。

### 19.7.2.7 接收FIFO邮箱低字节数据寄存器 (CAN\_RFDTLx) (x=0..1)

注意：所有接收邮箱寄存器都是只读的。

域	简称	复位值	类型	功能
位 31: 24	RFDT3	0xXX	ro	接收 FIFO 数据字节 3 (Receive FIFO data byte 3)
位 23: 16	RFDT2	0xXX	ro	接收 FIFO 数据字节 2 (Receive FIFO data byte 2)
位 15: 8	RFDT1	0xXX	ro	接收 FIFO 数据字节 1 (Receive FIFO data byte 1)
位 7: 0	RFDT0	0xXX	ro	接收 FIFO 数据字节 0 (Receive FIFO data byte 0)

### 19.7.2.8 接收FIFO邮箱高字节数据寄存器 (CAN\_RFDTHx) (x=0..1)

注意：所有接收邮箱寄存器都是只读的。

域	简称	复位值	类型	功能
位 31: 24	RFDT7	0xXX	ro	接收 FIFO 数据字节 7 (Receive FIFO data byte 7)
位 23: 16	RFDT6	0xXX	ro	接收 FIFO 数据字节 6 (Receive FIFO data byte 6)
位 15: 8	RFDT5	0xXX	ro	接收 FIFO 数据字节 5 (Receive FIFO data byte 5)
位 7: 0	RFDT4	0xXX	ro	接收 FIFO 数据字节 4 (Receive FIFO data byte 4)

## 19.7.3 CAN过滤器寄存器

### 19.7.3.1 CAN过滤器控制寄存器 (CAN\_FCTRL)

注意：该寄存器的非保留位完全由软件控制。

域	简称	复位值	类型	功能
位 31: 1	保留	0x150E0700	resd	保持默认值。
位 0	FCS	0x1	rw	过滤器组配置控制开关 (Filters configure switch) 0: 关闭 (过滤器组处于工作状态); 1: 开启 (过滤器组处于配置状态)。 注：过滤器组的初始化配置必须要在过滤器组工作在配置状态下进行。



### 19.7.3.2 CAN过滤器模式配置寄存器 (CAN\_FMCFG)

注意：只有在设置 CAN\_FCTRL (FCS=1)，使过滤器处于配置模式下，才能对该寄存器写入。

域	简称	复位值	类型	功能
位 31: 14	保留	0x00000	resd	保持默认值。
位 13: 0	FMSSELx	0x0000	rw	过滤器组的模式选择 (Filter mode select) 每一位对应于一个过滤器组 0: 掩码模式; 1: 列表模式。

### 19.7.3.3 CAN过滤器位宽配置寄存器 (CAN\_FBWCFG)

注意：只有在设置 CAN\_FCTRL (FCS=1)，使过滤器处于配置模式下，才能对该寄存器写入。

域	简称	复位值	类型	功能
位 31: 14	保留	0x00000	resd	保持默认值。
位 13: 0	FBWSELx	0x0000	rw	过滤器组的位宽选择 (Filter bit width select) 每一位对应于一个过滤器组 0: 2 个 16 位; 1: 单个 32 位。

### 19.7.3.4 CAN过滤器FIFO关联寄存器 (CAN\_FRF)

注意：只有在设置 CAN\_FCTRL (FCS=1)，使过滤器处于初始化模式下，才能对该寄存器写入。

域	简称	复位值	类型	功能
位 31: 14	保留	0x00000	resd	保持默认值。
位 13: 0	FRFSELx	0x0000	rw	过滤器组关联 FIFO 选择 (Filter relation FIFO select) 每一位对应于一个过滤器组 0: 关联 FIFO0; 1: 关联 FIFO1。

### 19.7.3.5 CAN过滤器激活控制寄存器 (CAN\_FACFG)

域	简称	复位值	类型	功能
位 31: 14	保留	0x00000	resd	保持默认值。
位 13: 0	FAENx	0x0000	rw	过滤器组激活使能 (Filter active enable) 每一位对应于一个过滤器组 0: 关闭; 1: 开启。

### 19.7.3.6 CAN过滤器组i的过滤位寄存器x (CAN\_FiFBx) (i=0..13, x=1..2)

注意：共有 14 组过滤器：i=0..13。

每组过滤器由 2 个 32 位的寄存器，CAN\_FiFB[2: 1]组成。

只有在 CAN 过滤器激活控制寄存器 (CAN\_FACFG) 相应的 FAENx 位清'0'，或 CAN 过滤器控制寄存器 (CAN\_FCTRL) 的 FCS 位为'1'时，才能修改相应的过滤器寄存器。

域	简称	复位值	类型	功能
位 31: 0	FFDB	0xFFFFFFFF	rw	过滤器过滤数据位 (Filters filter data bit) 列表模式: 寄存器配置值跟总线上接收到的数据对应位的电平完全一致 (如果标准帧则忽略扩展帧对应位数值)。 掩码模式:



---

只有寄存器配置值为‘1’的位才跟总线上接收到的数据对应位的电平一致，寄存器配置值为‘0’的位不关心。

---

## 20 硬件整数除法器（HWDIV）

### 20.1 简介

由硬件实现的 32 位整数除法器，可执行有符号或无符号之除法运算。依序配置被除数与除数寄存器后，除法运算自动执行，无须额外的使能配置。配置后，可直接读取商数或余数，硬件会在运算完成后，直接回传结果，无须额外的状态检查。

### 20.2 主要特点

- 支持有符号与无符号整数除法运算。
- 支持输入 32 位的被除数与除数，并输出 32 位的商数与余数。
- 支持除数为零的错误中断。
- 配置除数寄存器后，自动执行除法运算。
- 读取商数或余数寄存器时，自动等待运算结果。
- 9 个系统时钟完成一笔除法运算。

### 20.3 中断与中断控制

硬件整数除法器(HWDIV)支持除数为零的错误中断，连接 CPU 的 NVIC。当软件配置一笔除数寄存器为零的除法运算时，HWDIV\_STS 的 DIV0F 会置起，并产生中断送至 CPU。当发生此错误后，如欲执行新的除法运算，需先将 DIV0F 状态位清除，对此位写 1 可清除之。若 CPU 无需接收此中断讯息，可透过配置 HWDIV\_CTRL 的 INTDIS 禁用，然错误状态仍可反馈于 DIV0F 位。

### 20.4 配置流程

- 依运算需求，将 HWDIV\_CTRL 的 SIGN 配置成 0 (无符号除法运算) 或 1 (有符号除法运算)。
- 配置运算之被除数于 HWDIV\_DVDD。
- 配置运算之除数于 HWDIV\_DVSR，此时会自动执行除法运算。
- 访问 HWDIV\_QUOT 或 HWDIV\_REMD，即可取得运算结果之商数或余数，此访问动作无须软件安插额外的等待时间或状态标志判定。

### 20.5 寄存器描述

下表列出了硬件整数除法器的寄存器映像和复位值。必须以字（32 位）的方式操作这些寄存器。

表 20-1 寄存器映射和复位值

寄存器简称	基址偏移量	复位值
HWDIV_DVDD	0x00	0x0000 0000
HWDIV_DVSR	0x04	0x0000 0001
HWDIV_QUOT	0x08	0x0000 0000
HWDIV_REMD	0x0C	0x0000 0000
HWDIV_CTRL	0x10	0x0000 0000
HWDIV_STS	0x14	0x0000 0000

### 20.5.1 除法器被除数寄存器（HWDIV\_DVDD）

域	简称	复位值	类型	功能
位 31:0	DVDD	0x0000_0000	rw	被除数（Dividend）

### 20.5.2 除法器除数寄存器（HWDIV\_DVSR）

域	简称	复位值	类型	功能
位 31:0	DVSR	0x0000_0001	rw	除数（Divisor） 配置该寄存器后，自动执行除法运算。

### 20.5.3 除法器商数寄存器（HWDIV\_QUOT）

域	简称	复位值	类型	功能
位 31:0	QUOT	0x0000_0000	ro	商数（Quotient） 软件读取该寄存器时，会自动等待除法运算完成后回传结果。

### 20.5.4 除法器余数寄存器（HWDIV\_REMD）

域	简称	复位值	类型	功能
位 31:0	REMD	0x0000_0000	ro	余数（Remainder） 软件读取该寄存器时，会自动等待除法运算完成后回传结果。

### 20.5.5 除法器控制寄存器（HWDIV\_CTRL）

域	简称	复位值	类型	功能
位 31:3	保留	0x0000	resd	保持为默认值
位 2	INTDIS	0	rw	错误中断禁止（Error Interrupt disable） 0: 错误中断使能。 1: 错误中断禁止。
位 1	SIGN	0	rw	除法器符号模式（Division signed operation） 0: 无符号除法运算。 1: 有符号除法运算。
位 0	保留	0x0000	resd	保持为默认值

### 20.5.6 除法器状态寄存器（HWDIV\_STS）

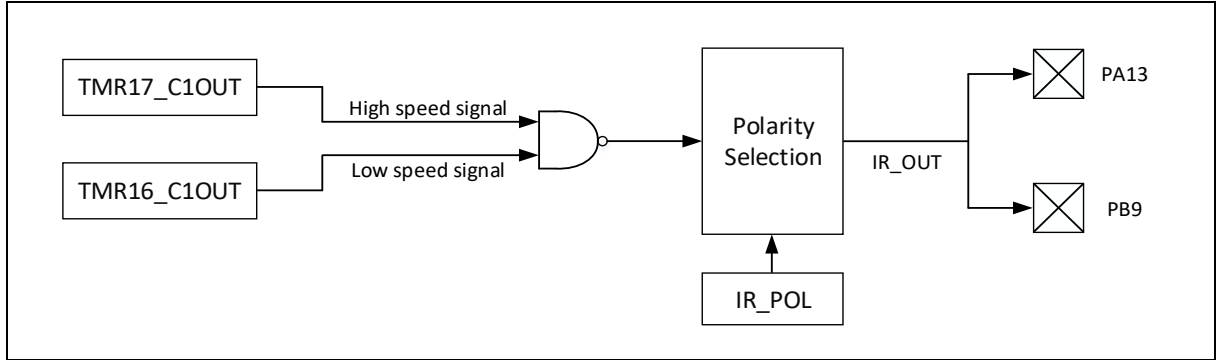
域	简称	复位值	类型	功能
位 31:1	保留	0x00	resd	保持为默认值
位 0	DIV0F	0	rw1c	除零错误状态（Division by zero fault status） 该位置起表示当前配置为一笔除数为零之运算。 对此位写'1'，可清除此状态。

## 21 红外线接口（IRTMR）

IRTMR 用于产生驱动红外 LED 的 IR\_OUT 信号，进而实现红外控制功能。

IR\_OUT 信号由低频调制包络信号和高频载波信号两部分组成，低频调制包络信号由 TMR16\_C1OUT 提供；高频载波信号由 TMR17\_C1OUT 提供，IR\_POL 可控制输出的 IR\_OUT 信号是否反向。IR\_OUT 通过 PB9 或 PA13 通过复用功能输出（需提前配置为复用模式）。

图 21-1 IRTMR 结构框图



## 22 调试 (DEBUG)

### 22.1 简介

### 22.2 调试与跟踪功能

支持不同外设的调试，还可以设置调试时外设的工作状态。对于定时器和看门狗用户可以选择在调试时是否停止或继续计数；对于 CAN，用户可以选择在调试期间是否停止或继续更新接收寄存器；对于 I<sup>2</sup>C，用户可以选择在调试期间是否停止或继续 SMBUS 超时计数。

另外支持在低功耗模式下调试代码。在睡眠模式下，HCLK 与 FCLK 保持代码配置的时钟继续工作。在深度休眠模式下，HICK 振荡器将开启并为 FCLK 和 HCLK 提供时钟。

调试器可通过地址为 0x40015800 来访问。

### 22.3 I/O控制

AT32L021 的 2 个普通 I/O 可用于 SW-DP 调试。系统复位以后，SW-DP 作为默认功能可立即供调试器使用。

当用户切换调试接口或不使用调试功能时，可配置 SCFG 寄存器来释放这些专用 I/O 口。用户释放相应的调试 I/O 后，GPIO 控制器将取得控制，这些 I/O 口可作为普通的 I/O 口使用。

### 22.4 DEBUG 寄存器

下面列出了 DEBUG 寄存器映象和复位数值。

必须以字（32 位）的方式操作这些外设寄存器。

表 22-1 DEBUG 寄存器映射和复位值

寄存器简称	基地址	复位值
DEBUG_IDCODE	0x4001 5800	0xXXXX XXXX
DEBUG_CTRL	0x4001 5804	0x0000 0000
DEBUG_SER_ID	0x4001 5820	0x0000 XX0X

#### 22.4.1 DEBUG 设备 ID (DEBUG\_IDCODE)

MCU 集成了 ID code，通过 ID 可以识别 MCU 的版本编号。DEBUG\_IDCODE 寄存器被映射到外部 PPB 总线，基地址为 0x40015800。使用 SW 调试口或用户代码都可以访问此编号。

域	简称	复位值	类型	功能
位 31:0	PID	0xXXXX XXXX	ro	PID 信息

PID [31: 0]	AT32 型号	FLASH 大小	封装
0x1001_2000	AT32L021G4U7	16KB	QFN28
0x1001_2001	AT32L021F4P7	16KB	TSSOP20
0x1001_2002	AT32L021F4U7	16KB	QFN20
0x1001_2003	AT32L021K4U7-4	16KB	QFN32
0x1001_2004	AT32L021K4U7	16KB	QFN32
0x1001_2005	AT32L021K4T7	16KB	LQFP32
0x1001_2006	AT32L021C4T7	16KB	LQFP48
0x1001_2087	AT32L021G6U7	32KB	QFN28

0x1001_2088	AT32L021F6P7	32KB	TSSOP20
0x1001_2089	AT32L021F6U7	32KB	QFN20
0x1001_208A	AT32L021K6U7-4	32KB	QFN32
0x1001_208B	AT32L021K6U7	32KB	QFN32
0x1001_208C	AT32L021K6T7	32KB	LQFP32
0x1001_208D	AT32L021C6T7	32KB	LQFP48
0x1001_210E	AT32L021G8U7	64KB	QFN28
0x1001_210F	AT32L021F8P7	64KB	TSSOP20
0x1001_2110	AT32L021F8U7	64KB	QFN20
0x1001_2111	AT32L021K8U7-4	64KB	QFN32
0x1001_2112	AT32L021K8U7	64KB	QFN32
0x1001_2113	AT32L021K8T7	64KB	LQFP32
0x1001_2114	AT32L021C8T7	64KB	LQFP48

## 22.4.2 DEBUG控制寄存器（DEBUG\_CTRL）

寄存器由 PORESET 异步复位（不被系统复位所复位）。当内核处于复位状态下时，调试器可写。

域	简称	复位值	类型	功能
位 31: 28	保留	0	resd	必须保持为 0。
位 27	TMR14_PAUSE	0	rw	TMR14 调试控制位。 0: 定时器正常工作; 1: 定时器停止工作。
位 26: 25	保留	0	resd	必须保持为 0。
位 24	TMR17_PAUSE	0	rw	TMR17 调试控制位。 0: 定时器正常工作; 1: 定时器停止工作。
位 23	TMR16_PAUSE	0	rw	TMR16 调试控制位。 0: 定时器正常工作; 1: 定时器停止工作。
位 22	TMR15_PAUSE	0	rw	TMR15 调试控制位。 0: 定时器正常工作; 1: 定时器停止工作。
位 21	保留	0	resd	必须保持为 0。
位 20	保留	0	resd	必须保持为 0。
位 19	TMR6_PAUSE	0	rw	TMR6 调试控制位。 0: 定时器正常工作; 1: 定时器停止工作。
位 18: 17	保留	0	resd	必须保持为 0。
位 16	I2C2_SMBUS_TI MEOUT	0	rw	I2C2 调试控制位。 0: 正常工作; 1: I2C2 SMBUS 的超时控制停止工作。
位 15	I2C1_SMBUS_TI MEOUT	0	rw	I2C1 调试控制位。 0: 正常工作; 1: I2C1 SMBUS 的超时控制停止工作。
位 14	ERTC_PAUSE	0	rw	ERTC 调试控制位。 0: ERTC 正常运行; 1: ERTC 停止工作。
位 13	保留	0x0	resd	必须保持为 0。
位 12	TMR3_PAUSE	0	rw	TMR3 调试控制位。 0: 定时器正常工作; 1: 定时器停止工作。
位 11	保留	0	resd	必须保持为 0。
位 10	TMR1_PAUSE	0	rw	TMR1 调试控制位。 0: 定时器正常工作;

				1: 定时器停止工作。
位 9	WWDT_PAUSE	0	rw	窗口看门狗调试控制位。 0: 窗口看门狗正常工作; 1: 窗口看门狗停止工作。
位 8	WDT_PAUSE	0	rw	独立看门狗调试控制位 0: 独立看门狗正常工作; 1: 独立看门狗停止工作。
位 7: 4	保留	0x0	resd	必须保持为 0。
位 3	CAN_PAUSE	0	rw	CAN 调试控制位。 0: CAN 仍然正常运行; 1: CAN 的接收寄存器不继续接收数据。
位 2	STANDBY_DEBU G	0	rw	待机模式调试控制位。 0: 进入待机模式时, 整个 1.2V 数字电路部分都断电; 1: 进入待机模式时, 整个 1.2V 数字电路部分不断电, 系统时钟由内部 RC 振荡器 (HICK) 提供时钟。
位 1	DEEPSLEEP_DE BUG	0	rw	深度休眠模式调试控制位。 0: 进入深度休眠模式时, 关闭所有 1.2V 域的时钟, 退出深度休眠模式时, 时钟选择开启内部 RC 振荡器 (HICK), 系统时钟选择 HICK 作为系统时钟源, 软件需根据应用需求重新配置系统时钟; 1: 进入深度休眠模式时, 系统时钟由内部 RC 振荡器 (HICK) 提供。退出深度休眠模式时, 系统时钟选择 HICK 作为系统时钟源, 软件需根据应用需求重新配置系统时钟。
位 0	SLEEP_DEBUG	0	rw	睡眠模式调试控制位 0: 进入睡眠模式时, CPU HCLK 时钟关闭, 其他时钟均继续运行, 退出睡眠模式时, 不需要重新配置时钟系统; 1: 进入睡眠模式时, 所有时钟都继续运行。

### 22.4.3 DEBUG SERIES ID寄存器 (DEBUG\_SER\_ID)

DEBUG\_SER\_ID 寄存器用于识别 MCU 系列和版本号。被映射到外部 PPB 总线, 基地址为 0x40015820。寄存器由 PORESET 异步复位 (不被系统复位所复位)。使用 SW 调试口或用户代码都可以访问此编号。

域	简称	复位值	类型	功能
位 31: 16	保留	0x0000	resd	请保持为复位值。
位 15: 8	SER_ID	0xXX	ro	MCU 型号标识 AT32L021: 0x10
位 7: 3	保留	0x00	resd	请保持为复位值。
位 2:0	REV_ID	0xX	ro	版本标识 0x0: A 版

## 23 版本历史

文档版本历史

日期	版本	变更
2024.02.23	2.00	新版本发布



**重要通知 - 请仔细阅读**

买方自行负责对本文所述雅特力产品和服务的选择和使用，雅特力概不承担与选择或使用本文所述雅特力产品和服务相关的任何责任。

无论之前是否有过任何形式的表示，本文档不以任何方式对任何知识产权进行任何明示或默示的授权或许可。如果本文档任何部分涉及任何第三方产品或服务，不应被视为雅特力授权使用此类第三方产品或服务，或许可其中的任何知识产权，或者被视为涉及以任何方式使用任何此类第三方产品或服务或其中任何知识产权的保证。

除非在雅特力的销售条款中另有说明，否则，雅特力对雅特力产品的使用和 / 或销售不做任何明示或默示的保证，包括但不限于有关适销性、适合特定用途（及其依据任何司法管辖区的法律的对应情况），或侵犯任何专利、版权或其他知识产权的默示保证。

雅特力产品并非设计或专门用于下列用途的产品：（A）对安全性有特别要求的应用，例如：生命支持、主动植入设备或对产品功能安全有要求的系统；（B）航空应用；（C）航天应用或航天环境；（D）武器，且/或（E）其他可能导致人身伤害、死亡及财产损害的应用。如果采购商擅自将其用于前述应用，即使采购商向雅特力发出了书面通知，风险及法律责任仍将由采购商单独承担，且采购商应独立负责在前述应用中满足所有法律和法规要求。

经销的雅特力产品如有不同于本文档中提出的声明和 / 或技术特点的规定，将立即导致雅特力针对本文所述雅特力产品或服务授予的任何保证失效，并且不应以任何形式造成或扩大雅特力的任何责任。

© 2024 雅特力科技 保留所有权利